

논문 2004-41SD-4-5

집적회로의 다층 금속 배선에서의 혼신 특성 해석에 관한 연구

(Study on the analysis of Crosstalk at Interconnects in Integrated Circuits)

김 연 태*, 최 익 준*, 권 오 섭**, 원 태 영***

(Yountae Kim, Ikjoon Choi, Ohseob Kwon, and Taeyoung Won)

요 약

본 논문에서는 유한 차분 시간 영역(FDTD, Finite Differential Time Domain)법과 완전 정합층(PML, Perfectly Matched Layer) 방법을 이용하여 반도체 다층 배선이 평행하게 인접하거나, 교차하면서 인접하는 구조뿐 아니라, 평행하게 인접하면서 다른 평면 상에 두 배선이 존재하는 3차원 다층 배선 구조에 대한 컴퓨터 수치 분석 방법을 보고한다. 평행한 인접 배선 구조에서는 수평 거리를 변화시키면서 출력 결과를 비교하였으며, 교차한 인접 배선 구조에서는 수직 거리를 변수로 하여 시간 영역과 주파수 영역에서의 출력 결과를 정량적으로 비교하였다. 또한, 평행하게 인접하면서 다른 평면상에 두 배선이 존재하는 3차원 다층 배선 구조에 대해서는 수평 거리와 수직 거리를 각각 변화시켜 가면서 출력되는 누화 특성을 측정하고 비교하였다.

Abstract

This paper reports the frequency characteristics and the time response of parallel adjacent-transmission lines, crossed adjacent-transmission lines and parallel adjacent-transmission lines which are on the different planes by using FDTD-PML method. In the parallel adjacent-transmission lines, the crosstalks as a function of horizontal distance are calculated and in the crossed adjacent-transmission lines, the crosstalks as a function of vertical distance are simulated. Also, the crosstalks as functions of horizontal and vertical distances are measured and analyzed in the parallel adjacent-transmission lines which are on the different planes.

Keywords : full-wave, FDTD, PML, interconnect, crosstalk

I. 서 론

현재 반도체 집적회로의 설계에서는 칩의 집적도 및 낮은 전력 손실을 위해 계층적(hierarchical) 구조를 이용한 스케일링이 적용되고 있다. 즉, 칩의 집적도를 필요로 하는 회로 레벨에서는 최소 선폭을 이용한 얇은 배선을 사용하며, 빠른 클럭 속도 및 낮은 전력 손실을 요구하는 전력선(power distribution lines) 및 신호선(signal lines)을 포함하는 칩의 최상위 레벨 및 글로벌

(global) 레벨에서는 낮은 배선 저항을 구현하기 위하여 두꺼운 배선을 사용하고 있다. 또한, 글로벌 레벨에서 낮은 배선 저항을 구현하기 위하여 전도도가 높고 전기 저항이 낮은 배선 물질로 구리(Cu)가 사용되고 있다. 그 결과, 얇은 배선을 사용하는 회로 레벨의 다층 배선 구조에서는 기생 저항 및 캐패시턴스에 의한 신호 지연 효과가 두드러지며, 낮은 배선 저항을 갖는 글로벌 레벨에서는 기생 캐패시턴스(capacitances) 및 인덕턴스(inductances)에 의한 신호 지연(retardation) 효과가 두드러지게 된다.

또한, 반도체 회로의 동작 주파수가 기가헤르츠(GHz) 시대에 도달함에 따라서, 전력선 및 신호선을 포함하는 칩의 최상위 레벨 및 글로벌 레벨에서의 시그널 지연이 칩의 전체 시그널 지연 시간에 미치는 영향이 증가하고 있으며, 동작 주파수에 따른 시그널 지연 모

* 정회원, 하이닉스 반도체
(Hynix Co., Ltd.)

** 학생회원, *** 정회원, 인하대학교 전기공학과
(Dept. of Electrical Eng. Inha Univ.)

※ 본 연구는 정보통신부 대학IT인력육성지원사업에 의하여 연구되었음.

접수일자: 2002년1월9일, 수정완료일:2004년4월6일

델팅에 대한 중요성이 증가하고 있다. 따라서, 향후 반도체 집적회로의 설계를 위해 다층 배선 라인에 대한 물리적 이해와 다양한 구조에 대한 분석 결과를 제공하여야 한다.

다층 배선 라인에 대한 모델링 분야는 복잡한 기하학적 형상을 갖는 다층 배선 구조에 대해 기생 성분을 계산하는 기생성분 추출 수치해석 분야와 다층 배선에서 맥스웰 방정식을 해석하는 풀-웨이브(Full-wave) 해석 분야로 대별된다^[1]. 종래의 기생성분을 추출하는 수치해석 분야는 해석적 모델을 사용하거나, 3차원 유한차분법(FDM, Finite Differential Method), 유한요소법(FEM, Finite Element Method), 경계요소법(BEM, Boundary Element Method) 등을 사용하여 기생 캐패시턴스 성분, 저항 성분 또는 인덕턴스 성분을 계산하여 칩의 등가회로를 구성하기 위한 회로 성분의 계산에 관한 연구를 수행하여 왔다^[2,3,4]. 그러나, 이와 같은 방법들은 준 정전계(quasi-electrostatic) 또는 준 정자계(quasi-magnetostatic) 상태를 가정한 모델링 방법으로 맥스웰 방정식(Maxwell's equation)을 단순화하여 계산하는 방법이다. 그러나, 동작 주파수가 증가함에 따라 다층 배선에 대하여 풀-웨이브 방법을 이용한 다층 배선의 해석 방법을 요구하고 있다^[5]. 따라서, 본 논문에서는 맥스웰 방정식을 이용한 풀-웨이브 분석을 통해 다층 배선 라인에 대한 모델링을 수행하였다.

기생성분 추출 방법이 전체 칩에 대한 등가 회로를 빠른 시간 내에 추출하여 전체 칩에서 발생하는 최종적인 신호 지연을 계산하는 방법인데 반해, 풀-웨이브 분석 방법은 칩의 3차원 구조로부터 전계와 자계에 관한 맥스웰 방정식을 직접 계산하여 입력된 신호의 시간 응답 특성 및 주파수 응답 특성을 구하는 방법이다. 기생성분 추출 방법은 비교적 넓은 영역의 칩에서 다층 배선 라인으로 인해 발생하는 신호 지연 성분을 스파이스(SPICE)와 같은 회로 시뮬레이션을 통해 빠른 시간 내에 계산할 수 있는 장점이 있지만, 준 정전계 및 준 정자계를 가정하는 방법으로 완전한 맥스웰 방정식을 해석한 것이 아니므로 향후 기가헤르츠 이상의 높은 주파수에서 정확한 값을 계산하는 데에 한계가 있는 단점이 있다^[6]. 따라서, 본 논문에서는 모의 실험을 수행하는데 비교적 많은 시간이 걸리지만, 기가헤르츠 이상의 주파수에 대한 다층 배선 라인의 분석을 수행할 수 있는 풀-웨이브 분석 방법에 대한 연구를 수행하고 그 결과를 논의하였다.

II. 수치해석 방법

본 논문에서는 풀-웨이브 분석을 위하여 유한차분시간영역(FDTD, Finite Differential Time Domain)법을 이용한 수치 해석 방법을 이용하였다. 유한차분시간영역법은 시간적 변화를 갖는 미분형 맥스웰 방정식을 유한 차분법을 사용하여 시간과 공간 영역에 대한 미분식을 근사화시켜 이산화하는 방법으로 표면파 효과, 복사파, 외부 소자와 결합 효과 등을 계산할 수 있으며, 임의의 3차원 배선 형태, 다양한 다층 구조, 비등방성 유전체의 경우에도 해석이 가능하다^[7].

한편, 맥스웰 방정식을 유한차분시간영역법에 적용하는 과정에서 이-알고리즘(Yee's algorithm)^[8] 이용하였으며, x, y, z 각 축방향 전계 성분과 자계 성분을 이-그리드(Yee's grid)에 맞게 배치하였다. 또한, 중앙 차분 방법(centered difference method)으로 이산화하였다. 중앙 차분 방법에 의해 x 방향 전계에 관한 맥스웰 회전 방정식은 시간 스텝 n+1에서의 x 방향 전계 성분 E_x 로 정리되어 식(1)을 얻을 수 있었으며, y 방향 전계 성분과 z 방향 전계 성분도 x 방향 전계와 동일한 방법으로 정리함으로써 얻을 수 있었다.

$$E_x^{n+1}(i+\frac{1}{2}, j, k) = \left(\frac{2\epsilon - \sigma \Delta t}{2\epsilon + \sigma \Delta t} \right) \times E_x^n(i+\frac{1}{2}, j, k) + \left(\frac{2\Delta t}{2\epsilon + \sigma \Delta t} \right) \times \left[\frac{H_z^{n+\frac{1}{2}}(i+\frac{1}{2}, j+\frac{1}{2}, k) - H_z^{n+\frac{1}{2}}(i+\frac{1}{2}, j-\frac{1}{2}, k)}{\Delta y} - \frac{H_y^{n+\frac{1}{2}}(i+\frac{1}{2}, j, k+\frac{1}{2}) - H_y^{n+\frac{1}{2}}(i+\frac{1}{2}, j, k-\frac{1}{2})}{\Delta z} \right] \quad (1)$$

또한, 자계에 관한 맥스웰 회전 방정식도 중앙 차분 방법을 이용하여 시간 스텝 n+1/2에서의 각 방향 자계 성분으로 정리하였으며, 식(2)에 x 방향 자계에 관한 식을 한 예로 나타내었다. 6개의 식으로부터 각 방향 전계와 자계가 설계한 다층 배선 구조의 분할된 직육면체 단위 격자점에서 공간 증분(Δx , Δy , Δz)의 1/2만큼, 시간적으로는 $\Delta t/2$ 씩 서로 떨어져 배치되도록 하였다.

$$H_x^{n+\frac{1}{2}}(i, j+\frac{1}{2}, k+\frac{1}{2}) = \left(\frac{2\mu - \sigma^* \Delta t}{2\mu + \sigma^* \Delta t} \right) \times H_x^{n+\frac{1}{2}}(i, j+\frac{1}{2}, k+\frac{1}{2}) + \left(\frac{2\Delta t}{2\mu + \sigma^* \Delta t} \right) \times \left[\frac{E_z^n(i, j+\frac{1}{2}, k+1) - E_z^n(i, j+\frac{1}{2}, k)}{\Delta x} - \frac{E_y^n(i, j+1, k+\frac{1}{2}) - E_y^n(i, j, k+\frac{1}{2})}{\Delta y} \right] \quad (2)$$

해석 대상이 되는 다층 배선 구조를 직육면체의 유한 개 격자로 분할할 때, 시간 증분 간격(Δt)은 각 방향의 공간 분할 간격을 이용하여 수치 해석 결과의 발산을 제한하고 수치 해석 오차를 최소화할 수 있도록 결정해야 한다. 본 논문에서는 유한차분시간영역 계산을 위한 시간 증분 간격은 식(3)에서 나타낸 바와 같이 CFL 안정 조건(Courant-Friedrich-Levy stability condition)의 제한을 받아야 한다.

$$\Delta t \leq \frac{1}{v_{\max} \cdot \sqrt{\left(\frac{1}{\Delta x^2} + \frac{1}{\Delta y^2} + \frac{1}{\Delta z^2}\right)}} \quad (3)$$

식(3)에서 v_{\max} 는 해석 매질 내에서 진행되는 전자파의 최대 위상 속도로써 자유 공간에서는 광속($c = 299792458.0$ m/s)에 해당하는 값을 갖게 되며, 일반적으로 유효 유전율이 ϵ_e 인 매질에서의 위상 속도는 $v_p = c/\sqrt{\epsilon_e}$ 의 관계식에 의해 계산된다.

또한, 공간 증분의 크기가 x, y, z축 방향에 대해 각각 모두 같은 크기(Δ)를 가질 경우, 식 (4)와 같은 간단한 식으로 계산될 수 있다.

$$\Delta t = \frac{\Delta}{v_{\max} \sqrt{3}} \quad (4)$$

식 (4)에서 Δ 는 x, y, z축 방향의 공간 증분 크기이다. 이때 시간 증분 간격은 푸리에 변환 후, 해석하고자 하는 주파수 대역에서의 해상도와 반복 계산 시간 등을 고려하여야 하며, 공간 분할 간격은 다층 배선의 가장 미세한 부분을 표현할 수 있어야 한다.

한편, 컴퓨터 수치 해석 계산시 해석하고자 하는 3차원 다층 배선 구조의 입력단에 여기 신호를 인가한 후, 유한 차분 시간 영역법에 의해 전계와 자계의 변화를 계산하게 되는데, 이때 입력단을 여기하는 신호는 구하고자 하는 주파수 대역의 응답 특성을 포함하는 광대역 스펙트럼 분포를 가져야 한다. 또한, 해석 대상이 되는 구조의 특성에 따라 가우스형 펄스, 사인 변조 가우스형 펄스, 감마-갭 신호(δ -gap source) 등 다양한 신호의 사용이 가능한데, 본 논문에서는 가우스형 펄스를 여기 신호로 이용하였다. 여기 신호로 가우스형 펄스를 사용한 이유는 펄스의 폭을 조절함으로써 직류 성분으로부터 원하는 주파수 대역까지 가우스형 분포의 광대역 스펙트럼을 포함하는 특성을 보이므로 시간 응답 및 주파수 응답 특성 모두를 관찰하기에 효과적인 장점을 갖기 때문이다.

또한, 폴-웨이브 수치 해석시 해석 대상이 되는 영역

의 경계면에 대한 전자계의 경계 조건을 정의해 주어야 한다. 다층 배선 구조와 같이 기관의 상면과 측면이 개방 구조로 되어 있는 경우에는 유한차분시간영역법으로 계산되는 영역뿐 아니라 주위 자유 공간까지를 계산 영역에 포함시키는 3차원 격자가 만들어져야 하며, 무한 공간에 대해서 격자를 만들어야 하기 때문에 컴퓨터 기억 용량의 한계로 계산이 불가능하게 된다. 따라서, 자유 공간 x, y, z 방향에서의 단위 격자의 개수를 한정시켜 계산 영역을 유한 크기로 한정하여 그 경계면에 입사하는 전자파의 반사가 없는 경계 조건을 부여함으로써 한정된 컴퓨터 처리 시간과 한정된 기억 용량으로 무한 영역에서 이루어지는 결과와 유사한 계산 결과를 얻을 수 있다.

본 논문에서는 수치 해석 영역 외곽에 흡수 경계 조건으로 완전 정합층(PML, Perfectly Matched Layer)을 설정하여 수치 해석 영역의 최외곽에 도달한 여기 펄스가 자유 공간 상으로 진행하는 것과 같은 효과를 주었다. 완전 정합층 방법은 자유 공간과 임피던스가 정합된 흡수층을 해석 대상 영역 주위에 구성하고 그 흡수층 내의 모든 전자계 성분을 각각 2개의 성분으로 분리하여, 모든 각도의 입사파에 대해서도 반사가 일어나지 않도록 하는 방법이다^[9]. 본 논문의 컴퓨터 모의실험에서는 기관의 접지면을 제외한, 5개의 외부 면과 12개의 외부 모서리, 8개의 외부 꼭지점에 대하여 완전 정합층을 적용하였다.

III. 시뮬레이션 구조

본 논문에서는 반도체 집적회로의 다층 금속 배선에서 발생하는 누화 현상을 예측, 분석하기 위하여, 누화 현상이 발생 가능한 반도체 집적회로 상의 다층 금속 배선 구조 중, 서로 평행하게 인접한 배선 구조, 교차한 인접 배선 구조, 평행하지만 다른 층에 위치한 배선 구조를 선택하여 시뮬레이션을 수행하였다.

그림 1에 수치 해석 계산이 수행된 배선 구조중 반도체 집적회로 상에서 두 개 이상의 금속 배선이 서로 평행하게 인접한 구조를 도시하였다. 그림 1에서 보는 바와 같이, 컴퓨터 모의실험에서는 두 개의 구리(Cu) 배선이 실리콘 산화막(SiO₂) 위에 평행하게 놓여 있는 전송선 구조가 이용되었는데, 기관을 구성하는 실리콘 산화막은 유전율 4.0, 도전율 5.0×10⁻⁴ S/m의 물질 정보를 각 노드에 설정하였으며, 구리 배선은 유전율 1.0, 도전율 5.8×10⁷ S/m의 물질 정보를 설정하였다. 이때 구리

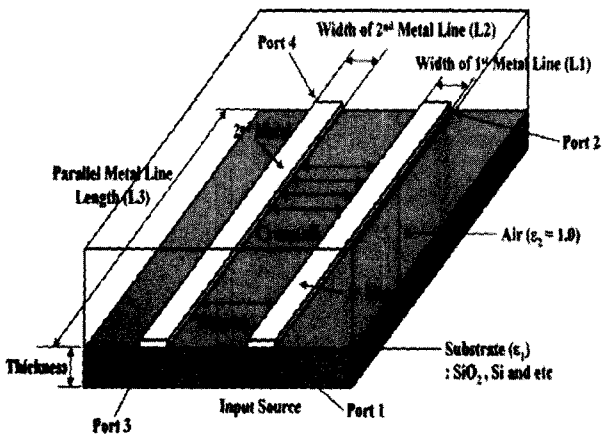


그림 1. 평행한 인접 전도성 배선 구조.
Fig. 1. Structure of parallel adjacent-transmission lines.

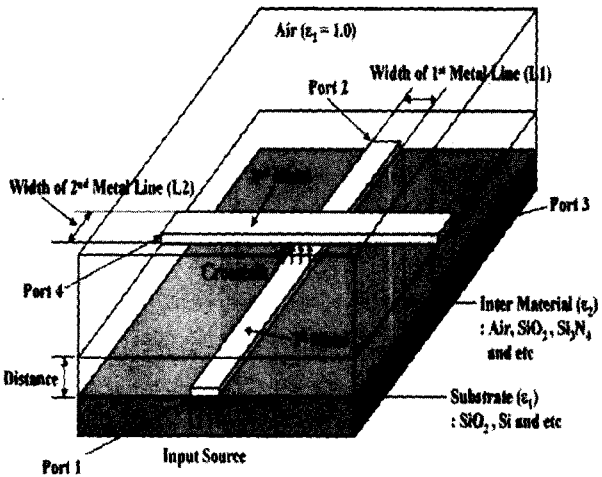


그림 2. 교차한 인접 전도성 배선 구조.
Fig. 2. Structure of crossed adjacent-transmission lines.

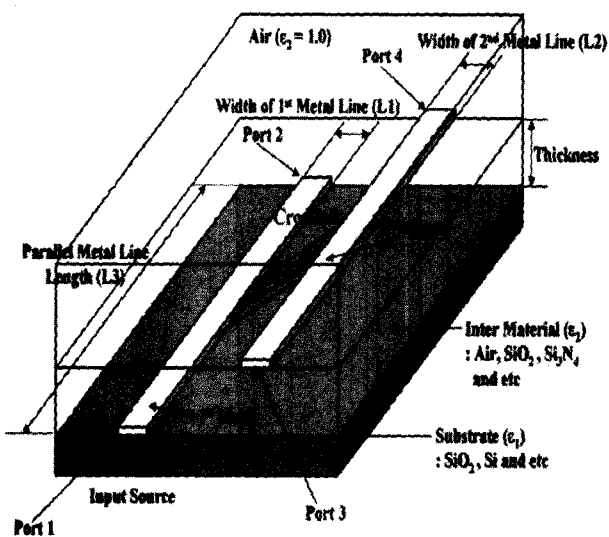


그림 3. 인접 전도성 배선 구조.
Fig. 3. Structure of adjacent-transmission lines.

배선의 길이는 320 μm 이고, 배선의 폭은 2 μm 였으며, 두께는 1 μm 로 주었으며, 기판과 구리 배선 상층부는 유전율 1.0006이고 도전율 0.0 S/m인 공기(air)로 설정하였다. 이와 같은 구조의 반도체 다층 배선을 수치 해석 방법으로 컴퓨터 모의 실험하기 위하여 전체 영역을 141×81×61 개의 셀로 나누고 각각의 노드 위치에 해당하는 물질 정보를 제공하였다.

반도체 집적회로의 다층 배선에서는 그림 1과 같은 평행한 인접 배선 구조 외에 두 개 이상의 전도성 배선이 비유전율이 ϵ_r 인 유전체를 사이에 두고 서로 교차하는 구조가 존재한다. 그림 2는 교차한 인접 배선 구조를 도시한 그림이다. 기판은 평행한 인접 배선 구조와 마찬가지로 실리콘 산화막으로 설정하였으며, 두 배선의 층간 물질로 공기, 실리콘 산화막, 실리콘 질화막 등이 이용되었다. 또한, 하부 배선 및 상부 배선은 평행한 인접 배선 구조와 동일한 물질 정보를 가지는 구리 배선으로 설정하였으며, 상부 배선 위는 공기로 설정하였다.

이상에서 언급한 두 가지 다층 배선 구조 이외에 반도체 집적회로의 다층 배선에서 누화 현상이 일어날 수 있는 구조는 전도성 배선이 평행하지만, 동일한 평면상에 배치되어 있지 않는 구조이다. 이와 같은 구조의 전형적인 예를 그림 3에 도시하였다. 그림 3에 도시한 구조는 그림 1에 도시한 평행한 인접 배선 구조와 유사하지만, 두 배선 사이에 유전 물질로 구성된 층이 존재할 수 있는 특징이 있다. 이러한 다층 배선 구조의 누화 특성은 평행한 인접 배선이나 교차한 인접 배선 구조에서 나타난 누화 특성과는 다른 결과를 보일 것으로 예측하였으며, 이에 대한 정량적인 비교, 분석을 위하여 컴퓨터 수치 해석을 수행하였다.

IV. 컴퓨터 모의실험 및 결과

반도체 다층 배선 해석을 위해 적용된 풀-웨이브 해석 알고리즘과 컴퓨터로 프로그램화한 코드가 정확한 해석을 제공하는지 검증하기 위하여 상용 고주파 해석 툴인 Ansoft사의 HFSS를 이용하였다. 하지만, HFSS를 이용하여 3차원 구조에 대한 시간 응답 특성을 추출하거나 평행한 두 도체간의 누화(crosstalk) 특성을 계산하는 데는 한계가 있다. 따라서, 본 논문에서는 유한차분시간영역법에 의해 계산된 시간 응답 특성을 푸리에 변환(fourier transform)을 이용하여 주파수 영역 특성으로 변환하고, 이를 다시 산란 파라미터 형식으로 변

환하여 HFSS에 의해 계산된 산란 파라미터 결과와 비교하였다.

그림 4는 HFSS에서 모의 실험하고자 하는 3차원 구조를 생성하기 위한 환경으로 제공되는 3D 모델러를 이용하여 생성된 마이크로 스트립 라인 구조를 도시하였다. 유한차분시간영역법과 HFSS의 결과를 비교하기 위하여 동일한 구조와 매질의 마이크로 스트립 라인 구조를 이용하였다.

생성된 구조는 그라운드 기판 위에 4 μm 두께의 실리콘 산화막을 설정하였으며, 실리콘 산화막 상층 중앙에 두께 4 μm , 폭 4 μm , 길이 100 μm 의 구리 배선이 x축 방향을 따라 위치하도록 설정하였고, 그 위로 공기가 채워져 있는 구조를 갖도록 설정하였다. 펄스의 진행 방향인 x축 공간 증분(Δx)은 10 μm 로 설정하였고, y축 공간 증분(Δy)은 4 μm 로, z축 공간 증분(Δz)은 2 μm 로 결정하였으며, 마이크로 스트립 라인 구조 생성을 위해 $\Delta x/2 \times \Delta y/2 \times \Delta z/2$ 의 단위 셀 85,731개가 이용되었다. 또한, 쿠란 안정 조건을 고려하여 시간 증분은 9 fs로 결정하였으며, 반복 계산은 8,192회 수행하였다.

유한차분시간영역법의 계산에서 광대역 특성을 얻기 위하여 $t_0=3.5 \times 10^{-11}$, $\tau=3.5 \times 10^{-12}$ 의 가우스형 전계 펄스를 입력 신호로 이용하였으며, 컴퓨터 모의실험을 통해 얻은 z방향 전계에 대한 시간 응답 특성을 선적분하여 입사 및 반사 전압에 대한 시간 응답 특성을 계산하였다. 또한, 계산된 입사 및 반사 전압에 대한 시간 응답 특성을 푸리에 변환으로 주파수 영역 특성으로 변환하였으며, 입사 및 반사 전압에 대한 주파수 영역 특성을 다시 산란 파라미터 계산식에 대입하여 $S_{11} \sim S_{22}$ 의 값을

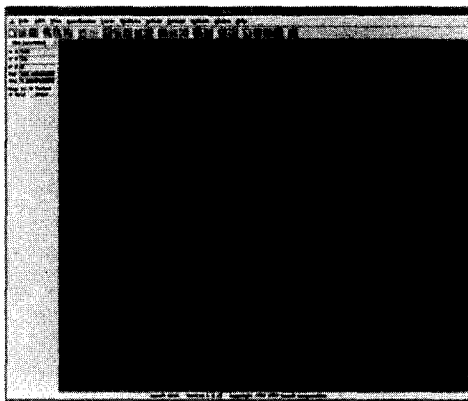


그림 4. HFSS의 3D 모델러를 이용하여 생성한 마이크로 스트립 라인 구조.

Fig. 4. Generated microstrip line structure by 3D modeler, which HFSS offers as a drawing tool.

추출하였다. 형성된 마이크로스트립 라인의 양끝은 포트 1과 2로 설정하였으며, 구조의 바닥은 완전 도체 조건을 설정하고, 나머지 경계면은 모두 방사(radiation) 조건으로 설정하였다. 주파수 $10^{10} \sim 10^{11}$ Hz를 1 GHz 간격으로 나누고 각각의 주파수에서의 산란 파라미터를 계산하였다.

그림 5는 그림 4에 도시한 바와 같은 마이크로 스트립 라인 구조에 대하여 HFSS와 유한차분시간영역법을 이용하여 계산한 산란 파라미터 결과를 비교, 도시한 것이다. S_{11} 의 경우 약간의 오차를 보이긴 하였지만, 주파수의 변화에 대해 두 가지 방법 모두 동일한 경향을 보였으며, S_{21} 의 경우 계산된 결과가 거의 일치하는 것을 확인할 수 있었다.

또한, 그림 6은 그림 4의 테스트 구조에 가우스형 펄스를 입력하고 유한 차분 시간 영역법으로 전계와 자계를 시간에 따라 계산한 결과를 도시한 그림으로, 경계 조건으로 설정된 완전 정합층이 흡수 소멸층으로써 정확하게 동작하여 경계에서의 반사 오차 성분으로 완전히 제거되었는지를 확인하였다. 그림 6에서 (1) 펄스는 첫 번째 금속 배선의 입력 포트에 입력되는 펄스로 그래프 상의 제일 왼쪽에 위치한 그래프 결과이며, 왼쪽에서 오른쪽으로 번호가 증가하는 그래프이다. (2)~(10) 펄스는 입력단으로부터 거리 10 μm 씩 뒤의 금속 배선에서 측정된 펄스의 시간 영역 응답 특성을 도시한 그림이며, 또한, (11)~(13) 펄스는 가우스형 펄스가 계산 영역의 최외곽에 도달하여 완전 정합층으로 진행되는 것을 도시한 그림으로 완전 정합 층의 경계면으로부터 18 μm 를 진행한 가우스형 펄스의 경우 완전히 흡수

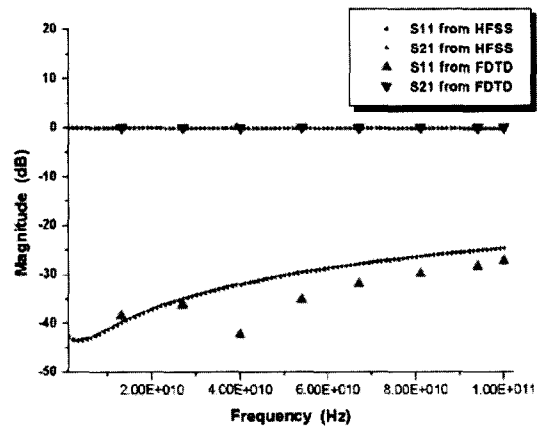


그림 5. HFSS와 유한차분시간영역법을 이용하여 계산된 산란 파라미터의 비교.

Fig. 5. Comparison of simulated S-parameters by FDTD and HFSS.

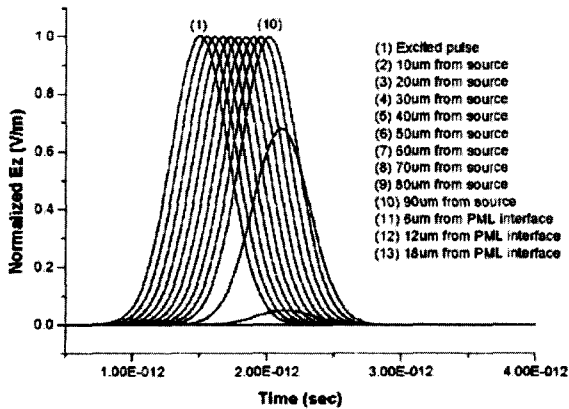


그림 6. z 방향 전계 계산 결과.
 Fig. 6. Calculation Results of z-directional electric fields.

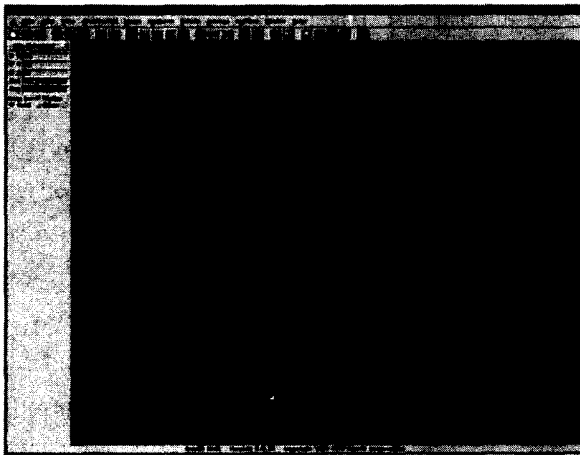


그림 7. HFSS의 3D 모델러를 이용하여 생성한 4개의 꺾인 모서리를 갖는 마이크로 스트립 라인 구조.
 Fig. 7. Generated microstrip line structure, which has 4 bending points, by 3D modeler of HFSS.

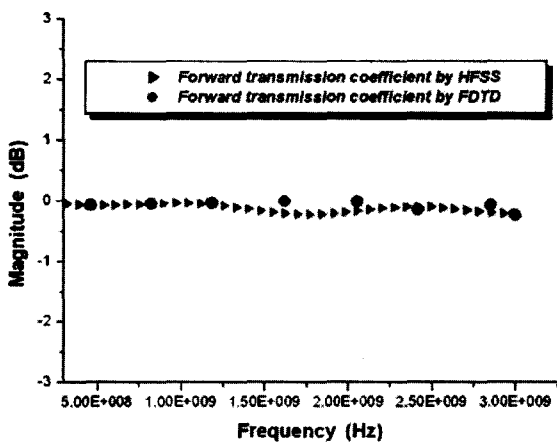


그림 8. HFSS와 유한차분시간영역법을 이용하여 계산된 산란 파라미터의 비교.
 Fig. 8. Comparison of simulated S-parameters by FDTD and HFSS.

되어 펄스 형태가 거의 0에 가까운 것을 확인할 수 있었다.

또한, 상기한 직선 형태의 마이크로스트립 라인 구조 외에 마이크로스트립 라인의 중간 경로 상에 수평 방향으로 꺾인 점이 존재하는 구조에 대해서도 유한차분시간영역법과 Ansoft사의 HFSS를 이용한 컴퓨터 모의실험을 수행하고 그 결과를 비교하였다. 그림 7에 중간 경로 상에 수평 방향으로 꺾인 모서리가 존재하는 마이크로스트립 라인 구조를 HFSS의 3D 모델러로 형성한 결과를 도시하였다. 그림 7에서 마이크로 스트립 라인의 폭은 1 mm로 설정하였으며, 마이크로 스트립 라인이 진행하면서 20 mm 간격마다 수평 방향으로 90도의 꺾인 모서리가 4개 존재하도록 결정하였다.

그림 7과 같은 구조에 대하여 유한차분시간영역법과 HFSS를 이용하여 컴퓨터 모의실험을 수행하였으며, 계산 결과 비교를 위하여 전송 계수를 추출하였다. Fig. 5, 6에 유한차분시간영역법과 HFSS으로 계산된 400 MHz~3 GHz 대역의 전송 계수를 비교하였는데, 직선 형태의 마이크로스트립 라인의 계산 결과와 마찬가지로 두 결과가 거의 일치하는 것을 확인할 수 있었다. 이와 같은 상용 툴과의 결과 비교를 통해, 본 논문에서 제안한 유한차분시간영역법에 의한 풀-웨이브 해석 알고리즘이 정확하게 적용되었다는 것을 확인할 수 있었으며, 이와 같은 풀-웨이브 해석 방법을 이용하여 다층 배선에 대한 신뢰할 수 있는 해석 결과를 얻을 수 있을 것으로 판단하였다.

이어서, 전술한 III장에서 제시한 그림 2, 3, 4의 구조에 대하여 컴퓨터 모의실험을 수행하였다.

그림 2에 도시된 실리콘 산화막 기판 위의 평행한 배선 구조는 전체 해석 영역을 141×81×61 개의 셀로 나누었으며, 각 방향의 공간 증분은 입력 펄스의 파장, 구리 배선의 선폭 및 길이, 유전체 기판의 두께 등을 고려하여 효과적이고 정확한 컴퓨터 모의실험이 될 수 있도록 각각 $\Delta x = 2 \mu\text{m}$, $\Delta y = 2 \mu\text{m}$ 및 $\Delta z = 2 \mu\text{m}$ 로 결정하였다. 시간 증분(Δt)의 크기는 앞 절에서 언급한 안정 조건식에 공간 증분과 최대 위상 속도를 대입하여 $\Delta t = 3 \text{ fs}$ 으로 결정하였다.

그림 2에 도시된 구조를 참조하면, 평행하게 인접한 금속 배선에서 누화 특성에 영향을 미치는 구조적 요소들은 평행하게 인접한 금속 배선 간의 수평 거리, 두 금속 배선이 평행하게 인접하여 겹치게 되는 길이, 금속 배선의 두께, 두 금속 배선 사이의 유전율 및 투자율 등이다. 이와 같은 금속 배선의 구조적 요소와 입력 신호

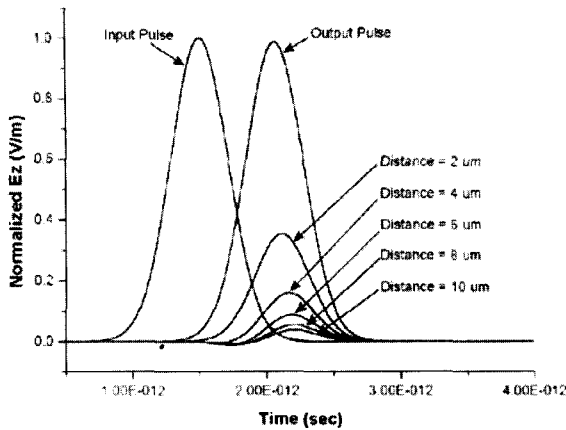


그림 9. 평행한 인접 전도성 배선의 수평 거리에 따른 시간 응답 특성.
 Fig. 9. Time response of parallel adjacent-transmission lines as a function of horizontal distance.

의 주파수, 신호의 전압 및 전류 등의 전자기적 요소가 결합되어 누화 특성을 보이게 되며, 누화 특성에 관한 정량적인 결과를 도출하기 위하여 컴퓨터 모의실험을 수행하였다. 컴퓨터 모의실험에서는 두 개의 금속 배선 중 오른쪽에 위치한 금속 배선 한쪽 끝을 포트 1이라고 지정하고, 다른 한쪽 끝을 포트 2로 지정하였으며, 나머지 금속 배선의 양끝을 각각 포트 3와 포트 4로 지정하였다. 포트 1에 신호를 입력하고, 전계와 자계를 유한차분시간영역법으로 수치 계산을 반복하여 포트 2, 3 및 4로 출력되는 신호를 측정하였다. 입력 신호는 광대역 주파수 특성을 관찰할 수 있는 베이스밴드 가우스형 펄스를 사용하였으며, 계산 영역의 최외곽 xy면으로부터 내부로 $2\Delta x$ 만큼 떨어진 지점을 입력 신호의 여기 위치로 설정하였다.

그림 9은 포트 1에 가우스형 펄스를 여기하고, 펄스가 전송선을 따라 포트 2로 진행하는 것에 의해 동일 평면상에 위치한 두 번째 금속 배선에 유기된 전자계 성분이 포트 4에 누화 특성으로 나타나는 것을 도시한 그림이다. 첫 번째 금속 배선으로부터 y축 방향으로 $2\mu\text{m}$ 거리만큼 떨어진 지점에 두 번째 금속 배선이 위치할 경우, 두 번째 금속 배선의 포트 3에서 측정된 정규화 z축 방향 전계가 0.3 정도의 펄스 최고점을 보였다. 두 번째 금속 배선의 위치를 y축 방향으로 $2 \sim 10\mu\text{m}$ 까지 $2\mu\text{m}$ 씩 거리를 늘려가면서 두 번째 금속 배선의 포트 4에서 측정되는 z축 방향 전계를 관측하여 그림 9에 도시하였다.

그림 9에서 보는 바와 같이, 첫 번째 금속 배선과 두 번째 금속 배선간의 수평 거리가 $2\mu\text{m}$ 씩 멀어질수록 두

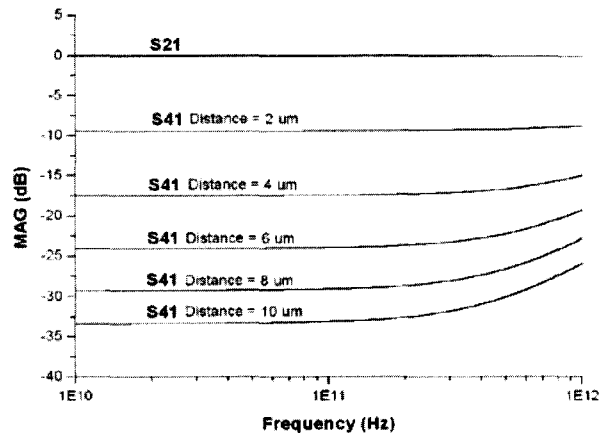


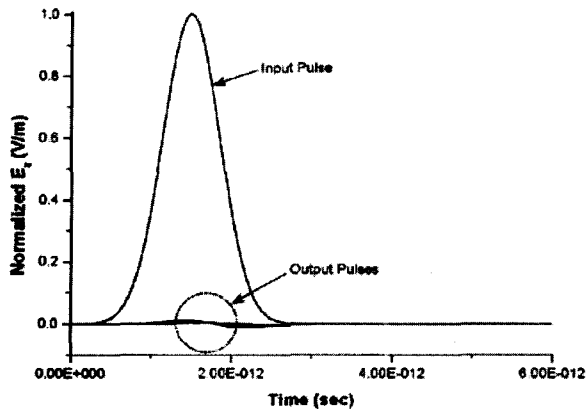
그림 10. 평행한 인접 전도성 배선의 수평 거리에 따른 주파수 응답 특성
 Fig. 10. Frequency response of parallel adjacent-transmission lines as a function of horizontal distance.

번째 금속 배선에 유기되는 전계의 크기가 크게 작아지는 것을 확인할 수 있었는데, 두 번째 금속 배선이 $10\mu\text{m}$ 거리만큼 떨어진 경우 두 번째 금속 배선의 포트 4에서 측정되는 정규화 전계의 펄스 최고점 크기가 0.02 이하로 작아져서 인접 평행 배선에 의한 누화 효과가 크게 영향을 미치지 않는 범위로 작아진 것을 확인할 수 있었다.

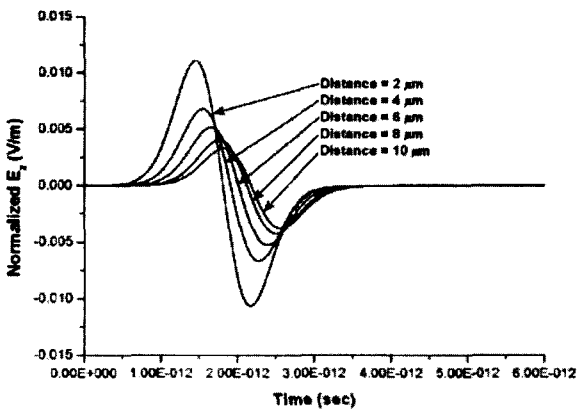
또한, 두 금속 배선의 평행 길이가 점점 길어질수록 두 번째 금속 배선에 유기되는 z축 방향 전계의 경우, 입력 단의 바로 옆에서 측정된 전계보다 미소하게 점차 커지는 현상과 유기되는 펄스의 형태가 입력단의 바로 옆에서 측정된 펄스의 형태보다 점차 왜곡되는 현상이 나타나는 것을 확인할 수 있었는데, 이러한 결과는 두 개 이상의 배선이 동일 평면상에 인접하여 평행하게 놓일 경우, 두 배선간의 수평 거리뿐 아니라 두 배선의 평행하게 인접하는 길이도 누화 특성에 영향을 미치기 때문이다. 두 배선 간의 인접 평행 길이가 길어질수록 인접한 두 배선 사이에서 발생하는 누화 특성의 크기가 커지고 펄스가 왜곡되는 현상은 두 배선간의 인접 평행 길이가 길어질수록 인접한 두 배선간의 기생 캐패시턴스 변화 때문으로 예상된다.

또한, 본 논문에서는 유한차분시간영역법을 이용하여 인접 평행 배선간의 시간 응답 특성을 얻은 후, 푸리에 변환을 이용하여 주파수 영역에서의 응답 특성을 얻었다. 그림 10은 계산된 두 금속 배선간 수평 거리에 따른 주파수 영역 응답 특성을 나타냈다.

그림 10에서 S21은 첫 번째 배선의 포트 1에서 포트 2로 나오는 가우스형 펄스의 시간 응답 특성을 푸리에



(a)



(b)

그림 11. 교차한 인접 전도성 배선의 수직 거리에 따른 시간 응답 특성 : (a) 입력 펄스와 비교, (b) 출력 펄스

Fig. 11. Time response of crossed adjacent-transmission lines as a function of vertical distance : (a) comparison with input pulse, (b) output pulses.

변환하여 주파수 영역 특성으로 도시한 것인데, 손실이 거의 없으므로 0 dB의 특성을 보였다. S41로 표시된 나머지 5 개의 곡선은 각각 두 배선 간의 수평거리가 2~10 μm일 때의 누화 특성을 주파수 영역의 값으로 표현한 것으로, 포트 1에 입력된 펄스에 대한 포트 4로 출력되는 수직 전계 성분을 산란 파라미터 형식으로 표현한 것이다. 그림에서 보는 바와 같이 두 배선 간의 수평거리가 2 μm에서 10 μm로 증가함에 따라 누화 특성이 -9 dB에서 -34 dB로 점차 감소하는 경향을 보였다.

이와 같이 평행한 인접 전도성 배선 구조에서 수행한 누화 특성 계산 과정을 그림 3에 도시한 교차한 인접 전도성 배선 구조에도 동일하게 적용하여 컴퓨터 모의 실험을 수행하였다. 두 개의 배선이 교차 인접한 금속 배선 구조에서 누화 특성에 영향을 미치는 구조적 요소들은 교차 인접한 금속 배선간의 수직 거리, 금속 배선

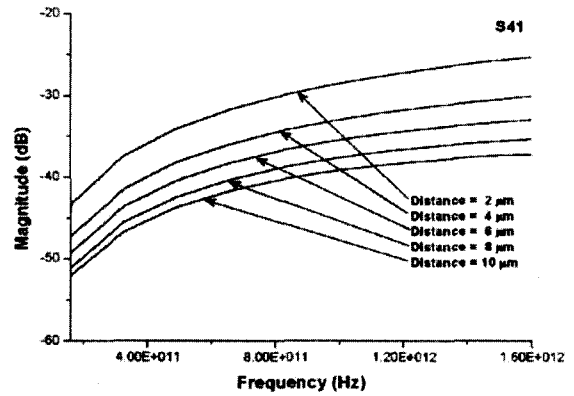


그림 12. 교차한 인접 전도성 배선의 수직 거리에 따른 주파수 응답 특성

Fig. 12. Frequency response of crossed adjacent-transmission lines as a function of vertical distance.

의 선폭, 교차하는 두 금속 배선 사이 물질의 유전율 및 투자율 등이 있다. 컴퓨터 모의실험에서는 그림 3에 보는 바와 같이, 1차 금속 배선이 실리콘 산화막 기판 상에 놓여져 있고, 그 위를 2차 배선이 거리를 두고 수직으로 교차하는 구조를 이용하였다.

실리콘 산화막 상에 놓인 1차 금속 배선의 한쪽 끝을 포트 1이라고 지정하고 가우스형 펄스를 포트 1에 입력한 후, 시간을 진행시키면서 수치 해석 과정을 통해 포트 2, 3, 4로 출력되는 신호를 측정하였다. 또한, 1차 배선과 2차 배선 사이의 수직 거리를 변화시켜 가면서 각 포트에 출력되는 신호를 계산하여 교차한 인접 전도성 배선 구조에서 수직 거리에 따른 누화 특성의 정량적인 변화를 관찰하였다.

그림 11(a)에는 포트 1에 입력된 가우스형 펄스와 포트 3으로 출력되는 신호를 도시하였는데, 평행한 인접 전도성 배선 구조에 비해 매우 작은 신호가 포트 3으로 출력되는 것을 확인하였다. 그림 11(b)에는 두 금속 배선이 교차 인접하여 발생하는 누화 신호만을 확대하여 도시하였는데, 수직 거리가 2 μm일 때 1.2 V/m 피크를 갖는 z 방향 전계가 포트 3으로 출력되는 것을 확인할 수 있었으며, 수직 거리가 4, 6, 8, 10 μm로 멀어질수록 누화 특성이 0.0025 V/m로 감소하는 것을 확인할 수 있었다. 또한, 그림 11에 보인 시간 응답 특성을 푸리에 변환으로 주파수 영역 특성을 계산하여 그림 12에 도시하였다. 주파수가 증가할수록 반사 특성이 증가하는 경향을 보였으며, 교차하는 두 금속 배선간의 수직 거리가 가까워질수록 누화 특성이 정량적으로 증가함을 확인할 수 있었다.

마지막 컴퓨터 모의실험은 그림 4에 도시한 바와 같

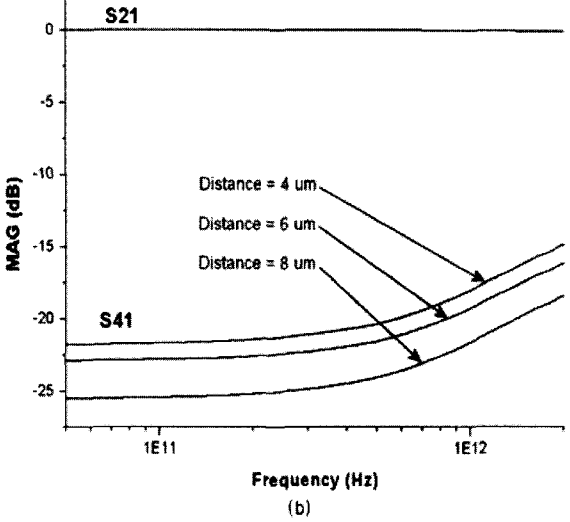
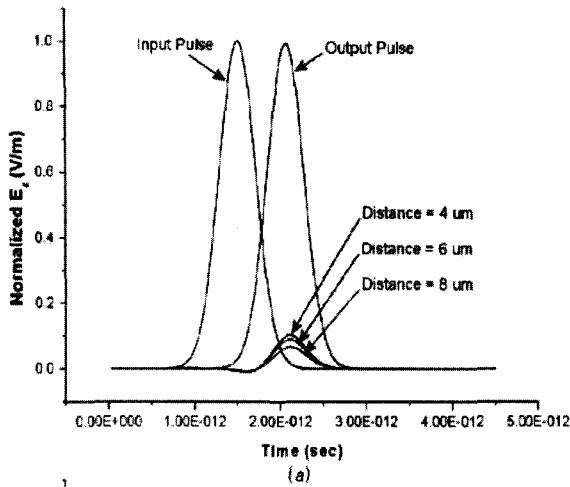


그림 13. 비동일 평면상 평행 인접 전도성 배선의 수평 거리에 따른 (a) 시간응답 특성 및 (b) 주파수 응답 특성

Fig. 13. (a) Time response and (b) frequency response of parallel adjacent transmission lines which are on the different planes as a function of horizontal distance.

이 평행한 전도성 배선이 동일한 평면상에 있지 않은 다층 배선 구조에 대하여 수행하였다. 한편, 시뮬레이션 조건은 펄스가 인가되는 금속 배선으로부터 두 번째 금속 배선이 수직으로 2 μm , 수평으로 4, 6, 8 μm 거리만큼 떨어진 곳에 평행하게 배치되는 경우와 수평 거리는 2 μm 로 고정하고 수직으로 4, 6, 8, 10 μm 거리만큼 떨어진 곳에 평행하게 배치되는 경우로 구분하여 모의실험을 수행하였다.

그림 13은 수직거리를 고정하고 수평거리를 변화시켰을 경우의 시간 응답 특성 및 주파수 응답특성을 도시한 결과이며, 그림 14는 수평거리를 고정하고 수직거리를 변화시켰을 경우 시간 응답 특성 및 주파수 응답

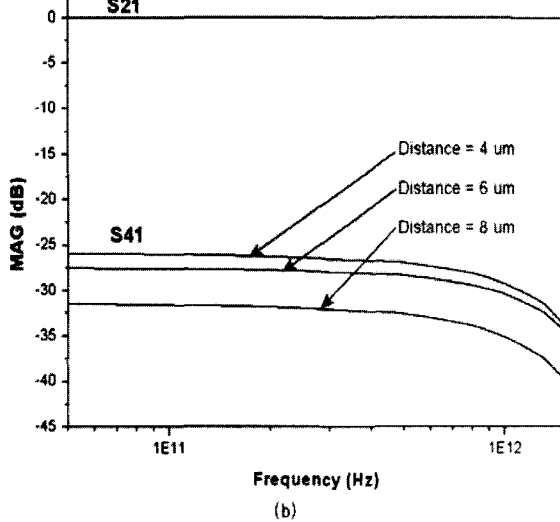
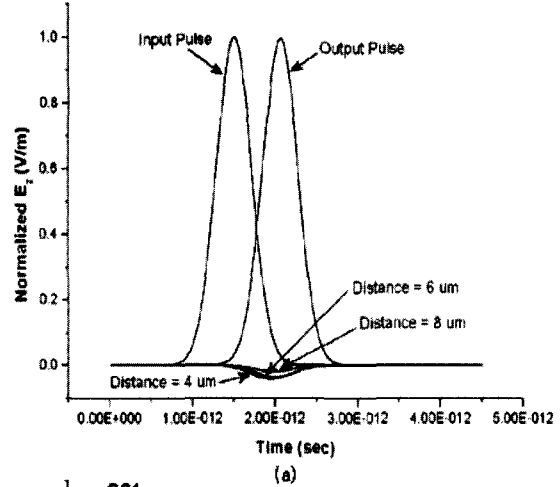


그림 14. 비동일 평면상 평행 인접 전도성 배선의 수직 거리에 따른 (a) 시간 응답 특성 및 (b) 주파수 응답 특성.

Fig. 14. (a) Time response and (b) Frequency response of parallel adjacent transmission lines which are on the different planes as a function of vertical distance.

특성을 도시한 결과이다. 모의실험 결과에 따르면, 수직 수평거리가 멀어짐에 따라 누화 현상이 감소하는 공통적인 특징이 있으며, 수직 거리 변화에 의한 누화보다 수평거리 변화에 의한 누화가 더 크게 작용하는 것을 확인하였다. 이러한 결과는 배선의 두께보다 넓은 배선의 폭에 관계되었을 것으로 사료된다. 또한, 수평 거리가 수직 거리보다 클 경우 누화 되는 파형에서는 위상의 변화가 안 나타나는 것으로 출력되었으나, 수평 평거리가 수직 거리보다 작을 경우 위상이 180도 바뀐 반사파 특성을 나타내는 것으로 모의실험 결과 나타났다.

V. 결론

본 논문에서는 보다 정확한 다층 배선 라인의 신호 간섭 효과를 분석을 수행할 수 있는 풀-웨이브 방법에 대한 연구 수행 결과를 보고하였다. 특히, 본 논문에서는 유한차분시간영역법과 완전 정합층을 이용한 흡수경계조건을 사용한 풀-웨이브 방법을 사용하였다. 사용한 풀-웨이브 분석 방법의 정확도는 Ansoft의 HFSS를 이용하여 검증하였으며, 이를 이용하여 다층 배선 라인이 평행하게 인접한 경우, 교차하면서 인접하는 경우, 평행하게 인접하면서 다른 평면상에 두 배선이 존재하는 경우에 대해서 컴퓨터 모의실험을 수행하였다. 또한, 유한차분시간영역법을 이용하여 계산한 시간 응답 특성을 다시 푸리에 변환 과정을 통해 주파수 영역의 값으로 변환하여 결과를 평가하였다. 모의실험 결과에 따르면, 수직 또는 수평 인접 거리가 멀어짐에 따라 누화 현상이 감소하는 공통적인 특징이 있으며, 수직 거리 변화에 의한 누화보다 수평거리 변화에 의한 누화가 더 크게 작용하는 것을 확인하였다. 이러한 결과는 배선의 두께보다 넓은 배선의 폭에 관계되었을 것으로 사료된다. 또한, 수직 인접에 의한 누화의 경우 위상이 180도 바뀐 반사 특성이 나타나는 것을 모의실험 결과 관찰하였다.

참고 문헌

- [1] R. Sabelka, C. Harlander, and S. Selberherr, "The State of the Art in Interconnect Simulation," in Proc. International Conference on Simulation of Semiconductor Processes and Devices, pp.6-11, 2000.
- [2] U. Choundhury, A. S.-Vincentelli, "Automatic Generation of Analytical Models for Interconnect Capacitances," IEEE Trans. Computer-Aided Des., vol. 14, no. 4, pp.470-480, 1995.
- [3] M. W. Beattie and L. T. Pileggi, "Bounds for BEM Capacitance Extraction," in Proc. 34rd Design Automation Conference, pp.133-136, 1997.
- [4] K. L. Shepard and Z. Tian, "Return-Limited Inductances: A Practical Approach to On-Chip Inductance Extraction," IEEE Trans. Computer-Aided Des., vol. 19, no. 4, pp.425-436, 2000.
- [7] C.-P. Chen, T.-W. Lee, N. Murugesan and S. C. Hagness, "Generalized FDTD-ADI: An Unconditionally Stable Full-wave Maxwell's Equations Solver for VLSI interconnect Modeling," International Conference on CAD, 3D-3, pp.156-164, 2000.
- [8] K. S. Yee, "Numerical solution of initial boundary value problems involving Maxwell's equations in isotropic media," IEEE Trans. on Antennas Propagation, vol. 14, no. 3, pp.302-307, 1966.
- [9] J.-P. Berenger, "Perfectly matched layer for the FDTD solution of wave-structure interaction problems," IEEE Trans. Antennas Propagation, vol. 44, no. 1, pp.110-117, 1996.

 저 자 소 개

김 연 태(정회원)

1994년 인하대학교 전자공학과 공학사 졸업.

1996년 인하대학교 전자재료공학과 공학석사 졸업.

2002년 인하대학교 전자재료공학과 공학박사 졸업.

2002년 하이닉스반도체 연구원

<주관심분야 : 반도체 소자 및 공정, RF/microwave 소자, 반도체 소자 시뮬레이션>

최 익 준(정회원)

2001년 인하대학교 전자재료공학과 공학사 졸업.

2003년 인하대학교 전자재료공학과 공학석사 졸업.

2003년 하이닉스 반도체 연구원

<주관심분야 : 반도체 공정 및 소자 모델링>

권 오 섭(학생회원)

1997년 인하대학교 전자재료공학과 공학사 졸업.

1999년 인하대학교 전자재료공학과 공학석사 졸업.

1999년~현재 인하대학교 전자재료공학과 박사 과정 재학중.

<주관심분야 : 반도체 공정 물리 및 시뮬레이션, 이온주입 및 확산공정 모델링, 나노스케일 소자 모델링>

원 태 영(정회원)

1981년 서울대학교 전자공학과 공학사 졸업.

1983년 한국과학기술원 전기 및 전자공학과 공학석사 졸업.

1989년 미국 University of Illinois at Urbana-Champaign 전자공학과 공학박사 졸업.

1989년 미국 State University of New York 조교수.

1990년 삼성전자(주) 수석연구원.

1991년~현재 인하대학교 공과대학 전자전기공학부 교수.

<주관심분야 : 반도체 소자 및 공정, TFT-LCD, MEMS 모델링 및 시뮬레이션 코드 개발>

