

논문 2004-41SD-4-13

VLSI 인터커넥션에 대한 풀-웨이브 방법을 이용한 신호 왜곡 해석에 관한 연구

(A Study on the Signal Distortion Analysis using Full-wave Method at VLSI Interconnection)

최 익 준*, 원 태 영**

(Ik-joon choi and Tae-young Won)

요 약

본 논문에서는 3차원 인터커넥트(3D interconnect) 구조를 해석하기 위하여 ADI-유한차분시간영역(ADI-FDTD: Alternating Direction Implicit Finite Difference Time Domain)법으로 맥스웰 회전 방정식(Maxwell's curl equation)을 계산하는 수치 해석 모델을 개발하였고, 개발한 ADI-유한차분시간영역법을 이용하여 3.3 V CMOS 기술로 설계된 샘플러 회로의 일부의 영역에 대해 컴퓨터 모의 실험 결과하여 입력된 구형 전압 신호가 금속 배선을 거치면서 5~10 ps의 신호 지연과 0.1~0.2 V의 신호 왜곡이 발생되는 것을 확인하였다. 결론적으로 ADI-유한차분시간영역법을 이용한 풀-웨이브 해석을 통하여 고속의 VLSI 인터커넥트에서의 전자기 현상을 정확하게 분석할 수 있음을 제시하였다.

Abstract

In this paper, we developed a numerical analysis model by using ADI-FDTD method to analyze three-dimensional interconnect structure. We discretized maxwell's curl equation by using ADI-FDTD. Using ADI-FDTD method, a sampler circuit designed from 3.3 V CMOS technology is simplified to 3-metal line structure. Using this simplified structure, the time delay and signal distortion of complex interconnects are investigated. As results of simulation, 5~10 ps of delay time and 0.1~0.2 V of signal distortion are measured. As demonstrated in this paper, the full-wave analysis using ADI-FDTD exhibits a promise for accurate modeling of electromagnetic phenomena in high-speed VLSI interconnect.

Keywords : FDTD, ADI-FDTD, VLSI interconnect.

I. 서 론

최근 반도체 회로가 기가 비트(giga bit)급 및 테라 비트(tera bit)급으로 고집적화 함에 따라 집적도의 향상 주기가 기존의 3년에서 2년으로 감소하였으며, 반도체 공정에 적용되는 최소 선폭 길이는 나노미터(nm) 스케일로 축소되고 있다. 이에 따라, 칩 설계의 집적도는 연평균 58%이상 씩 증가하고 있으며, 회로상의 복잡성을 완화시키기 위하여 0.05~0.18 μm 급 VLSI 테크놀

러지에서 7층 이상의 다층 배선(interconnect lines)이 사용될 것으로 예측된다. 그런데, 이와 같은 다층 배선을 갖는 집적회로 설계에서의 어려움은 반도체 회로가 고집적화 됨에 따라, 활성 소자보다는 반도체 기판 상의 층간 절연막 및 전기 접속용 금속 라인에 존재하는 수동 소자에 의하여 칩 전체의 특성이 영향을 받게 되는 점이다.

즉, 소자의 미세 선폭 길이는 0.05~0.18 μm 로 축소시킬 수 있다 하더라도 다층 금속 배선의 층간 유전 물질과 금속 배선의 두께는 같은 비율로 스케일 다운되지 못하기 때문에, 주변 다층 배선 사이에서 발생하는 기생 캐패시턴스(capacitances), 인덕턴스(inductances) 및 저항(resistance) 성분으로 인한 신호 지연 효과가 두드러지게 발생된다. 또한, 집적된 칩을 상호 연결하는 글로벌 배선을 집중 회로 소자(lumped circuit element)로

* 정회원, 하이닉스 반도체
(Hynix Co., Ltd.)

** 정회원, 인하대학교 전기공학과
(Dept. of Electrical Eng. Inha Univ.)

※ 본 연구는 정보통신부 대학IT인력육성지원사업에 의하여 연구되었음.

접수일자: 2003년1월13일, 수정완료일:2004년4월6일

구성되는 전송선 모델로 해석하는 온-칩(on-chip) 다층 배선 모델링 연구의 경우 칩의 동작 주파수가 1 GHz 이상으로 동작함에 따라서, 저주파 영역에서 무시되어 왔던 지연 효과를 더 이상 무시할 수 없게 되었다.

따라서, 이러한 문제를 극복하기 위하여 3차원 구조에 대해 유한요소법(FEM: Finite Element Method)과 유한차분법(FDM: Finite Difference Method), 경계요소법(BEM: Boundary Element Method) 등의 수치해석적인 방법을 이용하여 전자기장 해석을 수행함으로써 다층 배선 구조에 존재하는 기생 성분들을 계산하는 기술이 필요하다. 또한, 반도체 회로의 동작 주파수가 기가헤르츠(GHz) 시대에 도달함에 따라 전력선 및 신호선을 포함하는 칩의 최상위 레벨 및 글로벌 레벨에서의 시그널 지연이 전체 시그널 지연 시간에 미치는 영향 및 동작 주파수에 따른 시그널 지연 모델링에 대한 중요성이 증가되어 다층 배선에 대한 물리적 이해와 다양한 구조에 대한 분석 결과를 제공할 수 있는 다층 배선 모델이 필요하다.

1966년 K. S. Yee에 의해 처음 제안된 유한차분시간 영역법은 연속 편미분 방정식의 Maxwell 회전 방정식을 Yee 격자에 적용하기 위해 시간과 공간에 대해 동시에 이산화하여 유한 차분 방정식으로 근사화한 후, 각 격자에서의 계(field)값을 구하는 전자계 수치해석 방법이다. 이 방법은 해석 대상 영역에 광대역 주파수 정보를 갖는 펄스 신호를 여기시켜서, 시간 영역에서의 과도 응답을 구한 다음, 이 결과를 고속 푸리에 변환 과정을 수행하면 직류에서 수 십 GHz 까지 광대역 주파수 특성을 한 번의 계산으로 얻을 수 있다는 장점이 있다^[1].

따라서, 본 연구에서는 고주파수 대역에서 풀-칩 분석(full-chip analysis) 방법보다 정확한 해를 제시할 수 있는 맥스웰 방정식을 이용한 풀-웨이브 분석 방법을 연구하였다. 풀-칩 분석 방법은 빠른 시간 내에 전체 칩의 다층 배선을 다수 개의 조각으로 나누고, 나누어진 조각을 각각 집중소자로 등가회로화한 후, 등가회로의 파라미터 값을 추출함으로써 전체 칩에서 발생하는 최종적인 신호 지연을 계산하는 방법이다. 이에 반해, 풀-웨이브 분석 방법은 3차원 다층 배선 구조로부터 전계와 자계에 관한 맥스웰 방정식을 직접 계산하여 입력된 신호의 시간 응답 특성을 구하는 방법이다^[2]. 풀-칩 분석 방법은 비교적 넓은 영역의 칩에서 다층 배선으로 인해 발생하는 신호 지연 성분을 빠른 시간 내에 계산할 수 있는 장점이 있지만, 1 GHz 이상의 높은 주파수

에서 정확한 값을 계산하는 데에 한계가 있는 단점이 있다. 따라서, 본 논문에서는 모의실험을 수행하는 데 비교적 많은 시간이 걸리지만, 고주파 대역에서도 정확한 분석을 수행할 수 있는 풀-웨이브 분석 방법에 대한 연구를 수행하고 그 결과를 분석하였다.

II. 맥스웰 회전 방정식의 이산화

본 연구에서는 고속 동작하는 고집적회로에서 고주파 신호와 전력 전달을 위해 이용되는 임의의 다층 배선 구조에 대한 정확한 모델링을 위하여 풀-웨이브 해석 방법(full-wave analysis method)을 도입하였다. 풀-웨이브 해석 방법은 다층 배선 구조에 대해 맥스웰 방정식을 이용한 풀-웨이브 해석 방법은 계산 영역 전체의 전계와 자계를 직접 구하는 방법으로 시간 변화에 따른 전계 및 자계 변화를 해석 할 수 있다.

유한차분시간영역법^[3]은 임의의 3차원 구조에 대한 순간적인 전자기파의 상호작용 또는 사인곡선 모델링에 대한 계산에 대해 효율적으로 접근할 수 있고 기본이 되는 맥스웰 회전 방정식(Maxwell's curl equations)을 통해 수식적으로 나타낸다.

$$\epsilon \frac{\partial \mathbf{E}}{\partial t} + \mathbf{J} = \nabla \times \mathbf{H} \quad (1)$$

$$-\mu \frac{\partial \mathbf{H}}{\partial t} = \nabla \times \mathbf{E} \quad (2)$$

맥스웰 회전 방정식은 암페어의 폐회로 법칙과 패러데이의 전자유도의 법칙을 이론의 토대로 정리된 방정식으로, 특히 원천(source)이 없는 매질에서 시간적 변화를 갖는 전자계에 대한 방정식은 식(1) 및 식(2)와 같다. 위의 두 식에서 \mathbf{E} 는 전계, \mathbf{H} 는 자계로서 모두 벡터이다. 그리고 ϵ 과 μ 는 각각 매질의 유전율과 투자율이다.

맥스웰 회전 방정식을 유한차분시간영역법으로 풀기 위해 K. S. Yee의 이-알고리즘(Yee - algorithm)을 도입하였다. 이-알고리즘을 응용하여 직각좌표계에서 한 점을 식(3)과 같이 표현하였다.

$$(x, y, z) = (i\Delta x, j\Delta y, k\Delta z) \quad (3)$$

식(3)을 간편하게 (i, j, k)라고 표시하였으며, 공간과 시간의 함수 전계 E와 자계 H는 식(4)와 식(5) 같이 이산화 하였다.

$$\mathbf{E}(x, y, z, t) = \mathbf{E}(i\Delta x, j\Delta y, k\Delta z, n\Delta t) \quad (4)$$

$$H(x, y, z, t) = H(i\Delta x, j\Delta y, k\Delta z, n\Delta t) \quad (5)$$

여기에서 $\Delta x, \Delta y, \Delta z$ 는 각각 x, y, z 축 방향에 대한 공간 증분, Δt 는 시간 증분이며, 식(4)과 식(5)는 $E_n(i, j, k)$ 와 $H_n(i, j, k)$ 로 간략하게 표현하여 맥스웰 회전 방정식을 이산화하고 정리하는데 이용하였다. 그리고, 식(1)과 (2)는 x, y, z 축의 각 방향에 대한 전계와 자계 성분으로 나누어지므로 식(6)~식(11)과 같이 6개의 방정식으로 표현하였다.

$$\epsilon \frac{\partial E_x}{\partial t} + \sigma E_x = \partial \frac{H_z}{\partial y} - \frac{\partial H_y}{\partial z} \quad (6)$$

$$\epsilon \frac{\partial E_y}{\partial t} + \sigma E_y = \partial \frac{H_x}{\partial z} - \frac{\partial H_z}{\partial x} \quad (7)$$

$$\epsilon \frac{\partial E_z}{\partial t} + \sigma E_z = \partial \frac{H_y}{\partial x} - \frac{\partial H_x}{\partial y} \quad (8)$$

$$\mu \frac{\partial H_x}{\partial t} + \sigma^* H_x = \frac{\partial E_y}{\partial z} - \frac{\partial E_z}{\partial y} \quad (9)$$

$$\mu \frac{\partial H_y}{\partial t} + \sigma^* H_y = \frac{\partial E_z}{\partial x} - \frac{\partial E_x}{\partial z} \quad (10)$$

$$\mu \frac{\partial H_z}{\partial t} + \sigma^* H_z = \frac{\partial E_x}{\partial y} - \frac{\partial E_y}{\partial x} \quad (11)$$

유한차분시간영역법은 시간 영역에서 일정량의 시간 간격을 두고 전체 해석 공간을 계산하는 방법으로 매질에서 시간적 변화를 갖는 전자계에 대한 방정식인 맥스웰 회전 방정식의 직접 해를 계산할 수 있는 확실한 그리드-기반(grid-based) 기술이다.

또한, 유한차분시간영역법은 최근 복잡한 고속 인터커넥션 설계 문제 등에 정확하고 효과적인 유용성을 보이는 특성이 있고, 등방성 매질, 이방성 매질, 쌍등방성 매질, 쌍이방성 매질 등 다양한 매질 해석 가능할 뿐 아니라 임의의 3차원 구조를 갖는 사인(sinusoidal) 또는 임펄시브(impulsive) 전자파 간섭(electromagnetic wave interaction) 모델링에 수치 계산적으로 매우 유용한 방법이다. 따라서, 전자파 전파와 방사 효과에 따른 고집적 회로의 성능 저하를 규명하는 고속 다층 배선 인터커넥트 모델링을 위해 유한차분시간영역법을 이용하였다.

III. ADI-유한차분시간영역법

기존의 유한차분시간영역법은 시간 n 단계에서 시간

$n+1$ 단계로 진행될 때 전체 영역에 대하여 시간 $n+1/2$ 단계에서 전계를 계산하게 되고 구해진 전계를 이용하여 시간 $n+1$ 단계의 자계를 계산하게 된다. ADI-유한차분시간영역법^{[4][5][6]}은 시간 n 단계에서 시간 $n+1/2$ 단계로 진행될 때 전계와 자계를 구하기 위해 초기 반복이 요구되고, 시간 $n+1/2$ 단계에서 시간 $n+1$ 단계로 진행될 때 두 번째 반복이 요구된다. 각각의 반복에 대하여 각 전계의 요소들은 현시간 단계에서의 계산되어 나온 값들을 이용하는 내삽법으로 업데이트 되고 자계의 요소들은 이전시간 단계의 값들을 이용하여 계산하는 외삽법으로 업데이트 하게 된다.

초기 반복에서의 전계를 계산하는 방법인 내삽법을 적용시키기 위해 맥스웰 회전 방정식을 정리하면, 우선 식(6)을 전계는 시간에 대해서 중앙 차분법을 적용하고, 자계는 위치에 대해서 중앙 차분법을 적용하여 정리하면 식(12)을 얻을 수 있다.

$$\begin{aligned} \epsilon_{i+1/2,j,k} & \left(\frac{E_{x\ i+1/2,j,k}^{n+1/2} - E_{x\ i+1/2,j,k}^n}{\Delta t/2} \right) \\ & + \sigma_{i+1/2,j,k} \left(\frac{E_{x\ i+1/2,j,k}^{n+1/2} + E_{x\ i+1/2,j,k}^n}{2} \right) \\ & = \left(\frac{H_{z\ i+1/2,j+1/2,k}^{n+1/2} - H_{z\ i+1/2,j-1/2,k}^{n+1/2}}{\Delta y} \right) \\ & - \left(\frac{H_{y\ i+1/2,i,k+1/2}^n - H_{y\ i+1/2,i,k-1/2}^n}{\Delta z} \right) \quad (12) \end{aligned}$$

여기서 아래 첨자는 공간적 위치를 나타내고, 위 첨자는 시간 단계를 나타낸다. 시간 n 단계에서의 6개의 전자계는 초기 입력 값으로 알고 있는 값이고, 시간 $n+1/2$ 단계의 6개의 계는 아직 알지 못한 값이다. 그러므로 식(12)에서의 시간 $n+1/2$ 단계의 E_x 는 알지 못하는 값이고, 시간 n 단계의 E_x 는 알고 있는 값이다. 또 시간 $n+1/2$ 단계의 $\partial H_z/\partial y$ 의 값은 알지 못한 값이고, 시간 n 단계의 $\partial H_y/\partial z$ 는 알고 있는 값이다. 이 식에서 미지수 값인 시간 $n+1/2$ 단계의 H_z 를 계산하기 위하여 식(11)의 자계와 전계를 시간과 위치에 대해 중앙 차분법을 적용하면

$$\begin{aligned} \mu_{i+1/2,j+1/2,k} & \left(\frac{H_{z\ i+1/2,j+1/2,k}^{n+1/2} - H_{z\ i+1/2,j+1/2,k}^n}{\Delta t/2} \right) \\ & + \sigma_{i+1/2,j+1/2,k}^* \left(\frac{H_{z\ i+1/2,j+1/2,k}^{n+1/2} + H_{z\ i+1/2,j+1/2,k}^n}{2} \right) \\ & = \left(\frac{E_{x\ i+1/2,j+1,k}^{n+1/2} - E_{x\ i+1/2,j,k}^{n+1/2}}{\Delta y} \right) \end{aligned}$$

$$-\left(\frac{E_{y \ i+1, j+1/2, k}^n - E_{y \ i, j+1/2, k}^n}{\Delta x}\right) \quad (13)$$

식(13)이 된다. 식(13)에서 아직 값을 모르는 시간 $n+1/2$ 단계의 H_z 에 대해 정리하여 위의 식(12)에 대입하여 정리하면 아래와 같이 시간 $n+1$ 단계의 E_x 에 대해 정리할 수 있다.

$$\begin{aligned} & C_{a \ i+1/2, j, k} E_{x \ i+1/2, j, k}^{n+1/2} - C_{b \ i+1/2, j, k} E_{x \ i+1/2, j+1, k}^{n+1/2} \\ & - C_{c \ i+1/2, j, k} E_{x \ i+1/2, j-1, k}^{n+1/2} \\ = & C_{d \ i+1/2, j, k} E_{x \ i+1/2, j, k}^n \\ + & C_{e \ i+1/2, j, k} H_z^{n \ i+1/2, j+1/2, k} \\ - & C_{f \ i+1/2, j, k} H_z^{n \ i+1/2, j-1/2, k} \\ - & C_{g \ i+1/2, j, k} (H_{y \ i+1/2, j, k+1/2}^n - H_{y \ i+1/2, j, k-1/2}^n) \\ & C_{h \ i+1/2, j, k} (E_{y \ i+1, j+1/2, k}^n - E_{y \ i, j+1/2, k}^n) \\ + & C_{i \ i+1/2, j, k} (E_{y \ i+1, j-1/2, k}^n - E_{y \ i, j-1/2, k}^n) \quad (14) \end{aligned}$$

$$\begin{aligned} & C_{a \ i+1/2, j, k} \\ = & \left\{ 1 + \frac{\alpha_{i+1/2, j, k} (2\Delta t)^2}{(\Delta y_{right})^2 (4\mu_{i+1/2, j+1/2, k} + \sigma_{i+1/2, j+1/2, k}^* \Delta t)} \right. \\ & \left. + \frac{\alpha_{i+1/2, j, k} (2\Delta t)^2}{(\Delta y)^2 (4\mu_{i+1/2, j-1/2, k} + \sigma_{i+1/2, j-1/2, k}^* \Delta t)} \right\} \quad (15) \end{aligned}$$

$$C_{a \ i+1/2, j, k} = \left(\frac{\alpha_{i+1/2, j, k} (2\Delta t)^2}{(\Delta y)^2 (4\mu_{i+1/2, j+1/2, k} + \sigma_{i+1/2, j+1/2, k}^* \Delta t)} \right) \quad (16)$$

$$C_{a \ i+1/2, j, k} = \left(\frac{\alpha_{i+1/2, j, k} (2\Delta t)^2}{(\Delta y)^2 (4\mu_{i+1/2, j-1/2, k} + \sigma_{i+1/2, j-1/2, k}^* \Delta t)} \right) \quad (17)$$

$$C_{a \ i+1/2, j, k} = (\alpha_{i+1/2, j, k} (4\epsilon_{i+1/2, j, k} - \sigma_{i+1/2, j, k}^* \Delta t)) \quad (18)$$

$$\begin{aligned} & C_{e \ i+1/2, j, k} \\ = & \left(\frac{2\alpha_{i+1/2, j, k} \Delta t \ 4\mu_{i+1/2, j+1/2, k}}{\Delta y (4\mu_{i+1/2, j+1/2, k} + \sigma_{i+1/2, j+1/2, k}^* \Delta t)} \right. \\ & \left. - \frac{2\alpha_{i+1/2, j, k} \Delta t \ \sigma_{i+1/2, j+1/2, k}^* \Delta t}{\Delta y (4\mu_{i+1/2, j+1/2, k} + \sigma_{i+1/2, j+1/2, k}^* \Delta t)} \right) \quad (19) \end{aligned}$$

$$C_{f \ i+1/2, j, k}$$

$$= \left(\frac{2\alpha_{i+1/2, j, k} \Delta t (4\mu_{i+1/2, j-1/2, k} - \sigma_{i+1/2, j-1/2, k}^* \Delta t)}{\Delta y (4\mu_{i+1/2, j-1/2, k} + \sigma_{i+1/2, j-1/2, k}^* \Delta t)} \right) \quad (20)$$

$$\begin{aligned} C_{g \ i+1/2, j, k} &= \frac{2\alpha_{i+1/2, j, k} \Delta t}{\Delta z} \\ C_{h \ i+1/2, j, k} \\ = & \left(\frac{\alpha_{i+1/2, j, k} (2\Delta t)^2}{\Delta x \Delta y (4\mu_{i+1/2, j+1/2, k} + \sigma_{i+1/2, j+1/2, k}^* \Delta t)} \right) \quad (21) \end{aligned}$$

$$C_{i \ i+1/2, j, k} = \left(\frac{\alpha_{i+1/2, j, k} (2\Delta t)^2}{\Delta x \Delta y (4\mu_{i+1/2, j-1/2, k} + \sigma_{i+1/2, j-1/2, k}^* \Delta t)} \right) \quad (22)$$

식(14)에서 $\alpha_{i+1/2, j, k}$ 는 식(23)으로 구할 수 있다.

$$\alpha_{i+1/2, j, k} = \frac{1}{4\epsilon_{i+1/2, j, k} + \sigma_{i+1/2, j, k}^* \Delta t} \quad (23)$$

식(14)에서 y 축 방향으로 놓여진 시간 $n+1/2$ 단계의 E_x 들은 삼중대각 시스템을 이용하여 각 j 좌표에 대해서 시간 $n+1/2$ 단계에서의 E_x 를 계산 할 수 있다. 구해진 시간 $n+1/2$ 단계의 E_x 를 이용하여 시간 $n+1/2$ 단계의 H_z 를 식(24)에 대입하여 구할 수 있다.

$$\begin{aligned} & H_z^{n+1/2 \ i+1/2, j+1/2, k} \\ = & \left\{ 1 + \frac{\alpha_{i+1/2, j, k} (2\Delta t)^2}{(\Delta y_{right})^2 (4\mu_{i+1/2, j+1/2, k} + \sigma_{i+1/2, j+1/2, k}^* \Delta t)} \right. \\ & H_z^{n+1/2 \ i+1/2, j+1/2, k} \\ = & D_{a \ i+1/2, j+1/2, k} H_z^{n \ i+1/2, j+1/2, k} + D_{b \ i+1/2, j+1/2, k} \\ & \left(\frac{E_{x \ i+1/2, j+1, k}^{n+1/2} - E_{x \ i+1/2, j, k}^{n+1/2}}{\Delta y} \right. \\ & \left. - \frac{E_{y \ i+1, j+1/2, k}^n - E_{y \ i, j+1/2, k}^n}{\Delta x} \right) \quad (24) \end{aligned}$$

$$D_{a \ i+1/2, j+1/2, k} = \left(\frac{1 - \frac{\sigma_{i+1/2, j+1/2, k}^* \Delta t}{4\mu_{i+1/2, j+1/2, k}}}{1 + \frac{\sigma_{i+1/2, j+1/2, k}^* \Delta t}{4\mu_{i+1/2, j+1/2, k}}} \right)$$

$$D_{b \ i+1/2, j+1/2, k} = \left(\frac{\frac{\Delta t}{2\mu_{i+1/2, j+1/2, k}}}{1 + \frac{\sigma_{i+1/2, j+1/2, k}^* \Delta t}{4\mu_{i+1/2, j+1/2, k}}} \right)$$

마찬가지로 시간 $n+1$ 단계의 E_y 와 E_z 는 식(7)과 식(11)을 이용하여 z 축 방향으로 시간 $n+1/2$ 단계에서의 E_y 를 구할 수 있고, 식(8)과 식(12)을 이용하여 x 축 방

향으로 시간 $n+1/2$ 단계의 E_z 를 구할 수 있다. 구해진 시간 $n+1/2$ 단계의 전계를 이용하여 시간 $n+1/2$ 단계의 자계를 계산한다.

두 번째 반복으로 시간 $n+1/2$ 단계에서 시간 $n+1$ 단계로 진행된 6개의 전자계 성분을 계산하면 초기 반복과 마찬가지로 전계는 시간에 대해서 중앙 차분법을 적용하고, 자계에 대해서는 위치에 대해서 중앙 차분법을 적용하여 전개하면,

$$\begin{aligned} & \epsilon_{i+1/2,j,k} \left(\frac{E_{x\ i+1/2,j,k}^{n+1} - E_{x\ i+1/2,j,k}^{n+1/2}}{\Delta t/2} \right) \\ & + \sigma_{i+1/2,j,k} \left(\frac{E_{x\ i+1/2,j,k}^{n+1} + E_{x\ i+1/2,j,k}^{n+1/2}}{2} \right) \\ & = \left(\frac{H_{z\ i+1/2,j+1/2,k}^{n+1/2} - H_{z\ i+1/2,j-1/2,k}^{n+1/2}}{\Delta y} \right) \\ & - \left(\frac{H_{y\ i+1/2,j,k+1/2}^{n+1} - H_{y\ i+1/2,j,k-1/2}^{n+1}}{\Delta z} \right) \end{aligned} \quad (25)$$

식(25)이 된다. 식(25)은 시간에 대하여 $n+1/2$ 와 $n+1$ 로 분리된 전계와 위치적으로 y 축과 z 축에 대해 분리된 자계로 표현된다. 식(25)에서 시간 $n+1$ 단계의 E_x 와 H_y 는 아직 계산되지 않은 미지수 값이고, 시간 $n+1/2$ 단계의 E_x 와 H_z 는 초기 반복을 통해 계산되어 알고 있는 값들이다. 수식에 미지수 값이 두 개가 존재하기 때문에 시간 $n+1$ 단계의 H_y 를 소거하여 시간 $n+1$ 단계의 E_x 만 남게 정리한다. 식(10)을 자계에 대해서는 시간에 대해서 중앙 차분법을 적용하고, 전계에 대해서는 위치에 대해서 중앙 차분법을 적용하여 시간 $n+1$ 단계의 H_y 에 대해 정리하면,

$$\begin{aligned} & H_{y\ i+1/2,j,k+1/2}^{n+1} \\ & = \left(\frac{4\mu_{i+1/2,j,k+1/2} - \sigma_{i+1/2,j,k+1/2}^* \Delta t}{4\mu_{i+1/2,j,k+1/2} + \sigma_{i+1/2,j,k+1/2}^* \Delta t} \right) H_{y\ i+1/2,j,k+1/2}^{n+1/2} \\ & + \frac{2\Delta t E_{z\ i+1,j,k+1/2}^{n+1/2}}{\Delta x (4\mu_{i+1/2,j,k+1/2} + \sigma_{i+1/2,j,k+1/2}^* \Delta t)} \\ & - \frac{2\Delta t E_{z\ i,j,k+1/2}^{n+1/2}}{\Delta x (4\mu_{i+1/2,j,k+1/2} + \sigma_{i+1/2,j,k+1/2}^* \Delta t)} \\ & - \frac{2\Delta t E_{x\ i+1/2,j,k+1}^{n+1}}{\Delta z (4\mu_{i+1/2,j,k+1/2} + \sigma_{i+1/2,j,k+1/2}^* \Delta t)} \\ & + \frac{2\Delta t E_{x\ i+1/2,j,k}^{n+1}}{\Delta z (4\mu_{i+1/2,j,k+1/2} + \sigma_{i+1/2,j,k+1/2}^* \Delta t)} \end{aligned} \quad (26)$$

시간 $n+1$ 단계의 H_y 에 대해 정리된 식(26)을 얻을 수 있다. 식(26)을 아직 계산되지 않은 시간 $n+1$ 단계의 E_x 와 H_y 로 구성된 식(25)에 대입하여 시간 $n+1$ 단계의 E_x

만으로 표현할 수 있다. E_x 에 대해 정리하면 식(27)을 구할 수 있다.

$$\begin{aligned} & C_{a\ i+1/2,j,k} E_{x\ i+1/2,j,k}^{n+1} \\ & - C_{b\ i+1/2,j,k} E_{x\ i+1/2,j,k+1}^{n+1} \\ & - C_{c\ i+1/2,j,k} E_{x\ i+1/2,j,k-1}^{n+1} \\ & = C_{d\ i+1/2,j,k} E_{x\ i+1/2,j,k}^{n+1/2} \\ & + C_{e\ i+1/2,j,k} H_{y\ i+1/2,j,k+1/2}^{n+1/2} \\ & - C_{f\ i+1/2,j,k} H_{y\ i+1/2,j,k-1/2}^{n+1/2} \\ & - C_{g\ i+1/2,j,k} (H_{z\ i+1/2,j+1/2,k}^{n+1/2} - H_{z\ i+1/2,j-1/2,k}^{n+1/2}) \\ & - C_{h\ i+1/2,j,k} (E_{z\ i+1,j,k+1/2}^{n+1/2} - E_{z\ i,j,k+1/2}^{n+1/2}) \\ & + C_{i\ i+1/2,j,k} (E_{z\ i+1,j,k-1/2}^{n+1/2} - E_{z\ i,j,k-1/2}^{n+1/2}) \end{aligned} \quad (27)$$

식(27)을 이용하여 공간 격자를 통한 z 축 방향으로 각 k 좌표에 대해서 시간 $n+1$ 단계에서의 E_x 를 구할 수 있다. z 축의 변화에 따른 3개의 시간 $n+1$ 단계에서의 E_x 는 삼중대각 시스템을 사용하여 계산한다. 동일한 방법으로 식(7)과 식(11)을 이용하여 x 축 방향으로 시간 $n+1$ 단계에서의 E_y 를 구할 수 있고, 식(8)과 식(9)을 이용하여 y 축 방향으로 시간 $n+1$ 단계에서의 E_z 를 구할 수 있다. 계산되어 나온 시간 $n+1$ 단계에서의 전계와 알고 있는 시간 $n+1/2$ 단계의 전자계를 식(28)에 대입하여 시간 $n+1$ 단계의 자계를 구할 수 있다.

$$\begin{aligned} & H_{y\ i+1/2,j,k+1/2}^{n+1} \\ & = D_{a\ i+1/2,j,k+1/2} H_{y\ i+1/2,j,k+1/2}^{n+1/2} \\ & + D_{b\ i+1/2,j,k+1/2} \\ & \left(\frac{E_{z\ i+1,j,k+1/2}^{n+1/2} - E_{z\ i,j,k+1/2}^{n+1/2}}{\Delta x} \right. \\ & \left. - \frac{E_{x\ i+1/2,j,k+1}^{n+1} - E_{x\ i+1/2,j,k}^{n+1}}{\Delta z} \right) \end{aligned} \quad (28)$$

$$\begin{aligned} & D_{a\ i+1/2,j,k+1/2} \\ & = \left(\frac{1 - \frac{\sigma_{i+1/2,j,k+1/2}^* \Delta t}{4\mu_{i+1/2,j,k+1/2}}}{1 + \frac{\sigma_{i+1/2,j,k+1/2}^* \Delta t}{4\mu_{i+1/2,j,k+1/2}}} \right) \end{aligned} \quad (29)$$

$$D_{b_{i+1/2,j+1/2,k}} = \left(\frac{\frac{\Delta t}{2\mu_{i+1/2,j,k+1/2}}}{1 + \frac{\sigma_{i+1/2,j,k+1/2}^* \Delta t}{4\mu_{i+1/2,j,k+1/2}}} \right) \quad (30)$$

이와 같은 과정을 각 시간 간격에 대하여 계산하므로서 시간 변화에 대한 펄스 진행을 계산 할 수 있다.

IV. 컴퓨터 모의 실험 및 결과

맥스웰 회전 방정식을 유한차분시간영역법으로 폴-웨이브 해석하는 방법을 복잡한 3차원 배선 구조에 적용하여, 펄스의 진행에 따른 다층 배선 구조에서의 전계 및 자계 변화를 컴퓨터 모의 실험하였다. 컴퓨터 모의 실험을 위하여 3.3 V CMOS 기술로 설계된 샘플러 회로(sampler circuit)를 이용하였다. 컴퓨터 모의 실험에 이용된 샘플러 회로는 1 폴리(polysilicon) - 4 금속 배선(metal line) 구조로 이루어져 있으며, 전체 샘플러 회로는 24개의 트랜지스터로 구성된다.

전체 칩 면적은 28×35 μm²이며, 완성된 샘플러 회로의 3차원 구조를 그림 1에 도시하였다. 실제 컴퓨터 모의 실험에서는 샘플러 회로 전체를 사용하지 않았으며, 메모리량, 계산량 그리고 계산 시간 등을 고려하여 샘플러 회로의 일부분을 모의 실험하였다. 그림 2에 샘플러 회로 전체의 레이아웃 설계도와 실제 실험에 이용된 설계 부분을 도시하였다. 그림에서 보는 바와 같이, 샘플러 회로 설계 도면의 좌측 회로 일부분을 컴퓨터 모의 실험에 이용하였다. 컴퓨터 모의 실험에 이용된 샘플러 회로의 일부분을 그림 3에 3차원 구조로 도시하였다.

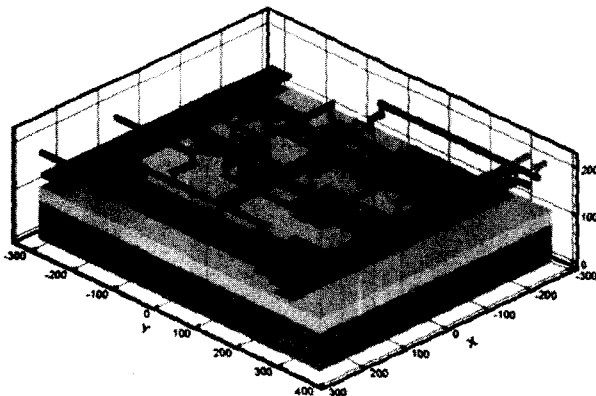


그림 1. 샘플러 회로의 3차원 구조.
Fig. 1. Three dimensional structure of sampler circuit.

실제 샘플러 회로의 설계에서는 1 폴리 - 4 메탈 라인 구조로서 샘플러 회로 구조의 맨 하부에 폴리실리콘이 존재하지만, 컴퓨터 모의 실험에서는 단순히 3 메탈 라인 구조로 단순화하여 모의 실험하였다. 또한, 그림 3에는 펄스 입력 방법에 대해서도 도시하였는데, 샘플러 회로의 상단에 있는 세 번째 층 금속 배선의 좌측 끝을 포트 1이라고 설정하고 첫 번째 펄스를 여기하였으며, 샘플러 회로의 중간에 위치하는 세 번째 층 금속 배선 중 제일 아래에 위치한 배선의 우측 끝을 포트 2로 설정하고 두 번째 펄스를 첫 번째 펄스 여기 시에 함께 여기하였다.

그림 4에는 첫 번째 입력 펄스가 여기 되는 곳의 yz-평면에서 시간 진행에 따른 z 방향 전계의 분포 변화를 도시하였다. 첫 번째 펄스가 입력되는 포트 1이 있는 곳을 yz-평면으로 자르고, 그 단면을 그림 4(a)에 도시하였다. 그림에서 맨 상부에 세 번째 금속 배선이 있으며, 그 아래로 두 번째, 첫 번째 배선이 차례로 배치되어 있는 것을 볼 수 있다. 그림 4(b)에는 시간이 1.35 ps

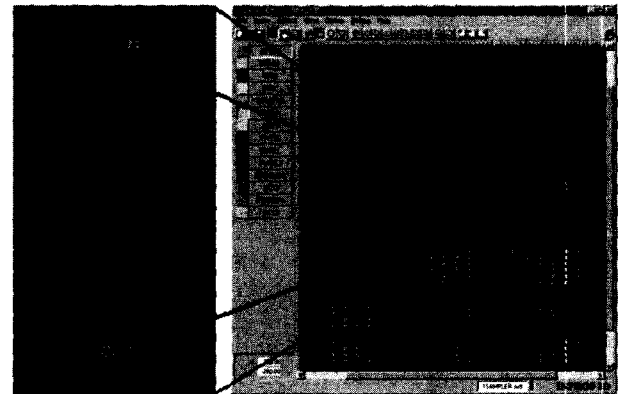


그림 2. 샘플러 회로의 레이아웃 설계도.
Fig. 2. Layout design of sampler circuit.

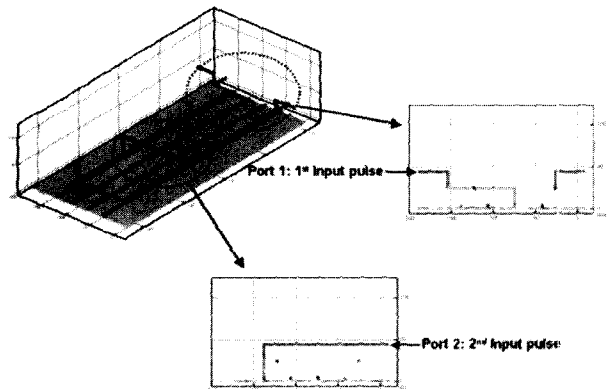


그림 3. 샘플러 회로의 일부분에 대한 3차원 구조 및 입력 펄스인가 위치.
Fig. 3. Simulated 3D structure of one part of sampler circuit and excitation of input pulse.

만큼 경과된 후, yz -평면에 형성된 z 방향 전계 분포를 도시하였다. 전계 분포 결과로 입력된 첫 번째 펄스가 세 번째 금속 배선을 지나 두 번째 배선으로 진행하는 것을 확인할 수 있었다. 그림 4(c), (d)에는 각각 시간이 1.8, 2.25 ps 경과된 후, yz -평면에 형성된 z 방향 전계 분포를 도시하였다. 그림 4(c)에서는 첫 번째 금속 배선과 두 번째 배선간에 교차 인접으로 누화 현상이 발생하는 것이 보였으며, 그림 4(d)에는 입력된 펄스가 두 번째 금속 배선에서 첫 번째 금속 배선으로 진행하여 첫 번째 금속 배선을 따라 전송되는 것을 볼 수 있었다. 첫 번째 펄스가 입력되는 포트 1이 있는 곳을 yz -평면으로 잘랐던 것과 마찬가지로 포트 2가 위치한 곳을 yz -평면으로 잘랐으며, 그 단면을 그림 5(a)에 도시하

였다. 그림에서 맨 상부에 세 번째 금속 배선이 yz -평면을 종단하여 지나가고 있고, 세 번째 금속 배선 아래로 두 번째 금속 배선이 세 번째 금속 배선과 교차 인접하고 있는 구조를 이루고 있으며, 맨 하부에는 첫 번째 금속 배선이 x 축을 따라 첫 번째 금속 배선들간에 평행 인접하고 있는 구조를 이루고 있다. 이때 두 번째 금속 배선과 첫 번째 금속 배선은 다른 평면상의 평행 인접 구조를 이루고 있다. 그림 5(b)에는 시간이 1.35 ps만큼 경과된 후, yz -평면에 형성된 z 방향 전계 분포를 도시하였는데, 입력된 첫 번째 펄스가 세 번째 금속 배선을 따라 yz -평면을 진행하는 것을 확인할 수 있었다. 시간이 1.8 ps 경과한 후의 모습을 도시한 그림 5(c)에서는 교차 인접한 세 번째, 두 번째 금속 배선간

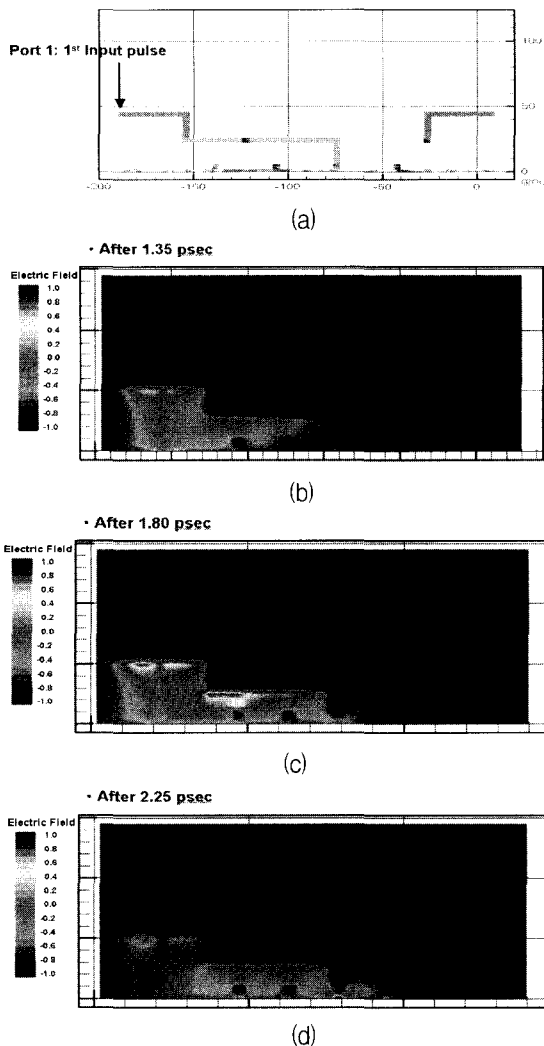


그림 4. (a) 포트 1에 가우시안 펄스인가, 그 후 시간 변화에 따른 전계의 분포 (b) 1.35 ps (c) 1.8 ps (d) 2.25 ps.
Fig. 4. (a) Excitation of 1st gaussian pulse at the port 1, and E_z field distribution after the time of (b) 1.35, (c) 1.8 and, (d) 2.25 ps.

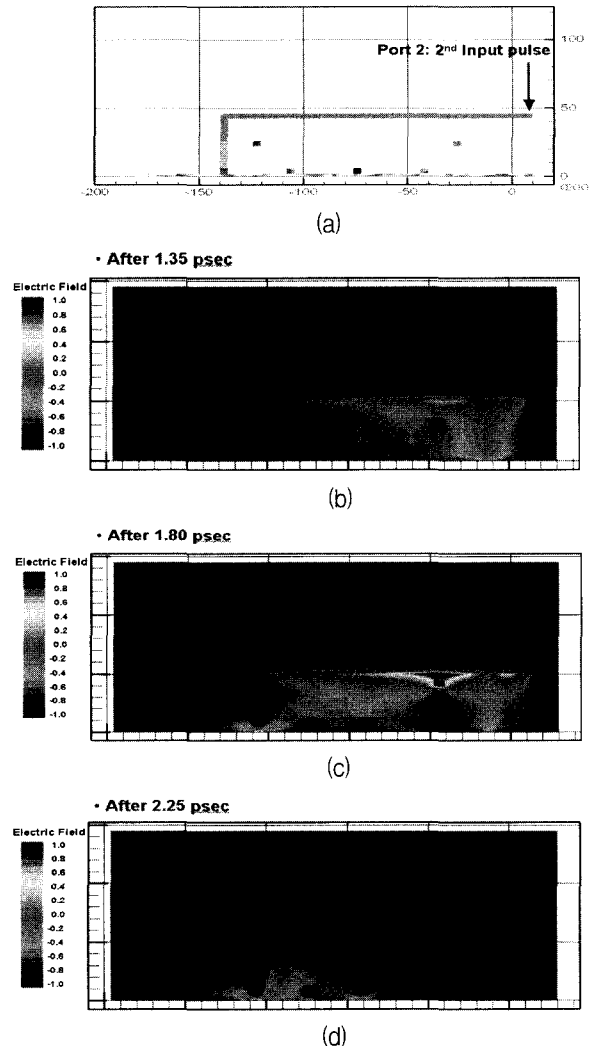


그림 5. (a) 포트 2에 가우시안 펄스인가, 그 후 시간 변화에 따른 전계의 분포 (b) 1.35 ps (c) 1.8 ps (d) 2.25 ps.
Fig. 5. (a) Excitation of 2nd gaussian pulse at the port 2, and E_z field distribution after the time of (b) 1.35 ps, (c) 1.8 ps, and (d) 2.25 ps.

의 누화 현상이 보이고, 시간이 2.25 ps 경과한 후의 모습을 도시한 그림 5(d)에서는 평행 인접한 첫 번째 금속 배선간의 누화 현상을 볼 수 있었다.

그림 6에서는 시간이 1.5 ps 경과한 시점에서 수직

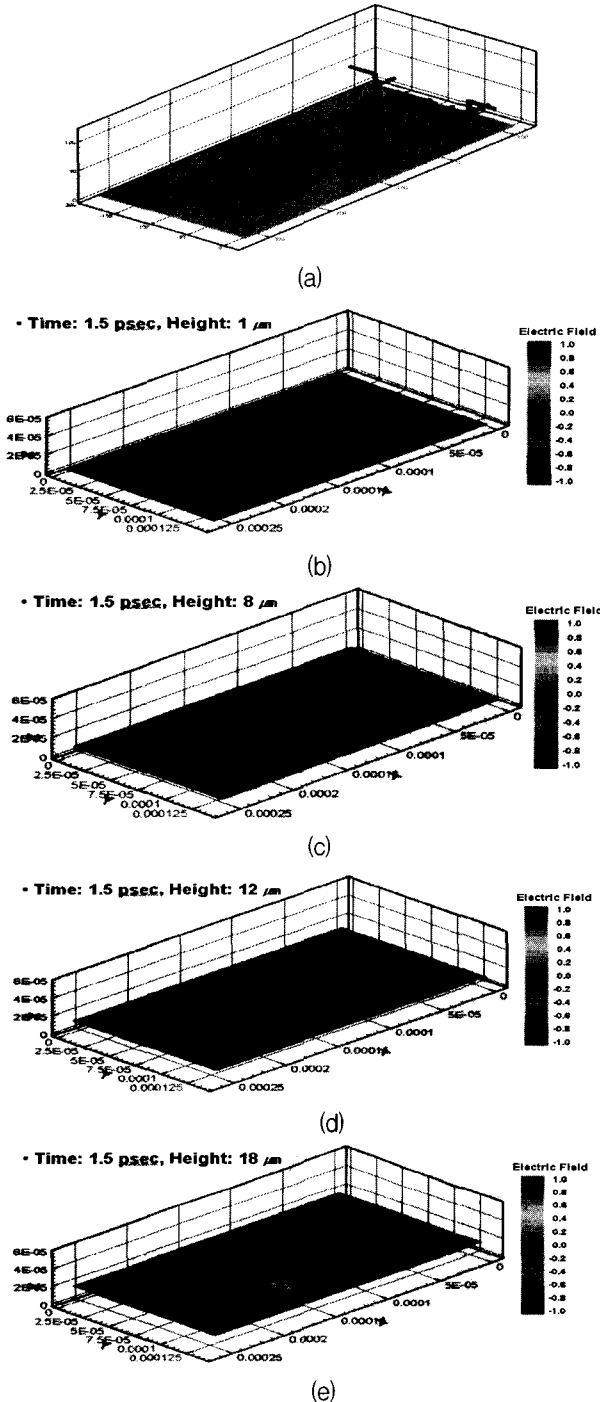


그림 6. (a) 시뮬레이션을 위한 3차원 구조, 시간 1.5 ps 후의 높이에 따른 전계의 분포 (b) 1 ps (c) 8 ps (d) 12ps (e) 18 ps.

Fig. 6. (a) Simulated 3D structure and Ez field distribution at the height of (b) 1, (c) 8, (d) 12, and (e) 18 μm after 1.5 ps.

높이에 따른 xy-평면에서의 z 방향 전계 분포를 도시하였다.

그림 6(a)에서는 컴퓨터 모의실험이 수행된 전체 구조를 도시하였으며, 그림 6(b)에는 시간이 1.5 ps 경과한 후 전체 구조의 바닥 면으로부터 높이 1 μm 에서의 xy-평면에 형성된 전계 분포를 도시하였다. 또한, 그림 6(c), (d)와 (e)에는 각각 8 μm , 12 μm 와 18 μm 높이에 있는 xy-평면에 형성된 전계 분포를 도시하였다. 그림 4과 그림 5이 주로 교차 인접 구조와 다른 평면 평행 인접 구조에서 발생하는 누화 현상을 도시하였다면, 그림 6에서는 동일 평면 평행 인접 구조와 교차 인접 구조에서 발생하는 누화 현상을 보여 주었다.

동일한 3차원 다층 배선 구조에 구형파를 입력하고, 유한차분시간영역법으로 컴퓨터 모의 실험하여 다층 배선에 따른 시간 지연과 신호 왜곡 특성을 관찰하였다. 구형의 전압 펄스를 3개 층의 금속 배선 구조로 단순화한 샘플러 회로의 상단에 있는 세 번째 층 금속 배선의 좌측 끝과 샘플러 회로의 중간에 위치하는 세 번째 층 금속 배선중 제일 아래에 위치한 배선의 우측 끝에 여기하였다.

이때, 입력포트 1과 2에 여기된 구형 전압 펄스는 유한차분시간영역법에 의한 플-웨이브 해석의 입력 신호로 이용하기 위하여 z-방향 전계 성분으로 변환되었으며, 출력포트에서 측정된 출력 성분은 전송선로와 접지면 사이의 수직전계성분인 z-방향 전계를 선적분함으로써 출력 전압 파형을 얻었다. 그림 7에 컴퓨터 모의실험에 이용된 샘플러 회로의 3차원 구조와 구형 전압 펄

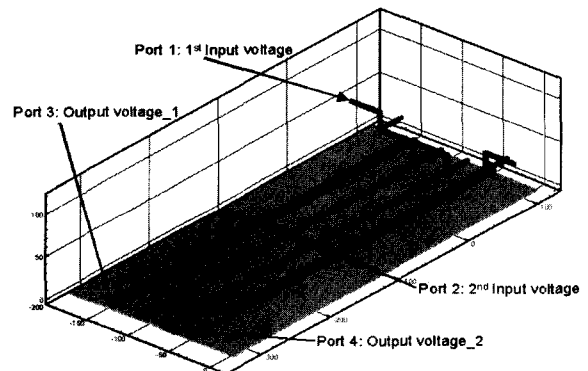


그림 7 시뮬레이션을 위한 3차원 샘플러 회로의 입력 전압 펄스인가를 위한 포트 1과 포트 2의 위치, 출력 전압 펄스측정을 위한 포트 3과 포트 4의 위치.

Fig. 7. Port 1 and 2, where 1st and 2nd input voltages are excited, and port 3 and 4, where 1st and 2nd output voltages are measured, of simulated 3D sampler circuits.

스가 입력되는 포트 1과 2, 그리고 출력 펄스가 측정되는 포트 3과 4를 도시하였다.

그림 7에 도시한 입력포트 1과 2에 구형 전압 펄스가 동시에 여기된 후, 시간 진행에 따른 전계와 자계의 변화에 대한 컴퓨터 모의실험이 수행되었으며, 샘플러 회로에서 4개의 최하부 금속 배선중 두 곳을 포트 3과 포트 4로 지정하여 출력되는 전압 파형을 측정하였다. 포트 1로 입력된 전압 신호는 세 번째 금속 배선과 두 번째 금속 배선을 거쳐 포트 4에서 유한차분시간영역법의 계산 결과가 출력되었으며, 포트 2로 입력된 신호는 세 번째, 두 번째 금속 배선을 거쳐 포트 3에서 출력되는 결과가 측정되었다.

그림 8에는 컴퓨터 모의실험에 이용된 입력 구형 전압 신호와 컴퓨터 모의실험을 통해 포트 3과 4에서 계산된 출력 전압 신호를 각각 도시하였다. 그림을 통해 입력된 구형 전압 신호가 세 개의 금속 배선 층을 거치면서 5~10 ps 정도의 신호 지연이 발생하였으며, 전압 구형파의 전압 상승 부분(rising time)에서 유지 부분(sustaining time)으로 변하는 곳과 전압 하강 부분(falling time)에서 유지 부분으로 변하는 곳에서 0.1~0.2 V 정도의 신호 왜곡이 발생하는 것을 확인하였다.

본 연구에서 개발된 시뮬레이터를 이용하여 다층 배선 인터커넥트 구조에 대하여 시뮬레이션을 수행하였다. 그림 9에 도시한 것은 3차원 인터커넥트 구조를 생성하기 위한 기본 작업인 2차원 레이아웃을 도시하게 되는 레이아웃 에디터이다.

그림 9에 도시된 레이아웃 에디터를 이용하여 인터커넥트 구조를 도시하고, 도시된 인터커넥트 구조에 대

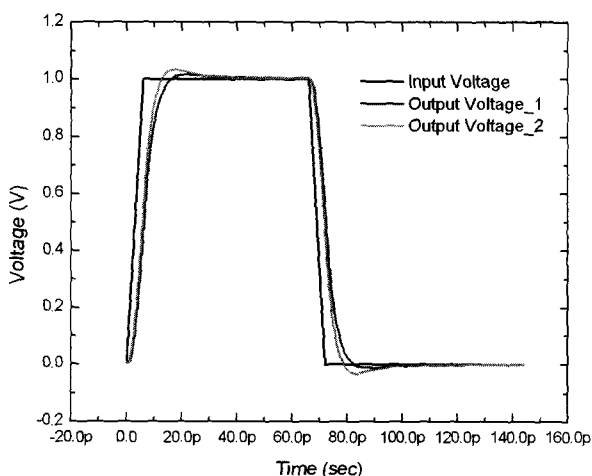


그림 8. 3차원 샘플러 회로에서 구형 전압 펄스의 ADI-유한차분시간영역법 시뮬레이션 결과.
Fig. 8. The ADI-FDTD simulated results of rectangular voltage pulse at 3D sampler circuit.

하여 임의의 시뮬레이션 영역을 설정하고 설정한 영역에 대하여 구조 정보를 입력하므로써 3차원 구조를 생성하게 된다. 그림 10에 도시한 것은 3차원 구조생성 과정을 수행 후 생성된 3차원 인터커넥트 구조이다.

생성된 3차원 인터커넥트 구조는 시뮬레이션을 수행하기 위하여 공간 격자를 형성하게 되는데, 개발한 그리드 생성기를 이용하여 시뮬레이션 구조에 대하여 등간격으로 그리드를 자동으로 생성하게 된다. 생성된 그리드 구조를 그림 11에 도시하였다. 생성된 구조는 5층의 금속 배선으로 구성되어 있고, 금속 배선은 2 μ m의 선폭과 2 μ m의 높이를 갖으며, 588,845개의 노드로 구성되었다. 그림 12은 인터커넥트 구조에서 데이터 신호와 클럭 신호를 입력하는 포트의 위치에 대해서 나타내주고 있다. 여기서 데이터 신호는 plateau value가 2.0 V, 전압 상승은 0.05 ns, 전압 하강은 0.05 ns, 펄스 폭은 0.45 ns이고, 클럭 신호는 plateau value가 3.3 V, 전압 상승은 0.05 ns, 전압 하강은 0.05 ns, 펄스 폭은 1.55

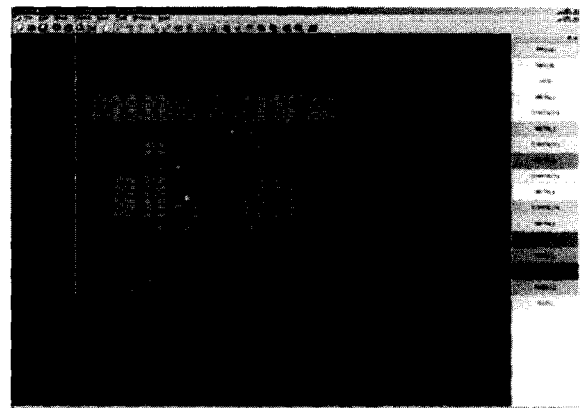


그림 9. 3차원 인터커넥트 구조 설계를 위한 레이아웃 에디터.

Fig. 9. Layout editor for designing of 3D interconnect structure.

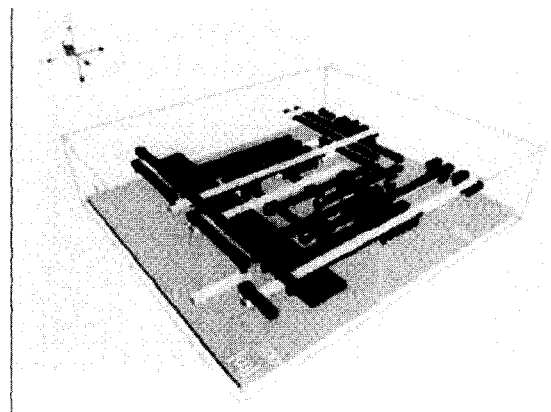


그림 10. 인터커넥트 구조.

Fig. 10. Interconnect Structure.v

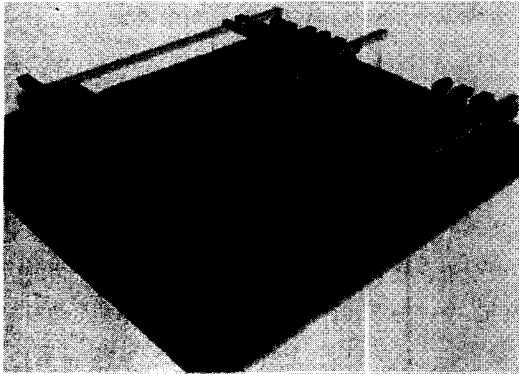


그림 11. 인터커넥트 구조의 그리드 구조.
Fig. 11. Grid structure of interconnect structure.

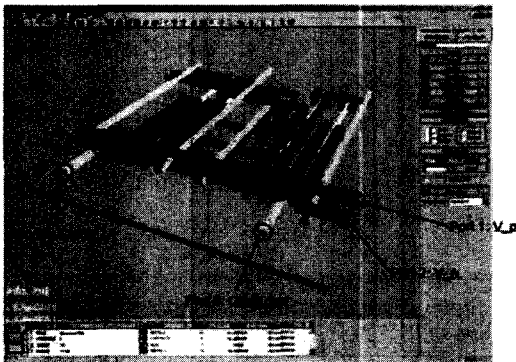


그림 12. 인터커넥트 구조에서의 입력포트
Fig. 12. Input Port at the Interconnect structure.

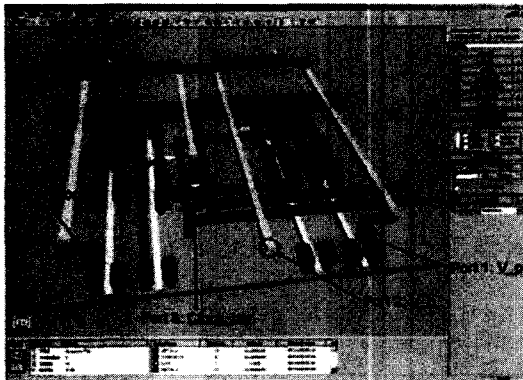
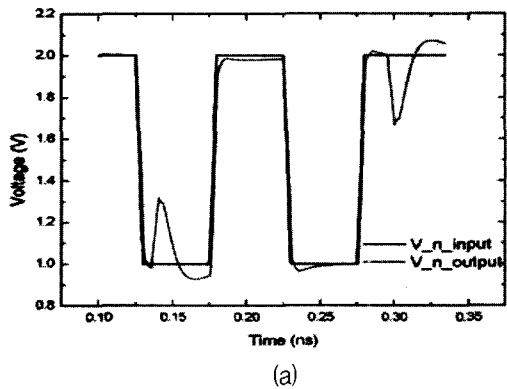
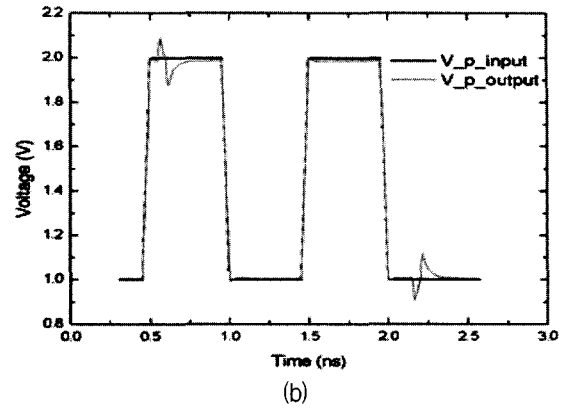


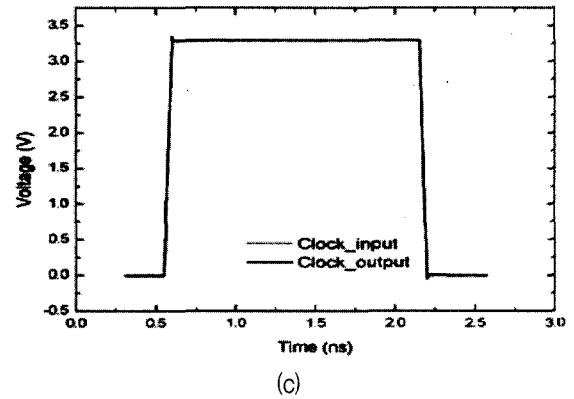
그림 13. 인터커넥트 구조에서의 출력포트
Fig. 13. Output port at the interconnect structure.



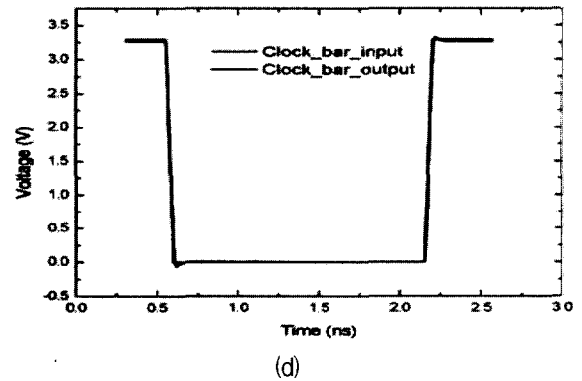
(a)



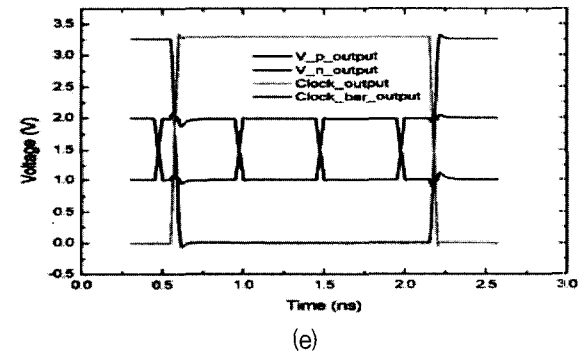
(b)



(c)



(d)



(e)

그림 14. 포트에서의 출력 신호의 왜곡:
(a) V_n 출력, (b) V_p 출력, (c) 클럭 출력,
(d) 클럭_바 출력, (e) 총 출력 신호.

Fig. 14. Output signal distortion at port: (a) V_n output, (b) V_p output, (c) Clock output, (d) Clock_bar output, and (e) total output signal.

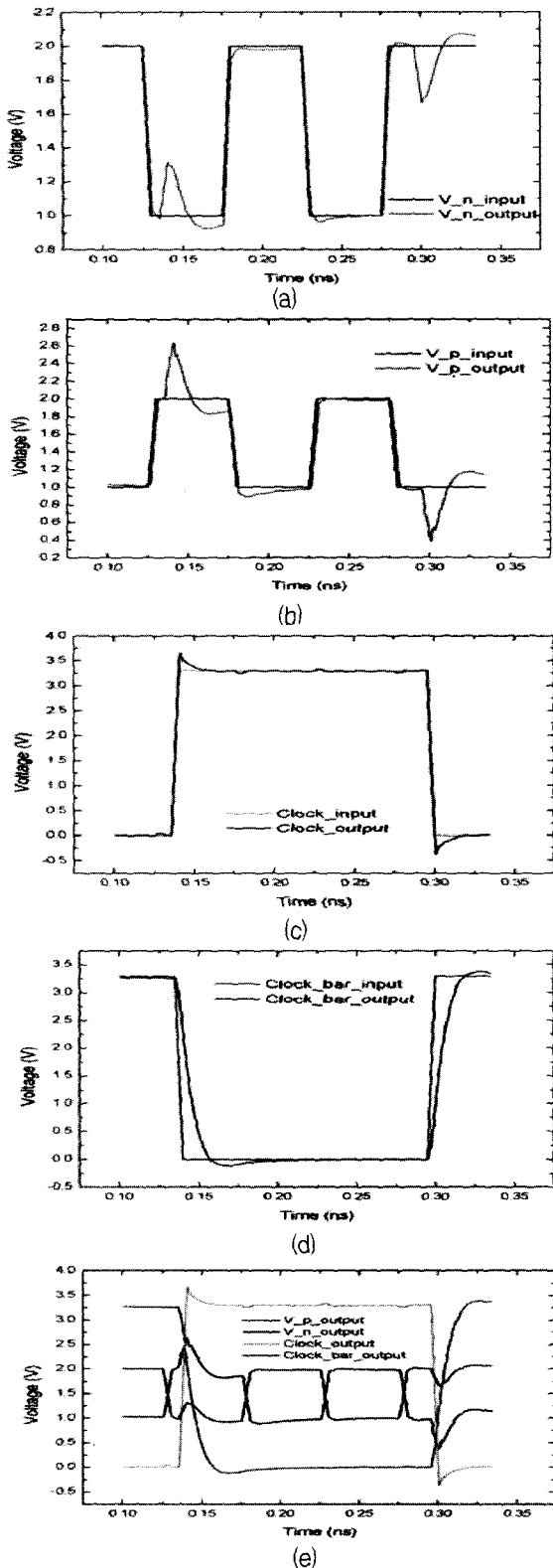


그림 15. 포트에서의 출력 신호의 왜곡 : (a) V_n 출력, (b) V_p 출력, (c) 클럭 출력, (d) 클럭_바 출력, (e) 총 출력 신호.

Fig. 15. Output signal distortion at port : (a) V_n output, (b) V_p output, (c) Clock output, (d) Clock_bar output, and (e) total output signal.

ns으로 주파수는 약 0.3 GHz 정도이다. 출력포트는 그림 13에 도시하였다. 입력 신호에 따른 출력 신호를 분석하면, 아래에 그림으로 나타낼 수 있다.

그림 14(a), (b)는 인터커넥트 구조에서 임의로 선택한 영역내에서의 입력 데이터 신호의 진행에 따른 신호의 왜곡현상을 보여주고 있다. (c)와 (d)는 클럭 신호의 신호 왜곡 현상을 보여주고 있다. (e)에서 알 수 있듯이 클럭 신호의 전압 상승과 전압 하강에서 데이터 신호가 왜곡 현상이 발생하는 것을 볼 수 있다.

동일한 구조에 대해서 클럭 신호의 주파수를 약 0.3 GHz에서 3 GHz로 높여 인가한 후, 출력포트에서의 출력 신호를 분석하였다. 아래의 그림은 각 출력포트에서의 출력 신호를 보여주고 있다.

그림 15을 통하여 주파수가 약 10배정도 높아짐에 따라 신호의 왜곡 현상이 심화됨을 확인할 수 있다.

이상으로 ADI-유한차분시간영역법을 이용한 폴-웨이브 해석 방법을 다양한 3차원 인터커넥트 구조에 적용하여 컴퓨터로 모의실험하고, 선택한 3차원 인터커넥트 구조에 대해 전기적 특성에 관한 수치 해석 결과를 설명하였다.

V. 결론

본 논문에서는 3차원 인터커넥트 구조에 대해 신호 왜곡 현상 및 누화 특성을 유한차분시간영역법을 이용한 폴-웨이브 해석 방법을 이용하여 계산하였다. 3차원 인터커넥트 구조에 대해 폴-웨이브 해석을 위하여 맥스웰 회전 방정식을 이-알고리즘에 맞게 이산화하고, ADI-유한차분시간영역법과 완전정합층 방법을 적용하여 컴퓨터 코드화 하였다.

컴퓨터 모의 실험을 통하여 3.3 V CMOS 기술로 설계된 샘플러 회로의 일부를 3 층의 구리 배선 구조로 단순화하여 복잡한 3차원 다층 배선 구조에서의 시간 지연 및 신호 왜곡 특성을 관찰하였다. 컴퓨터 모의 실험 결과, 입력된 구형 전압 신호가 세 개의 금속 배선층을 거치면서 5~10 ps 정도의 신호 지연이 발생하였다. 전압 상승 부분에서 유지 부분으로 변하는 곳과 전압 하강 부분에서 유지 부분으로 변하는 곳에서 0.1~0.2 V 정도의 신호 왜곡이 발생하는 것을 확인하였고, 임의의 인터커넥트 구조에서 데이터 신호와 클럭 신호의 서로간의 누화 현상으로 인하여 약 3 GHz의 클럭 신호 인가시 0.3~0.6 V 정도의 데이터 신호의 왜곡 현상과 0.2~0.4 V 정도의 클럭 신호의 왜곡 현상을 확인

하였다.

이상의 결과로 본 논문에서 제시한 ADI-유한차분시간영역법에 의한 풀-웨이브 해석 방법은 향후 0.05~0.18 μm 급 VLSI 테크놀러지에서 1 GHz 이상의 고주파 신호 및 전력 전달에 이용될 7층 이상의 다층 배선에 대한 정확한 모델을 제공할 수 있어 집적회로 설계용 CAD 툴의 전처리 과정 또는 타이밍 조건을 만족시키기 위한 다층 배선 설계 및 시그널 인테그리티 검증 등을 위하여 유용하게 사용될 수 있을 것으로 사료된다.

참 고 문 헌

- [1] P. C. Cherry and Magdy F, "FDTD Analysis of High Frequency Electronic Interconnection Effects," IEEE Trans. Microwave Theory Tech, vol. 43, pp. 2445-2451, Oct. 1995.
- [2] J. Zhao and Z-F Li, "A Time-Domain Full-Wave Extraction Method of Frequency-Dependent Equivalent Circuit Parameters of Multiconductor Interconnect Lines," IEEE Transactions on Microwave Theory and Techniques, Vol. 45, No. 1, 1997.
- [3] A. Taflove and S. Hagness, Computational Electrodynamics: The Finite-Difference Time-Domain Method, 2 ed. Artech House, Boston, MA, 1995.
- [4] T. Namiki, "A new FDTD algorithm based on alternating-direction implicit method," IEEE Transactions on Microwave Theory and Techniques, vol. 47, pp. 2003-2007, Oct. 1999.
- [5] T. Namiki, "3-D ADI-FDTD method Unconditionally stable time-domain algorithm for solving full vector Maxwell's equations," IEEE Trans. Microwave Theory Tech, vol. 48, pp. 1743-1748, Oct. 2000.
- [6] C. C.-P. Chen, "Generalized FDTD-ADI: An Unconditionally Stable Full-Wave Maxwell's Equations Solver for VLSI Interconnect Modeling," Computer Aided Design, 2000. ICCAD-2000. IEEE/ACM International Conference on 2000, pp.156-163, Nov. 2000

저 자 소 개

최 익 준(정회원)

2001년 인하대학교 전자재료공학과 공학사 졸업.

2003년 인하대학교 전자재료공학과 공학석사 졸업.

2003년~현재 하이닉스 반도체 연구원

<주관심분야 : 반도체 공정 및 소자 모델링>

원 태 영(정회원)

1981년 서울대학교 전자공학과 공학사 졸업.

1983년 한국과학기술원 전기 및 전자공학과 공학석사 졸업.

1989년 미국 University of Illinois at Urbana-Champaign 전자공학과 공학박사 졸업.

1989년 미국 State University of New York 조교수.

1990년 삼성전자(주) 수석연구원.

1991년~현재 인하대학교 공과대학 전자전기공학부 교수.

<주관심분야 : 반도체 소자 및 공정, TFT-LCD, MEMS 모델링 및 시뮬레이션 코드 개발>