

논문 2004-41SD-4-14

# SRAM 기반의 FPGA 연결선을 위한 고장 진단 알고리즘 개발

## (An Efficient Diagnosis Algorithm for SRAM-Based FPGA Interconnects)

김 용 준\*, 김 지 혜\*\*, 전 성 훈\*, 강 성 호\*

(Yong-Joon Kim, , Ji-Hye Kim, Sung-Hoon Chun, and Sung-Ho Kang)

### 요 약

본 논문에서는 FPGA 연결선을 위한 고장 진단 방안을 제안한다. 제안된 고장 진단 방안은 FPGA의 연결선에 존재하는 모든 고장을 진단한다. 또한 이는 최신의 FPGA 장치인 Xilinx Virtex FPGA에 적용이 가능하다. 제안된 고장 진단 방안은 기존의 고장 진단 방안에 비하여 훨씬 짧은 시간동안 고장 진단을 수행한다.

### Abstract

A new diagnosis method for FPGA interconnects is developed. The proposed method diagnoses all the fault types for FPGA interconnects. It is also applied to all the modern FPGA devices like Xilinx Virtex FPGAs. Most of all, it takes shorter time to diagnose all the faults than previous diagnosis methods.

**Keywords:** FPGA 테스트, 연결선 테스트, 고장진단

## I. 서 론

여기 최근 반도체 제조 기술의 비약적인 발전으로 인하여 작은 칩 안에 수천만 개 이상의 게이트를 집적하여 제작하는 고성능 회로의 구현이 가능해지면서 회로 설계자는 좀더 신중하고 효과적인 설계 방안이 필요하게 되었으며, 이러한 요구를 상당부분 만족시키는 것이 FPGA(Field Programmable Gate Array)를 이용한 설계이다<sup>[1][2]</sup>. FPGA 기술의 도입 이후 설계자는 이를 이용하여 싼 가격으로 훨씬 효과적인 설계를 수행할 수 있게 되었으며, 실제 공정을 거친 회로가 가질 수 있는 문제를 공정을 거치지 않고서도 상당부분 해결할 수 있게 되었다. 그러나 FPGA를 이용한 설계를 수행하기 위

해서는 FPGA라는 장치 자체의 성능 검증이 우선적으로 이루어져야 한다.

FPGA의 고장 진단은 일반적인 회로의 고장 진단과는 다른 의미를 내포하고 있다. 즉, 일반 회로의 고장 진단이 회로의 고장을 분석함으로써 고장 발생의 경향을 포착하여 공정을 향상시키기 위한 방안으로써 수행되는 반면, FPGA의 고장 진단은 이러한 의미 이외에 더욱 중요한 경제적인 의미를 포함하고 있는 것이다. 즉, FPGA 구조의 특성상 내부의 특정 위치에서 고장이 존재한다고 하더라도, 이 고장은 내부에 존재하는 수많은 프로그래밍 가능한 구조 중 한곳에 불과하다. 따라서 고장의 위치를 발견한 후, 해당 고장을 배제하고 사용하면, 전체 동작에 전혀 지장을 주지 않는 정상적인 장치로서의 사용이 가능하다. 즉, 고장 진단을 통하여, 고장이 존재하는 FPGA를 고장이 없는 장치와 동일하게 사용하는 것이 가능한 것이다.

FPGA에 대한 테스트는 다음과 같이 이루어진다. 우선 해당 FPGA에 대하여, 테스트를 수행하기 위한 임의의 회로를 구성하고, 이에 대하여 고장을 검출할 수 있는 적절한 테스트 벡터를 인가한다. 이후 출력으로 나

\* 정회원, 연세대학교 전기전자공학과  
(Department of Electronics Engineering, Graduate School, Yonsei University)

\*\* 정회원, 삼성전자 반도체총괄 시스템 LSI 사업부  
(Samsung Electronics, Co., Ltd.)

※ 본 연구는 한국과학재단 목적기초연구(과제번호: R01-2003-000-10150-0) 지원으로 수행되었음.

접수일자: 2003년10월9일, 수정완료일: 2004년4월4일

오는 테스트 응답을 분석하여 고장을 검출하고, 고장 진단을 수행한다. 그러나 FPGA는 입력되는 회로에 따라서 엄청나게 다양한 구성(configuration)에 대한 구현이 가능하므로, 이러한 다양한 회로에 대하여 모두 별개의 테스트를 수행함으로써 해당 장치가 정상적으로 동작하는 것을 검증하는 것은 불가능하며, 따라서 FPGA에 대한 고장의 유무를 판별하기 위해서는 정해진 고장 리스트를 가지고 이를 검출할 수 있는 방안이 필요하며, 이를 위해서 다양한 테스트 구성과 이에 대하여 필요한 테스트 패턴이 연구 중이다.

일반적으로 FPGA의 테스트는 논리 셀(logic cell)과 연결선(interconnect)으로 구분하여 수행 된다. 논리 셀은 회로 내부에 존재하는 논리 및 저장 요소를 프로그래밍하여 사용자가 구성하고자 하는 기능이 올바르게 동작할 수 있도록 하는 부분이며, 연결선은 이를 효과적으로 연결함으로써, 데이터의 이동이 이루어지도록 한다. 이중 연결선 테스트 및 고장 진단 방안에 대한 연구는 활발하게 진행되고 있는 상황이다<sup>[3-23]</sup>.

[8]은 충실한 고장 진단 방안을 제시하고 있지만, 이는 Xilinx사의 XC 3000 또는 XC 4000과 같은 구조에 적합한 고장 진단 방안으로써, Virtex 시리즈와 같은 최신 구조에 적용이 불가능할 뿐 아니라, 고장 진단을 위해 필요한 구성이 11개나 필요하므로, 테스트 수행 시간 또한 길다는 단점이 있다. [11]은 앞선 방안이 테스트 수행 시간이라는 측면에서 가지고 있는 단점을 보완하여, 구성 개수를 6개로 축소하면서 동일한 성능을 가지도록 하였다. 그러나 이는 마찬가지로 최신 구조의 FPGA에는 적용이 불가능한 방법이다. [21]은 앞선 고장 진단 방안이 Virtex와 같은 최신 장치에는 적용할 수 없음을 해결하기 위한 고장 진단 방안을 제시하였다. 그러나 이는 FPGA의 연결선 내부에 존재하는 개방 고장의 진단만을 위한 방안으로써, 일반적인 고장에 대한 방안은 제시하고 있지 않으며, 그 수행을 위한 구성 또한 다수 필요하다.

본 논문에서 제안하는 FPGA 연결선을 위한 고장 진단 방안은 상용화 되어있는 최신의 장치에 적용이 가능할 뿐 아니라, 기존에 제안된 고장 진단을 위한 테스트 수행 시간보다 짧은 시간 동안에 고장 진단을 가능하게 한다. 이는 고장 진단의 성능과 이를 위한 구성의 개수를 통하여 비교하였다. 본 논문은 다음과 같이 구성된다. 우선 II장에서는 본 논문에서 대상으로 삼은 SRAM 기반 FPGA의 일반적인 구조에 대하여 언급할 것이다. 또한 효과적인 고장 진단을 위한 고장 모델 역

시 제시될 것이다. III장에서는 앞서 언급한 고장 진단을 위한 기존의 연구를 분석할 것이다. 여기에서는 각 방안들이 가지는 장점과 단점을 논의한다. 다음으로 IV장에서는 본 논문에서 제안하는 FPGA 연결선에 대한 고장 진단 알고리즘이 설명되어, 이를 통하여 고장 진단을 수행하는 과정이 설명될 것이다. V장에서는 제안된 고장 진단 방안과 III장에서 제시된 기존의 고장 진단 방안을 비교함으로써, 본 논문이 제안하는 알고리즘의 우수성을 보일 것이고, VI장에서 결론을 맺는다.

## II. FPGA 구조분석 및 고장모델 정의

일반적으로 널리 사용되는 SRAM 기반의 FPGA 구조는 그림 1과 같다.

CLB(Configurable Logic Block)는 FPGA를 통하여 구현되는 다양한 논리 계산을 위한 부분이다. 이 내부에는 다양한 논리식을 구현할 수 있는 Table과 순차(sequential) 회로를 위한 flip-flop이 포함되어 있어서, 사용하고자 하는 논리 계산을 입력하여 사용할 수 있도록 한다.

IOB(In Out Buffer)는 FPGA를 외부와 연결시키는 장치이다. 이 구조는 메모리를 통하여 입력 또는 출력 핀으로 간단하게 구성할 수 있다.

이외에도 FPGA의 연결을 구성하는 요소로는 전역 경로(global routing) 및 지역 경로(local routing)가 있다. 전역 경로는 그림 1에서 SM 사이의 연결을 이루고 있는 부분으로써, FPGA 제조 단계에서 고정된 형태로 구성되어 있다. 이는 연결하는 길이에 따라서 단일 연결(single line)과 다중 연결(hex line, long line)등으로 구분된다. 단일 연결은 서로 인접한 스위치를 연결하는 것이고, hex 연결은 세 개 혹은 여섯 개의 블록만큼 떨어진 스위치를 연결하며, long 연결은 여섯 개 혹은 열두 개의 블록을 연결하는 것이다. 본 논문에서는 전역 경로라는 용어 대신에 각 SM을 연결하는 부분의 의미로써 부분선(Line Segment)이라는 용어를 사용한다.

이때 각각의 부분선은 (row 또는 column 그룹, 부분선 그룹, 연결 번호)와 같이 표현이 가능한데, 예를 들어 그림 1에서 굵은 선으로 표시된 부분선은 (row2, 1, 1)과 같이 나타낸다. 지역 경로는 CLB와 연결선간의 경로 및 IOB와 연결선 간의 경로를 제공하는 부분이다. 이 부분의 연결은 PIP(Programmable Interconnect Port)라 불리는 SM에 의해서 임의의 구성이 가능하다.

스위치 구조(이하 SM: Switch Matrix)는 FPGA 내

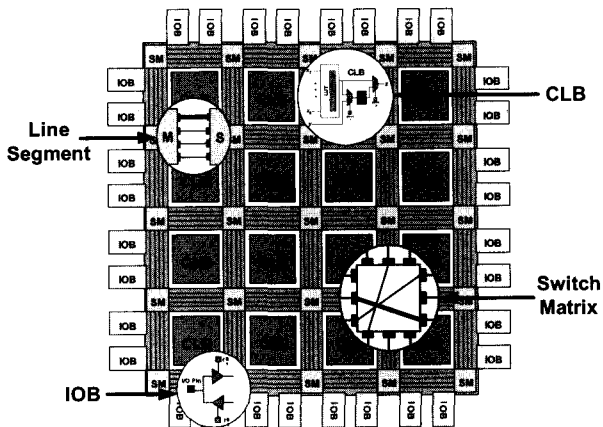


그림 1. SRAM 기반의 FPGA 구조  
Fig. 1. SRAM-based FPGA architecture.

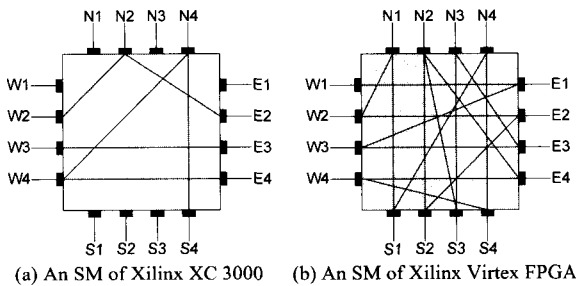


그림 2. Xilinx FPGA의 SM의 예  
Fig. 2. SM examples of Xilinx FPGAs.

부의 연결선이 교차하는 지점에서 데이터의 이동을 원하는 방향으로 유도할 수 있도록 만들어진 장치이며, 그 구조는 동일한 개수의 핀을 가지는 네 방향의 정방형으로 이루어져 있다. 이때 한 방향에 대하여 존재하는 핀의 수는 서로 다른 SM을 연결시키는 버스의 크기와 동일하게 구성된다.

그림 2a는 Xilinx의 XC FPGA 시리즈에서 구성되는 SM이다<sup>[25]</sup>. SM 내부에 존재하는 다양한 연결은 각각을 독립적으로 이름 붙여 사용하는데, 우선 SM 외부에 존재하는 핀의 방향에 따라서 SM의 각 방향을 동, 서, 남, 북으로 구분하여 각각 E, W, S, N라 한다. 또한 각 핀의 번호를 왼쪽에서 오른쪽으로, 또는 위에서 아래로 순서대로 사용한다. 따라서 이를 이용하면 SM 내부의 단일 연결을 (row 그룹 순서, column 그룹 순서, 핀 번호, 핀 번호)와 같이 표현하는 것이 가능인데, 예를 들어 그림 1에 굵은 선으로 표시한 SM 내부의 스위치는 (4, 4, W2, E3)과 같이 표현할 수 있다.

FPGA 연결선의 관점에서 과거의 장치와 최신의 장치사이의 가장 큰 차이점은 SM에 있다. XC FPGA에서는 SM 내부의 연결이 동일한 순서의 핀들 사이에서만

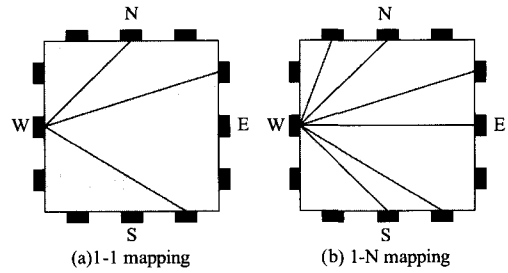


그림 3. SM 연결의 예  
Fig. 3. Examples of SM interconnect point.

가능하도록 고정되어 있다. 반면 Spartan과 Virtex 시리즈와 같은 최신 장치에서는 연결이 자유롭게 구성되기 때문에 기존의 SM에 초점을 맞춘 고장 진단 방안은 최신의 SM에는 적용할 수가 없다<sup>[21]</sup>. 그림 2b는 Xilinx사의 Virtex FPGA에서 사용되는 SM의 예이다<sup>[23]</sup>.

[23]은 SM 내부의 연결모양에 따라서 1-1 연결과 1-N 연결이라는 구조를 구분한다. 임의의 핀 x가 W 방향에 존재하는 경우 이 지점에서 연결이 가능한 PIP가 각 방향별로 유일하게 존재하는 경우가 1-1 연결지점이며, 각 방향에 대하여 다양한 연결을 제공한다면 1-N 연결지점이다. 그림 3a, b는 각각 1-1 연결과 1-N 연결의 예를 보여주며, Xilinx FPGA의 경우 단일연결을 이어주는 지점은 1-1 연결로 구성되며, 다중연결을 이어주는 지점은 1-N 연결임이 알려져 있다<sup>[21]</sup>.

본 논문은 FPGA 내부에 존재하는 연결선에 대한 고장 진단 방안을 제시하고 있으며, 연결선의 범주로 제한하는 것은 SM 및 부분선이다. 왜냐하면, 지역 경로는 단일 연결과 CLB를 연결하기 위해 필요한 선과 PIP로 구성되므로, 이 부분에 존재하는 고장은 연결선만의 고장으로 검출하는 것이 불가능하고, 이와 연관된 CLB를 통해서 나타나는 고장이기 때문이다<sup>[8]</sup>. 따라서 이는 연결선의 테스트를 통해 검출하는 것이 아니며, 논리 셀에 대한 테스트를 통해서 검출할 수 있는 고장이다.

FPGA의 연결 테스트를 수행하기 위한 고장 모델은 부분선 관련 고장 모델과 SM 관련 고장 모델로 나누어 생각한다. 우선 부분선 관련 고장 모델은 일반적인 연결선 테스트에서 사용하는 고장 모델인 고착 고장, 고착 개방 고장, 그리고 합선 고장으로 구분한다<sup>[24]</sup>. SM 관련 고장 모델은 다음의 두 가지로 모델링된다.

- 스위치 개방 고장(Switch stuck-open fault)  
스위치의 메모리 값이 0으로 고정되어서 어떠한 경우에도 스위치가 개방된 형태로 보여지는 고장이다.
- 스위치 폐쇄 고장(Switch stuck-close fault)

스위치의 메모리 값이 1로 고정되어서 어떠한 경우에도 스위치가 연결 형태로 보여지는 고장이다.

본 논문에서는 테스트 패턴의 분석에 있어서, 합선 고장에서는 Line-OR 출력을 가정하였고, 고착 개방 고장이나, 스위치 개방 고장에서는 weak 1(0) 출력을 가정하였다.

### III. 제안하는 고장진단 방법론

#### 1. 고장 진단 구조

Virtex FPGA 시리즈에 대한 연결선의 고장 검출은 [23]에서 적절하게 제안되었다. 이는 FPGA의 SM을 1-1 및 1-N 연결로 분류하여 그에 대한 각각의 고장 검출 방안을 제시하였다. 그러나 1-N 연결도 결국은 1-1 연결을 여러 번 사용하여 구현하므로, 고장 진단의 관점에서는 기본적으로 1-1 연결의 경우에 대해서만 고려하는 것으로 충분하다. 그러나 스위치 폐쇄 고장의 경우 1-1 연결과 1-N 연결을 별개로 다룰 필요가 있는데, 이는 추후 논의하기로 한다.

본 논문에서 제안하는 FPGA의 연결 고장 진단을 위한 구성은 다음과 같은 순서로 진행된다.

(구성 1) SM에서 W와 N, 그리고 S와 E를 각각 연결한다. 이 구조는 그림 4a와 같다. 이 구조는 내부 SM을 통과하여 오른쪽으로 기울어진 대각선 방향을 연결

해 준다. 이때 전체 입력을 N 및 E 방향에서 주고, 출력은 S 및 W 방향에서 받는다.

(구성 2) SM에서 N과 E, 그리고 S와 W를 각각 연결한다. 이 구조는 그림 4b와 같다. 이 구조는 내부 SM을 통과하여 왼쪽으로 기울어진 대각선 방향을 연결해 준다. 이때 전체 입력을 N 및 W 방향에서 주고, 출력은 S 및 E 방향에서 받는다.

(구성 3) SM에서 E와 W를 연결한다. 이 구조는 그림 4c와 같다. 이 구조는 내부 SM을 통과하여 row 방향을 연결해 준다. 이때 전체 입력을 W 방향에서 주고, 출력은 E 방향에서 받는다.

(구성 4) SM에서 S와 N을 연결한다. 이 구조는 그림 4d와 같다. 이 구조는 내부 SM을 통과하여 column 방향을 연결해 준다. 이때 전체 입력을 N 방향에서 주고, 출력은 S 방향에서 받는다.

(구성 5) 위에 제시한 네 가지의 고장 이후에 추가적으로 첨가되는 구조로써, 그 구조는 나머지와 달리 고정되지 않고, 위의 구조에서 검출되는 고장의 종류에 따라서 결정된다. 이는 추후 설명한다.

위의 구성 1, 2, 3, 4는 각각 Right 및 Left diagonal direction, 그리고 Horizontal과 Vertical direction을 나타낸다. Virtex FPGA는 고정된 SM을 가지지 않기 때문에 이에대한 일반적인 구조를 표현하는것은 불가능하지만, 그림 4와 같은 각 연결된 방향의 예를 통해보면 연결이 구성되는 양상을 파악하는 데는 문제가 없다.

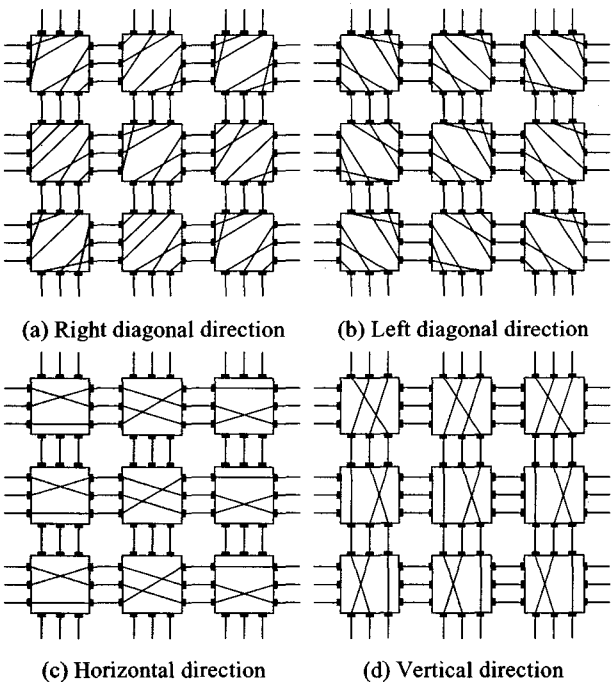


그림 4. 제안하는 구성의 예  
Fig. 4. An example of proposed configurations.

#### 2. 부분선 관련 고장 진단 알고리즘

부분선에 존재하는 고장은 고착, 고착 개방, 그리고 합선 고장이다. 이들은 앞서 제시한 구조들을 적용하여 출력 값을 분석함으로써 진단이 가능하다.

(정리 1) 부분선상에 존재하는 단일 고장은 구성 1과 2에 의해서 모두 고장 진단된다.

(증명) 그림 5a와 b를 보면, 각각의 SM은 대각선 방향의 연결을 지원하므로, 비록 그 연결이 다양하다 하더라도 그림 5a의 경우 각 스위치의 W와 N, 그리고 S와 E를 연결하고 있는 사실은 변하지 않는다. 마찬가지로 그림 5b의 경우 각 스위치의 E와 N, 그리고 S와 W를 연결하고 있다. 따라서 이들은 SM 내부에서는 공유하고 있는 연결이 전혀 없으며, 오로지 부분선만을 공유하고 있다. 그런데, 각각의 단일 연결선은 독립적으로 구성되어, 동일한 구조에서는 부분선 공유하지 않고 있으며, 그림 5a, b의 단일 연결선이 서로 공유하는 부분

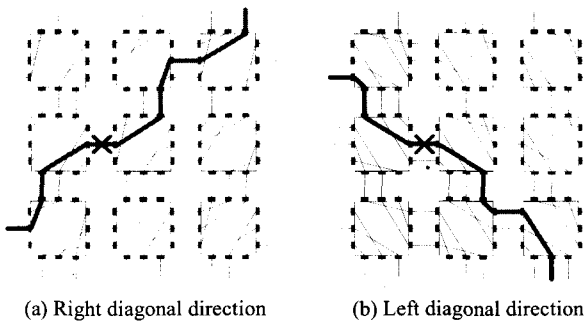


그림 5. 고착 고장의 예  
Fig. 5. An example of stuck-at fault.

표 1. 그림 5의 고장진단 결과  
Table 1. Diagnosis result for Fig. 5

구성	고장후보 및 진단된 고장위치	
구성 1	(row 3, 1, 2)	(row 2, 2, 2)
	(row 1, 3, 2)	(col 3, 1, 3)
	(col 2, 2, 3)	(col 1, 3, 1)
구성 2	(row 1, 1, 3)	(row 2, 2, 2)
	(row 3, 3, 1)	(col 1, 2, 1)
	(col 2, 3, 3)	(col 3, 4, 2)
진단결과	(row 2, 2, 2)	

선은 단일하게 나타난다. 이를 통하여 부분선상의 단일 고장은 모두 진단이 가능하며, 그림5에 대한 진단 결과는 표 1에 나타내었다.

### 3. 스위치 관련 고장 진단 알고리즘

FPGA에서 스위치와 관련된 고장은 스위치 개방 고장과 스위치 폐쇄 고장으로 나눈다. 이들은 앞서 살펴본 부분선 관련 고장 증후들처럼 간단히 검출할 수는 없다. 왜냐하면 제안한 구성은 가로, 세로, 대각선 방향으로 방향의 통일성을 근간으로 하여 고장 진단을 수행하는데, SM가 포함하는 다양한 방향성을 표현하려면 여러 가지의 구성이 필요하기 때문이다. 따라서 고장을 검출하기 위해서만도 구성 1, 2, 3, 4의 네 가지 구조가 필요하다<sup>[23]</sup>. 여기에 고장 진단을 수행하려면 적어도 한 번 이상의 구조를 추가하여 살펴보아야 한다.

(정리 2) FPGA의 스위치 내부에 존재하는 단일 스위치 개방 고장은 구성 1, 2, 3, 4 및 추가구성에 의해서 모두 고장 진단된다.

(증명) 단일 스위치 개방 고장은 구성 1, 2, 3, 4 가운데 한 곳에서만 고장 증후를 나타낸다. 구성 1, 2, 3, 4는 서로 독립적으로 대각선 및, 가로, 세로 방향에 대해서 구조를 가지고 있으므로, 하나의 스위치 개방 고

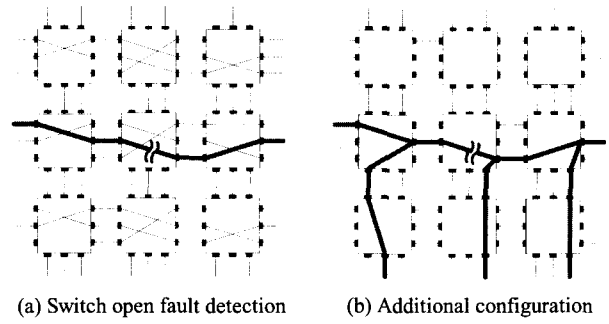


그림 6. 스위치 개방 고장 진단의 예  
Fig. 6. An example of switching open fault.

표 2. 그림 6의 고장진단 결과  
Table 2. Diagnosis result for Fig. 6

구성	고장후보 및 진단된 고장위치		
구성 1	None		
구성 2	None		
구성 3	(2, 1, W1, E2)	(2, 2, W2, E3)	(2, 3, W3, E2)
구성 4	None		
추가구성	(2, 2, W2, E3)		
진단결과	(row 2, 2, 2)		

장에 대해서는 고장 증후를 공유할 수 없기 때문이다. 따라서 앞서 논의된 연결선상의 고착 개방 고장과 스위치 개방 고장의 차이점은 개방 고장의 증후가 나타나는 구성의 개수에 있다. 이를 근거로 하여 구성 1, 2, 3, 4를 분석하면 스위치 개방 고장이 존재하는지의 여부와 존재하는 연결선을 확인할 수 있다. 예를 들어 그림 6과 같이 (2, 2, W2, E3)에 스위치 개방 고장이 존재한다면, 우선 구성 1, 2, 3, 4를 적용했을 때, 스위치 개방 고장 증후는 그림 6a와 같이 오직 구성 3에서만 나타날 것이며, 그 범위는 row 2 그룹에 존재하는 하나의 연결선으로 결정된다.

따라서 스위치 개방 고장에 대한 고장 검출이 되었으며, 이는 (2, 1, W1, E2), (2, 2, W2, E3), (2, 3, W3, E2) 중 한 곳의 스위치 상에 존재함을 알 수 있다. 이에 대한 고장 진단을 위해서는 추가구성이 필요한데, 이는 앞서 스위치 개방 고장이 존재하는 연결에 대하여 각 스위치의 연결을 개별적으로 받아보는 새로운 경로를 마련함으로써 가능하다.

즉, 그림 6b와 같이 새로운 구성을 통해서 출력을 받아보는 다양한 경로를 제공한다. 여기에서 입력은 (row2, 1, 1)을 통하여 들어가며, 출력은 스위치 개방 고장을 검출할 수 있는 (row 2, 4, 2)이외에도 (col 1, 4,

2), (col 2, 4, 3), (col 3, 4, 3)을 통해서 받을 수 있다. 여기에서 최초 (col 1, 4, 3)에서 받는 출력은 스위치 개방 고장의 영향을 받지 않으므로, 입력 패턴과 동일한 정상 값이 된다. 그러나 나머지 출력 편에서 검출되는 패턴은 스위치 개방 고장의 영향을 받고 있기 때문에, 최초로 스위치 개방 고장의 영향이 나타나는 순서의 스위치 내부에 스위치 개방 고장이 존재함을 진단하는 것이 가능하다. 이 과정은 표 2에 나타난 바와 같다. 따라서 스위치 개방 고장은 추가적인 한 번의 구성만으로 고장 진단이 가능하며, 이 과정은 단일 고장을 가정하였으므로, 구성 1, 2, 3, 4에 상관없이 출력 편이 허용하는 범위 이내에서 동시에 적용이 가능하다.

**(정리 3)** FPGA의 스위치 내부에 존재하는 단일 스위치 폐쇄 고장은 구성 1, 2, 3, 4, 5에 의해서 모두 고장 진단된다.

**(증명)** 단일 스위치 폐쇄 고장은 다양한 출력을 나타내지만 그 증후는 스위치 고장의 방향 및 연결성에 따라 다르게 나타난다. 여기에서 고장의 방향은 수평, 수직, 대각선을 말하고, 연결성은 1-1 및 1-N 연결을 말한다. 각각은 예를 통하여 설명한다.

우선 1-1 연결에 대한 대각선 스위치 폐쇄 고장의 예를 그림 7에 나타내었다. 여기에서 굵은 선으로 나타낸 것이 고장 증후가 전파되는 경로이다. 이 경우에 고장 증후는 오직 구성 2에서만 발견되며, 이를 통하여 스위치 폐쇄 고장이 검출된다. 이후 고장 후보는 (n, n)번째

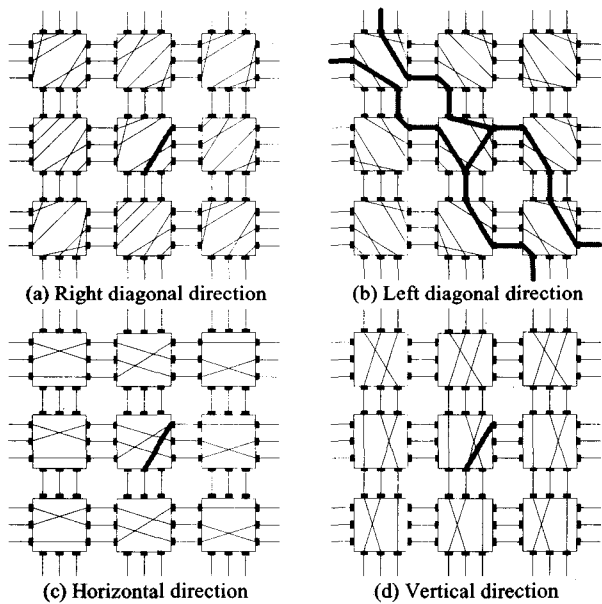


그림 7. 대각선 스위치 폐쇄 고장 진단의 예(1-1 연결)  
Fig. 7. An example of diagonal switching close fault. (1-1 mapping)

SM 내부에 존재하는 스위치 중 하나로 압축된다( $1 \leq n \leq 3$ ). 이에 대한 추가 구성은 (n, n)번째 SM 내부 스위치를 모두 연결시키지 않는 것을 제외하고는 구성 1과 동일하다.

이때 (2, 2, S2, E1)은 항상 연결되어 있는 상태이므로 그림 8에서 굵은 선으로 표시된 경로를 통해서만이 정상적인 테스트 데이터 출력값을 확인할 수 있다. 이러한 고장 진단 결과는 표 3에 나타난 바와 같으며, 왼쪽으로 기울어진 대각선 스위치 폐쇄 고장 역시 동일하게 진단이 가능하다.

다음으로 그림 9는 1-1 연결의 수평 스위치 폐쇄 고장의 예를 나타낸다. 그림 9에서는 (2, 2, W3, E1)이 고장이 존재하는 스위치이다. 이 경우, 스위치 폐쇄 고장 증후는 구성 1과 2에서 검출되며, 이를 통해서 구성 1과 2에 동시에 고장 증후를 나타낼 수 있는 스위치 폐쇄 고장은 수평 또는 수직 방향의 스위치에서만 발생할 수 있다는 것을 유추할 수 있다. 따라서 이 경우는 구성 1과 2의 고장 후보만을 관찰함으로써 공통적으로 고장 증후를 발생시키는 스위치를 찾아낼 수 있다.

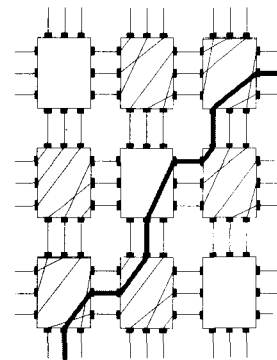


그림 8. 그림 7의 예에 대한 추가구성  
Fig. 8. Additional configuration for Fig. 7

표 3. 그림 7 및 8의 고장진단 결과  
Table 3. Diagnosis result for Fig. 7 and 8

구성	고장후보 및 진단된 고장위치
구성 1	None
구성 2	(1, 1, S3, E3) (3, 3, S1, N2)
구성 3	None
구성 4	None
추가구성	
진단결과	(2, 2, S2, E1)

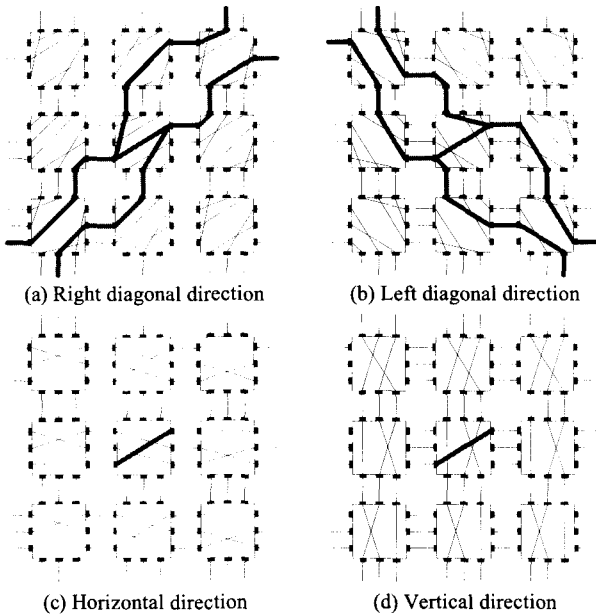


그림 9. 수평 스위치 폐쇄 고장 진단의 예(1-1 연결)  
 Fig. 9. An example of horizontal switching close fault. (1-1 mapping)

표 4. 그림 9의 고장진단 결과  
 Table 4. Diagnosis result for Fig. 9

구성	고장후보 및 진단된 고장위치		
구성 1	(2, 2, W3, E1)	(2, 2, E1, N1)	(1, 3, S1, N2)
	(3, 1, E2, N1)		
구성 2	(1, 1, W1, N2)		(2, 2, S1, N1)
	(3, 3, E3, W2)	(3, 3, S3, E3)	
구성 3	None		
구성 4	None		
진단결과	(2, 2, W3, E1)		

1-N 연결에 대한 스위치 폐쇄 고장은 1-1 연결과는 다른 고장 증후를 나타낸다. 이는 1-N 연결의 경우 스위치 폐쇄 고장을 일으킬 수 있는 스위치의 연결이 1-1 연결에 비하여 훨씬 많이 존재하기 때문이다. 따라서 고장진단 역시 1-1 연결과 1-N 연결에 대한 다른 방안을 적용해야 한다.

예를 들어 그림 10은 (2, 2, S2, E2)에 스위치 폐쇄 고장이 존재하는 경우이다. 이때 (2, 2, S2, E2)는 이번 구성에서는 연결하고자했던 스위치가 아니지만, 1-N 연결의 특성상 스위치 폐쇄 고장이 발생할 수 있는 것이다. 따라서 이러한 경우에 대한 고장 진단은 앞서 설명한 1-1 연결을 위한 방안으로는 진단이 불가능하다. 그런데 이때 1-1 연결과 1-N 연결에서의 스위치 폐쇄 고장을 비교해 보면, 1-1 연결의 경우 스위치 폐쇄 고장은 서로 다른 그룹 사이에서만 발생하지만, 1-N 연결의 경우는 서로 동일한 그룹 사이에서 합선 고장 증후

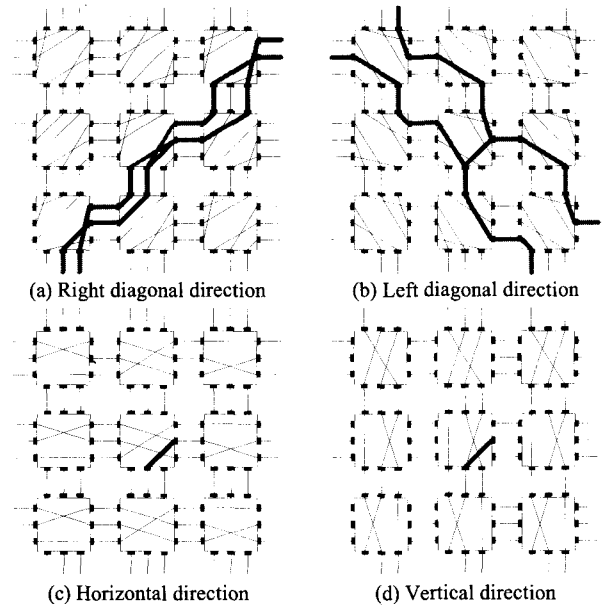


그림 10. 대각선 스위치 폐쇄 고장 진단의 예(1-N 연결)  
 Fig. 10. An example of diagonal switching close fault. (1-N mapping)

표 5. 그림 10의 고장진단 결과  
 Table 5. Diagnosis result for Fig. 10

구성	고장후보 및 진단된 고장위치	
구성 1		(2, 2, S1, E1)
	...기타 가능한 후보	
구성 2	(2, 2, W1, E2)	(2, 2, S2, E2)
	(2, 2, W1, N3)	
	...기타 가능한 후보	
구성 3	None	
구성 4	None	
진단결과	(2, 2, S2, E2)	

가 반드시 존재한다. 이러한 사실에 근거하여 두 가지를 구별하여 진단하는 것이 가능하며, 이는 수평 및 수직 스위치 폐쇄 고장과 대각선 스위치 폐쇄 고장에 대해 동일한 적용이 가능하다.

결국 대각선 스위치 폐쇄 고장 진단은 고장 후보를 분석하여 표 5에 나타난 바와 같이 수행될 수 있다.

이 경우, 하나의 구성에 대하여 고장 후보를 선정할 경우 상당히 많은 수의 고장 후보를 고려해야 하지만, 이 경우 구성 1과 2에 대해 반드시 고장 증후가 나타나므로, 이를 근간으로 하여 고장이 존재할 수 있는 SM을 우선 지정하면 고장의 후보는 상당히 적은 수로 줄어든다. 표 5에 표시한 "기타 가능한 후보"는 각각의 구성에 대해서는 상당히 많은 고장 후보가 존재한다는 것을 의미한다. 1-N 연결에 대한 수평 및 수직 스위치 폐쇄 고장 역시 동일한 방법으로 진단하는 것이 가능하다.

표 6. 각 고장 모델에 대한 고장 증후 분석  
Table 6. Analysis of faulty syndromes.

고착 고장	H	1, 2, 3	.	진단가능	
	V	1, 2, 4	.	"	
고착 개방고장	H	1, 2, 3	.	"	
	V	1, 2, 4	.	"	
합선 고장	H	1, 2, 3	동일 그룹	"	
	V	1, 2, 4	동일 그룹	"	
스위치 개방고장	H	3	.		
	V	4	.		
	L	2	.		
	R	1	.		
스위치 폐쇄고장	H	1-1	1, 2	다른 그룹	
		1-N	1, 2	다른 그룹	진단가능
			3	동일 그룹	"
	V	1-1	1, 2	다른 그룹	
		1-N	1, 2	다른 그룹	진단가능
			4	동일 그룹	"
	L	1-1	1	다른 그룹	
		1-N	1	다른 그룹	진단가능
			2	동일 그룹	"
	R	1-1	2	다른 그룹	
		1-N	1	동일 그룹	진단가능
			2	다른 그룹	"

H: Horizontal direction    V: Vertical direction  
L: Left diagonal direction    R: Right diagonal direction

표 6은 지금까지 살펴본 고장 진단 방안에 대한 고장 증후를 정리한 것이다. 각 고장은 구성 1, 2, 3, 4에 대하여 서로 상이한 증후를 나타내기 때문에 일차적인 구별 또는 고장 진단이 가능하고 이를 바탕으로 한 추가적인 구성에 의하여 정확한 고장 진단이 가능하다. 각 고장 모델별 고장 위치는 각각 H(horizontal), V(vertical), L(left diagonal), R(right diagonal)로 대표되어 표시하였으며, 각각의 경우에 대하여 고장 증후가 발생하는 구성의 조합을 표시하였다. 각각의 고장 증후는 크게 고착 고장 증후, 개방 고장 증후, 합선 고장 증후로 나타나는데, 이들의 고장 증후는 독립적이므로, 구별이 가능하다.

#### IV. 결과

FPGA의 연결선을 위한 고장 진단 방안의 성능을 나타낼 수 있는 가장 분명한 기준은 이를 위하여 필요한 테스트 구조의 수이다. 앞서 설명한 바와 같이 FPGA 테스트를 수행함에 있어서 소요되는 시간은 테스트 구

표 7. 고장 진단 방안의 성능 비교  
Table 7. Comparison of FPGA diagnosis methods.

[8]	○	○	○	○	○	11
[11]	○	○	○	○	○	6
[21]	○	○	○	○	×	고장검출+log <sub>2</sub> N
제안된 알고리즘	○	○	○	○	○	고장 검출+2

조를 구성하는 시간과 테스트 벡터를 주고받는 시간의 합으로 구성된다.

이중 테스트 구조를 구성하는 시간은 수분이 소요되는 반면 테스트 벡터를 주고받는 시간은 수 밀리 초 이내에 수행된다. 따라서 효과적인 FPGA 테스트의 절대 요소는 적은 개수의 테스트 구조를 통한 테스트 수행이라고 할 수 있다. 이외에도 중요한 요소로 고려할 수 있는 것이 구성을 위하여 가하는 테스트 구조의 범용성이다. 즉, 앞서 설명한 바와 같이 이전에 제안된 대부분의 고장 검출 및 진단 알고리즘은 고정된 SM를 가지는 FPGA 장치를 대상으로 하고 있기 때문에 Virtex와 같은 최신의 구조에는 적용할 수가 없다. 따라서 최신의 구조에 적용이 가능한 범용적인 알고리즘이 필요하다. 마지막으로 고려할 수 있는 성능의 기준은 고장 모델의 적절함이다. 즉 FPGA의 부분선과 SM에 존재할 수 있는 고장 모델을 적절히 진단하는가 하는 것이다.

이에 대한 효과적인 고장 모델은 앞서 제시한 바와 같이 부분선상의 고착 고장, 고착 개방 고장, 그리고 합선 고장과 SM에 존재하는 스위치 개방 고장과 스위치 폐쇄 고장이라 할 수 있다. 이에 대한 결과는 표 9, 표 10과 같다. 앞서 설명한 바와 같이 [8]과 [11]은 XC FPGA와 같은 장치에 대하여 매우 적합한 고장 진단 방안을 제시하고 있지만, Virtex 시리즈와 같은 장치에는 적용하기에 적합하지 않은 방안이다. 또한 [21]은 최신의 FPGA에 적용 가능한 방안이지만, 개방 고장을 제외한 다양한 고장 모델에 대한 진단방안을 제시하지 않음으로써, 일반적인 고장 진단 방안은 제시하지 않고 있다. 마지막으로 가장 중요한 요소라 할 수 있는 프로그래밍 구성의 개수를 보면, [8]과 [11]의 경우 개수와 상관없이 FPGA 장치에 대한 적용에 한계가 있으므로 제한적인 알고리즘이며, [21]의 경우 N의 개수는 동일



한 열이나 행의 스위치 개수에 비례하는 것으로서, 최대 수천만 개의 게이트를 집적하는 Virtex 시리즈와 같은 경우 상당히 큰 구성 개수가 필요할 것이다. 반면 제안된 알고리즘은 최신의 FPGA에 적용이 가능하며, 앞서 제시한 모든 고장 모델을 진단하는 것이 가능하고, 적은 개수의 프로그래밍 구성으로 고장 진단을 수행한다.

## V. 결론

효과적인 회로 설계를 위하여 사용되는 FPGA의 고장 진단은 장치의 수율 향상 측면에서 대단히 핵심적인 의미를 내포하고 있다. 즉, FPGA의 고장 진단을 통하여, 고장이 빈번히 발견되는 지점을 찾아냄으로써 생산 시스템 자체를 향상시키는 것은 물론이고, 고장이 존재하는 장치라 할지라도 해당 위치를 고립시킨 채로 프로그래밍 과정을 수행함으로써 고장이 존재하지 않는 장치처럼 사용하는 것을 가능하게 할 수 있는 것이다. 이 중 복잡한 SM를 포함하고 있는 FPGA의 연결선 테스트는 논리 셀과는 별도로 테스트된다. 이를 통하여 FPGA 내부에 존재하는 부분선 및 SM의 어떤 위치에서 어떠한 종류의 고장이 존재하는지의 여부를 분석해 낼 수가 있다.

FPGA의 연결선을 테스트하는 과정은 테스트를 수행하고자하는 장치에 적절한 구성을 프로그래밍한 후 이에 대하여 적절한 입력을 가하여 줌으로써 가능하다. 본 논문에서는 이에 대하여 FPGA에 프로그래밍 할 구성에 대한 해결안을 제시하였다. 이때 입력으로 가하는 테스트 벡터는 널리 사용되고 있는 계수 시퀀스(counting sequence)를 사용할 수도 있으나, FPGA의 연결선 역시 일반 연결선 테스트와 동일한 문제를 가지고 있으므로 워킹 시퀀스나 GNS 시퀀스와 같은 일반 연결선을 위한 고장 진단 알고리즘을 사용할 수도 있다.

본 논문에서 제안한 FPGA 연결선을 위한 고장 진단 방안은 적은 개수의 테스트 구조를 통하여 최신의 FPGA에 적용이 가능하며, 가능한 모든 고장 모델을 진단할 수 있는 효과적인 테스트 방안이다.

## 참고 문헌

[1] R. C. Seals, G. F. Whapshott, *Programmable Logic: PLDs and FPGAs*, McGraw-Hill, 1997.  
 [2] V. Betz, J. Rose, A. Marquardt, *Architecture and*

*CAD for Deep-Submicron FPGAs*, Kluwer Academic Publishers, 1999.

- [3] F. Lombardi, D. Ashen, X. Chen, W. K. Huang, "Diagnosing Programmable Interconnect Systems for FPGAs," *Proc. International Symposium on FPGAs*, pp. 100-106, 1996.  
 [4] H. Michinishi, T. Yokohira, T. Okamoto, "A Test Methodology for Interconnect Structures of LUT-Based FPGAs," *Proc. of Asian Test Symposium*, pp. 68-74, 1996.  
 [5] W. K. Huang, X. T. Cheng, F. Lombardi, "On the Diagnosis of Programmable Interconnect Systems: Theory and Application," *Proc. VLSI Test Symposium*, pp. 204-209, 1996.  
 [6] C. Stroud, E. Lee, M. Abramovici, "BIST Based Diagnostics of FPGA Logic Blocks," *Proc. International Test Conference*, pp. 539-547, 1997.  
 [7] M. Renovell, J. Figueras, Y. Zorian, "Test of RA Based FPGA: Methodology and Application to the Interconnect," *Proc. of VLSI Test Symposium*, pp. 230-237, 1997.  
 [8] S. J. Wang, C. N. Huang, "Testing and Diagnosis of Interconnect Structures in FPGAs," *Proc. of Asian Test Symposium*, pp. 278-282, 1998.  
 [9] S. Mitra, P. P. Shirvani, E. J. McCluskey, "Fault Location in FPGA-Based Reconfigurable Systems," *Proc. IEEE International High Level Design Validation and Test Workshop*, La Jolla, CA, Nov. 12-14, 1998.  
 [10] T. Inoue, S. Miyazaki, H. Fujiwara, "Universal Fault Diagnosis for Lookup Table FPGAs," *IEEE Design and Test of Computers*, pp. 39-44, January-March, 1998.  
 [11] Yinlei Yu, Jian Xu, Wei Kang Huang, F. Lombardi, "A Diagnosis Method for Interconnects in SRAM Based FPGAs," *Proc. of Asian Test Symposium*, pp. 278-282, 1998.  
 [12] A. Doumar, H. Ito, "Testing The Logic Cells and Interconnect Resources for FPGAs," *Proc. of 8th Asian Test Conference*, pp. 369-374, 1999.  
 [13] D. Das, N. A. Touba, "A Low Cost Approach for Detecting, Locating, and Avoiding Interconnect Faults in FPGA-Based Reconfigurable Systems," *Proc. International Conference on VLSI Design*, 1999.  
 [14] M. Renovell, J. M. Portal, J. Figueras, Y. Zorian, "Testing The Configurable Interconnect/Logic Interface of SRAM-Based FPGAs," *Proc. International Conference On Design, Automation and Test in Europe*, pp. 618-622, 1999.  
 [15] I. G. Harris, R. Tessier, "Interconnect Testing in Cluster-Based FPGA Architectures," *Proc. of de*

sign Automatin Conference, pp. 49-54, 2000.

[16] M. Abramovici, C. Stroud, "Bist-Based Detection and Diagnosis of Multiple Faults in FPGAs," *Proc. International Test Conference*, 2000.

[17] M. Renovell, Y. Zorian, "Different Experiments in Test Generation for XILINX FPGAs," *Proc. of International Test Conference*, pp. 854-862, 2000.

[18] J. C. M. Li, C. W. Tseng, and E. J. McCluskey, "Testing for Resistive Opens and Stuck Opens," *Proc. of International Test Conference*, 2001.

[19] M. B. Tahoori, S. Mitra, S. Toutounchi, E. J. McCluskey, "Fault Grading FPGA Interconnect Test configurations," *Proc. of International Test Conference*, pp. 608-617, 2002.

[20] M. B. Tahoori, S. Mitra, "Automatic Configuration Generation for Interconnect Testing in Switch-Based FPGAs," CRC TR 02-2, Stanford University, 2002.

[21] M. B. Tahoori, "Diagnosis of Open Defects in FPGA Interconnect," *Proc. of IEEE International Conference on Field-Programmable Technology*, pp. 328-331, 2002.

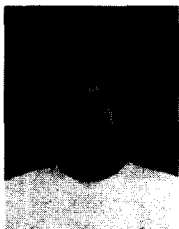
[22] S. Toutounchi, A. Lai, "FPGA Test and Coverage," *Proc. of International Test Conference*, pp. 599-607, 2002.

[23] M. B. Tahoori, S. Mitra, "Automatic Configuration Generation for FPGA Interconnect Testing," *Proc. of IEEE VLSI Test Symposium*, 2003.

[24] Y. Kim, D. Song, Y. Shin, S. Chun, S. Kang, "A New Maximal Diagnosis Algorithm for Bus-structured Systems," *Proc. of International Test Conference*, 2003.

[25] *The Programmable Logic Data Book 2002*, Xilinx Inc., 2002.

저 자 소 개



김 용 준(정회원)  
 2002년 연세대학교 공과대학  
 전기공학과 학사 졸업.  
 2004년 연세대학교 공과대학  
 전기전자공학과 석사 졸업.  
 현재 연세대학교 IT 사업단  
 연구원.

<주관심분야 : SoC 설계, SoC 테스트>



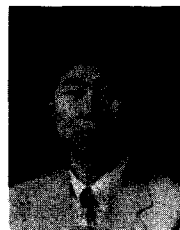
김 지 혜(정회원)  
 2002년 연세대학교 공과대학  
 전기공학과 학사 졸업.  
 2004년 연세대학교 공과대학  
 전기전자공학과 석사 졸업.  
 현재 삼성전자 반도체 총괄 시스템  
 LSI 사업부.

<주관심분야 : SoC 테스트>



전 성 훈(정회원)  
 2002년 8월 연세대학교 공과대학  
 전기공학과 학사 졸업.  
 현재 연세대학교 전기전자공학과  
 석사 과정.

<주관심분야 : Logic BIST, Functional Test>



강 성 호(정회원)  
 1986년 2월 서울대학교 공대  
 제어계측공학과 학사 졸업.  
 1988년 5월 The University of  
 Texas at Austin 전기 및  
 컴퓨터 공학과 석사 졸업.  
 1992년 5월 The University of  
 Texas at Austin 전기 및 컴퓨터공학과 박사  
 졸업.

미국 Schlumberger 연구원.  
 미국 Motorola 선임 연구원.  
 현재 연세대학교 전기전자공학과 부교수.  
 <주관심분야 : SoC 설계, SoC 테스트>