

---

# RF Front End의 결함 검출을 위한 새로운 온 칩 RF BIST 구조 및 회로 설계

류지열\* · 노석호\*\*

New On-Chip RF BIST(Built-In Self Test) Scheme and Circuit Design for Defect Detection of RF Front End

Jee-Youl Ryu\* · Seok-Ho Noh\*\*

---

이 논문은 2002년도 안동대학교 학술연구조성비에 의하여 연구되었음

---

## 요약

본 논문에서는 입력 정합(input matching) BIST(Built-In Self-Test, 자체내부검사) 회로를 이용한 RF front end(고주파 전단부)의 새로운 결함 검사방법을 제안한다. 자체내부검사 회로를 가진 고주파 전단부는 1.8GHz LNA(Low Noise Amplifier, 저 잡음 증폭기)와 이중 대칭 구조의 Gilbert 셀 믹서로 구성되어 있으며, TSMC 0.25 $\mu$ m CMOS 기술을 이용하여 설계되었다. catastrophic 결함(거폭 결함) 및 parametric 변동(미세 결함)을 가진 고주파 전단부와 결함을 갖지 않은 고주파 전단부를 판별하기 위해 고주파 전단부의 입력 전압 특성을 조사하였다. 본 검사방법에서는 DUT(Device Under Test, 검사대상이 되는 소자)와 자체내부검사회로가 동일한 칩 상에 설계되어 있기 때문에 측정할 때 단지 디지털 전압계와 고주파 전압 발생기만 필요하며, 측정이 간단하고 비용이 저렴하다는 장점이 있다.

## ABSTRACT

This paper presents a novel defect detection method for one chip RF front end with fault detection circuits using input matching measurement. We present a BIST circuit using 0.25 $\mu$ m CMOS technology. We monitor the input transient voltage of the RF front end to differentiate faulty and fault-free RF front end. Catastrophic as well as parametric variation fault models are used to simulate the faulty response of the RF front end. This technique has several advantages with respect to the standard approach based on current test stimulus and frequency domain measurement. Because DUT and fault detection circuits are implemented in the same chip, this test technique only requires use of digital voltmeter (RMS meter) and RF voltage source generator for simple and inexpensive testing.

## 키워드

RF front end, input matching, defect detection, BIST(built-In self-test) circuits,

---

\* 애리조나주립대학교 전기공학과  
접수일자 : 2003. 11. 25

\*\* 안동대학교 전자공학과

## I. 서 론

최근 데이터 전송기기 및 휴대폰 등과 같은 많은 초소형 전자제품에 고주파 집적회로 소자들이 널리 사용되고 있다. 이러한 소자들의 사용 증가로 인해 그 기능은 날로 향상되고 있으나, 이에 따라 집적도와 복잡도도 함께 증가하고 있다. 이러한 경향은 소자들의 가격 증가를 초래하는데, 그 중에서 소자를 검사하는데 드는 시간과 비용이 소자 전체 가격 결정에 큰 영향을 미치고 있는 실정이다. 그 이유는 대부분의 고주파 회로를 검사하는데 있어서 캘리브레이션 절차를 밟아야 하고 많은 소자를 동시에 검사하기가 힘들며, 검사해야 할 항목이 아날로그 소자보다 더 많기 때문에 검사 시간이 많이 소요된다. 또한 ATE(Automated Test Equipment, 자동화된 검사장비)나 network analyzer(회로망 분석장비)와 같은 고가의 측정장비를 이용해야 하므로 검사비용이 많이 든다.

이를 해결하기 위해 고주파 집적회로 소자들의 검사 시간과 비용을 줄이기 위한 많은 연구가 진행되어 왔는데[1-8], 많은 방식에서 아날로그 시스템의 표준 검사방법, 즉 전류를 이용한 검사 방법이나 주파수 영역 측정 검사방법 등을 RF IC 소자의 결합검사에 적용시키고자 하였다[4-5]. 아날로그 시스템은 적은 수의 입출력을 갖고 있기 때문에 이러한 표준 검사방법을 이용해도 시스템 내부의 거폭 결합이나 미세 결합 등에 대해 높은 결합 검출을 보이기 때문이다[4]. 그러나 Pleskacz 등에 의해 보고된 바 있듯이 이러한 표준 검사방법은 단지 선형회로에 적용이 가능하며, 특히 CMOS 집적회로로 구성된 비선형 고주파 집적회로의 결합을 검출하고 진단하는데는 적용하기 어려운 것으로 알려져 있다[4]. 그 이유는 고주파 집적회로 소자들의 내부 회로 구조 특성상 외부적으로 제어하고 관찰하는 것이 어려울 뿐만 아니라, RF 결합이 회로에 미치는 비선형 효과 등에 대한 예측이 어렵기 때문이다[4-5]. 이러한 문제점들을 해결하기 위한 다른 방법으로 동일한 칩 위에 검사 회로를 삽입하여 ATE와 같은 정교한 장비가 없어도 회로 그 자체의 품질을 평가할 수 있는 자체내부검사 기술이 연구되고 있다[8]. 이러한 기

술은 디지털 시스템 검사에는 잘 알려져 있으나, 고주파 집적회로 분야에는 회로의 내부 구조 특성으로 인해 아직 상용화되지 않고 있는 실정이다. 그러나 몇 가지 문제점만 해결한다면 상용화도 가능하기 때문에 앞으로의 연구대상으로 각광 받고 있다. 실제로 고주파 집적회로 소자를 이루는 구성 요소들의 거폭 결합이나 미세 결합 등으로 인해 소자 전체가 제대로 동작을 안 하는 경우가 많이 발생한다. 그 이유는 고주파 집적회로를 이루는 대부분의 구성 요소들이 고주파에서 비선형 특성을 가지며 거폭 결합이나 미세 결합에 더 큰 영향을 받기 때문이다. 고주파 시스템 내부에서 발생한 거폭 결합과 미세 결합 등에 대한 검출과 진단도 고주파 자체내부검사 기술을 이용할 수 있다.

기존의 검사방법으로는 점대점 통신 시스템을 검사하기 위해 스펙트럼 서명분석(spectral signature analysis)을 이용한 자체내부검사 루프백(loopback) 기술을 들 수 있다 [8-9]. 이러한 검사 방법은 측정이 용이하고 검사비용이 적게 드는 장점이 있는 반면, 시스템 내부전체에 대해 그 결합 검출 능력이 떨어지고, 스펙트럼 서명발생원리가 복잡하기 때문에 부가적인 디지털 신호처리 장치가 필요한 단점이 있다. R. Voorakaranam 등은 스펙트럼 서명분석 방법을 이용하여 900MHz 저잡음 증폭기에 대해 이득, 잡음지수 및 IIP3를 검사하는 방법을 보였다 [10]. 이러한 검사 방법은 고가의 장비를 사용하지 않아 검사비용이 저렴한 반면 FASTest라고 불리는 고주파 실행 시스템과 같은 오프칩(off-chip) 서명 응답 평가장치를 필요로 한다.

본 논문에서는 입력 임피던스 정합 자체내부검사 회로를 이용해서 비선형 특성을 가진 고주파 전단부에 대한 새로운 결합 검사기술을 제안한다. 여기서 고주파 전단부와 자체내부검사 회로는 TSMC 0.25 $\mu$ m CMOS 기술을 이용해서 동일한 칩 상에 설계되었다. 이러한 검사기술은 결합 검출시 상용의 디지털 전압계와 고주파 전압 발생기만 필요하다. 본 연구에서는 거폭 결합과 미세결합 등을 가진 고주파 전단부와 이러한 결합을 갖지 않은 고주파 전단부를 판별하기 위해 고주파

전단부의 입력 전압 특성을 조사하였다.

## II. 측정시스템의 구성

그림 1은 본 논문에서 제안하는 고주파 전단부의 새로운 결함 검사 방법을 나타낸 것이다. 회로 내의 결함을 검출하기 위해 TSMC 0.25μm CMOS 기술을 이용해서 1800 DCS용 1.8GHz 저잡음 증폭기와 이중 대칭 구조의 Gilbert 셀 믹서를 설계하였다. 측정시스템은 DUT, 1.8GHz 정현파 신호를 가진 고주파 전압 발생기, 4개의 스위치, 고주파 전단부의 입력 및 출력 정합을 위한 3개의 외부 50Ω 임피던스, 고주파 전단부를 구동하기 위한 전원공급기와 2대의 디지털 멀티미터로 구성되어 있다.

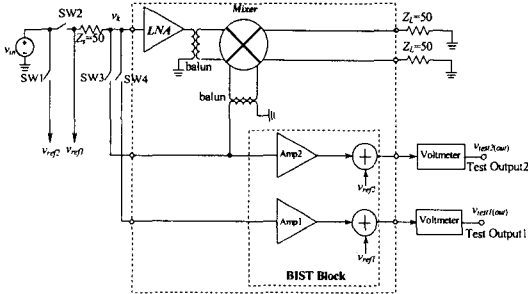


그림 1. 고주파 전단부의 검사를 위한 측정시스템  
Fig. 1 Testing system for RF front end

고주파 전단부를 구성하는 저잡음증폭기와 믹서는 입력신호의 손실을 최소로 줄이기 위해 각각 50Ω의 입력 정합 임피던스를 가지며, 이러한 임피던스는 저잡음증폭기와 믹서에 포함된 MOSFET과 같은 능동소자나 인덕터, 커패시터 및 저항 등의 수동소자로 결정된다. 만약 고주파 전단부를 구성하는 요소중 어느 한 성분에 단락 결함이나 개방 결함이 발생한다든지, 미세 결함이 발생하면 입력 정합 임피던스는 50Ω이 아니라 다른 값을 갖게 되어 입력신호의 손실을 초래하게 된다. 자체 내부검사 블록은 2개의 합산기와 2개의 반전 증폭기(amp1, amp2)로 구성되어 있으며, 고주파 전단부와 같이 0.25μm CMOS 기술로 설계되었다. 반전 증폭기는 입력신호의 반사를 최소로 줄이기 위

해 각각 50Ω의 입력 정합임피던스를 가지며, 3의 이득과 180° 위상을 가진다. 이러한 자체내부검사 블록은 고주파 전단부 전체면적의 약 10%가 되도록 설계하였다.

본 논문에서 제안하는 검사 방법의 핵심 아이디어는 50Ω의 입력 정합 임피던스를 가진 자체내부검사 회로를, 고주파 전단부를 구성하고 있는 저잡음증폭기와 믹서의 입력단에 각각 삽입하여 50Ω 입력 정합 상태를 자동적으로 검출하여 그 값을 이용하여 고주파 전단부의 결함유무를 찾아내는 것이다. 여기서 결함을 갖지 않은 저잡음증폭기와 믹서는 각각 50Ω의 입력 임피던스와 출력 임피던스를 갖지만, 결함이 발생하면 저잡음증폭기와 믹서 내부에 임피던스 변화가 생기며 이러한 변화에 의해 고주파 전단부에서의 입력전압 변화를 확인할 수 있게 된다.

그림 2는 저잡음증폭기 (또는 믹서 LO)와 amp1 (또는 amp2)의 입력에 대해 등가회로를 나타낸 것이며, 식 (1)과 (2)는 그에 따른 전압을 수식으로 표현한 것이다. 그림 1과 2(여기서 저잡음증폭기 입력에 대해서 k=1, 믹서 입력에 대해서 k=2를 사용)에 나타나 있듯이 입력에서 고주파 전단부의 입력전압 vtestk(out)을 측정하였다.

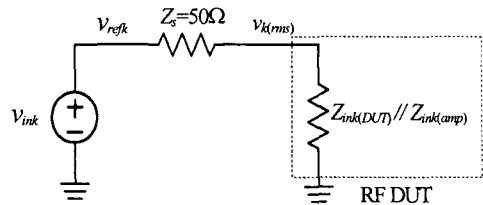


그림 2. 저잡음증폭기(또는 믹서 LO)와 amp1(또는 amp2)에 대한 테브난 등가회로  
Fig.2 Thevenin equivalent circuit for the inputs of LNA(or mixer LO) and amp1(or amp2)

$$V_k = \frac{Z_{ink(DUT)} // Z_{ink(amp)}}{Z_s + (Z_{ink(DUT)} // Z_{ink(amp)})} V_{ref} = \frac{Z_{ink(DUT)}}{2Z_{ink(DUT)} + 50\Omega} V_{ref} \quad (1)$$

$$V_{test(out)} = V_{ref(rms)} - 3V_{k(rms)} = \frac{50\Omega - Z_{ink(DUT)}}{50\Omega + 2Z_{ink(DUT)}} V_{ref(rms)} \quad (2)$$

$$Z_{ink(DUT)} = Z_0 \left| \frac{1 + S_{11} - S_{22}\Gamma_L - S_{11}S_{22}\Gamma_L + S_{12}S_{21}\Gamma_L}{1 - S_{11} - S_{22}\Gamma_L + S_{11}S_{22}\Gamma_L - S_{12}S_{21}\Gamma_L} \right| \quad (3)$$

$$\Gamma_L = \frac{Z_L - Z_{0(mixer)}}{Z_L + Z_{0(mixer)}} = \frac{50\Omega - Z_{0(mixer)}}{50\Omega + Z_{0(mixer)}} \quad (4)$$

여기서,  $Z_{ink(amp)} (= 50\Omega)$  는 amp1 혹은 amp2의 입력 임피던스,  $Z_{ink(DUT)}$  는 저잡음증폭기 혹은 믹서 LO의 입력 임피던스,  $Z_s$  는 소스 임피던스,  $Z_L$  은 부하 임피던스,  $Z_0(mixer)$  는 믹서의 특성 임피던스,  $\Gamma_L$  은 부하 반사 계수,  $S_{11}$ ,  $S_{12}$ ,  $S_{21}$ ,  $S_{22}$  는 S 파라미터를 각각 나타낸다.

자체내부검사의 동작원리를 간단히 설명하면 다음과 같다. SW2와 SW4가 “on” 일 때는 저잡음증폭기의 결함 상태를 검사할 수 있고, SW1과 SW3가 “on” 일 때는 믹서의 결함 상태를 검사할 수 있다. 식 (1) ~ (4)로부터 알 수 있듯이  $Z_{ink(DUT)}=50\Omega$  일 때,  $vk=(1/3)vrefk$  가 되므로  $vtestk(out)=0$  (직류 값)가 되어, 이러한 경우 회로에 결함이 없음을 의미한다. 결함이 있는 경우  $Z_{ink(DUT)} \neq 50\Omega$  이므로,  $vk \neq (1/3)vrefk$  가 되어서,  $vtestk(out) \neq 0$  (직류가 아닌 값)가 된다. 결론적으로  $vtestk(out)$  값을 측정했을 때 그 값이 직류 값이면 회로에 결함이 없음을 의미하며, 직류 값이 아니면 회로에 결함이 있음을 의미한다.

본 논문에서는 그림 3 및 4와 같이 고주파 전단부의 구성 요소인 MOSFET, 저항, 커패시터 및 인덕터에 대해 다양한 거품 결함 모델과 미세 결함 모델을 고려하였는데, 거품 결함 모델로는 개방 결함(open fault: OF), 단락 결함(short fault: SF) 및 게이트-산화물간 단락 결함(Gate-oxide short fault: GOSF)을 고려하였다[5]. 그림 4에서 인덕터 대신에 커패시터와 저항을 삽입하면 커패시터와 저항에 대한 거품 결함 모델이 된다. 미세 결함 모델로는 저항에 대해서는 원래 값에 대해  $\pm 5\%$  변동, 커패시터와 인덕터는  $\pm 10\%$  변동, 그리고 MOSFET에 대해서는  $\pm 20\%$  채널폭 변동을 각각 고려하였다[7,11]. 시뮬레이션에서는 결함을 갖지 않은 모델(1개)과 81개의 서로 다른 거품 결함 모델, 58개의 서로 다른 미세 결함 모델을 포함하여 총 140개의 서로 다른 모델을 사용하였다.

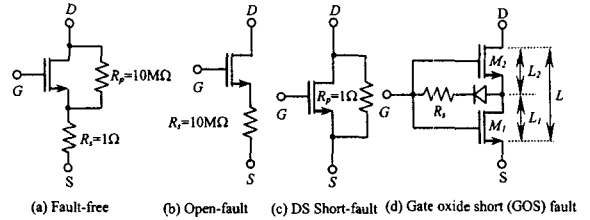


그림 3. MOSFET의 결함 모델  
Fig. 3 Fault models of MOSFET

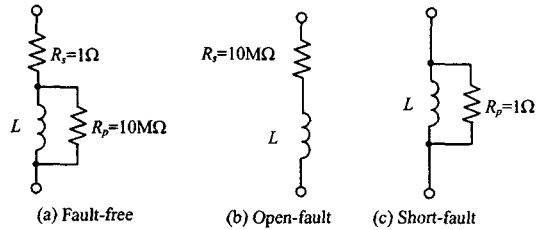


그림 4. 수동소자의 결함 모델

Fig. 4 Fault models of passive components

### III. 고주파 검사 대상 소자

그림 5는 결함 시뮬레이션에 사용한 저잡음증폭기와 믹서에 대한 회로도를 나타낸 것이다. 이러한 고주파 전단부는 1.8GHz에서 동작하며, DCS 1800 시스템 응용을 위해 설계되었다.

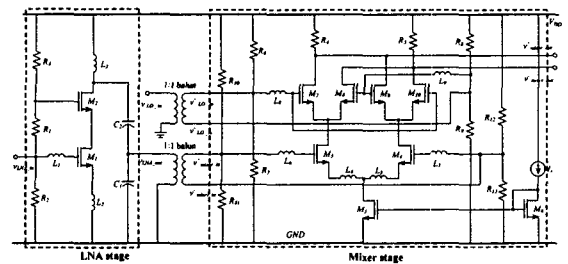


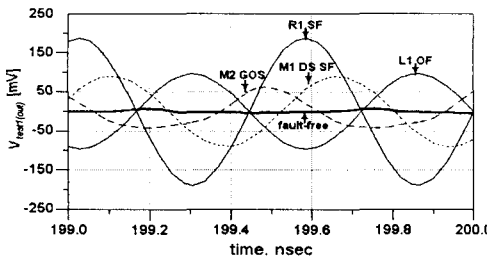
그림 5. 저잡음증폭기와 이중 대칭 구조를 가진 Gilbert 셀 믹서에 대한 회로도

Fig. 5 Schematics of LNA and double-balanced Gilbert-cell mixer

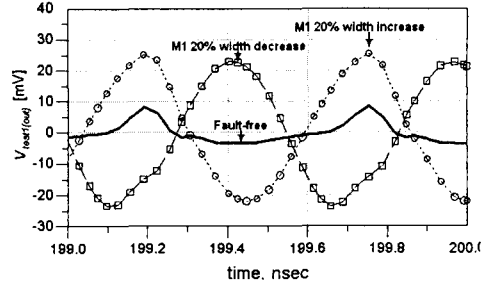
### IV. 시뮬레이션 결과

그림 6은 고주파 전단부의 저잡음증폭기 단에 대한 거품 결함과 미세 결함에 대한 검출 결과를

나타낸 것이다. 그림 6(a)에서 알 수 있듯이 결함을 갖지 않은 저잡음증폭기의 경우  $v_{testk}(out)$  값을 측정했을 때 거의 직류 값을 가진다. 그러나 개방 결함이나 단락 결함을 가진 저잡음증폭기는 진폭의 변화와  $-\pi/8 \sim \pi/8$ 의 위상 변화를 보였다. 또한 큰 값의 전압 변화가 측정되면 입력단에 결함이 있음을 알 수 있으며, 작은 값의 전압 변화가 측정되면 출력단에 결함이 있음을 알 수 있다. 전체적으로 저항의 결함이 가장 큰 변화를 보였고, 인덕터, MOSFET, 커패시터의 순으로 변화를 보였다. 이러한 결과들은 검사 입력 단자에 바로 연결되어 있는 성분들의 결함, 특히 저항 R1의 단락 결함의 결과로부터 예측할 수 있으며, 고주파 검사대상소자의 입력 임피던스를 측정하고 식 (1) ~ (4)를 이용하여 계산할 수 있다. 또한 위상의 변화를 관찰하여 결함의 종류와 위치등을 예측할 수 있다. 그림 6에 나타나 있듯이 저항 결함은 입력 신호와 같은 위상 변화를 보였지만 인덕터는 180° 위상 변화를 보였다. 입력단에 바로 연결된 MOSFET(여기서는 M1)의 결함은 오른쪽으로 약 90° 위상 전이를 보였으며, 직렬로 연결된 MOSFET(여기서는 M2)의 결함은 왼쪽으로 약 90° 위상 전이를 보였다. 따라서 좀더 정교한 위상 측정기나 고주파용 오실로스코프를 사용하여 진폭의 변화와 위상의 변화를 세밀하게 관찰하면 고주파 검사대상소자 내부에 발생한 다양한 결함을 검출하고 발생위치를 진단할 수 있다. 그림 6(b)에 나타난 미세 결함은 그림 6(a)에 비해 작은 변동을 보였다. 그 이유는 저잡음증폭기가 가진 MOSFET이나 저항의 개방 상태, 단락 상태와 같은 큰 값의 임피던스 변동이 아니라, 각 성분의 작은 임피던스 변동을 나타내기 때문인 것으로 생각된다.



(a) 거폭 결함

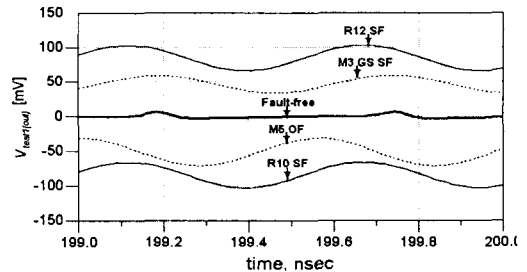


(b) 미세 결함

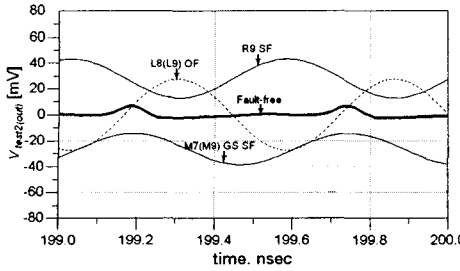
그림 6. 고주파 전단부의 저잡음증폭기 단계에 대한 결함 검출 결과

Fig. 6 Fault simulation results of LNA stage in RF front end: (a) Catastrophic faults (b) Parametric faults

그림 7은 믹서의 고주파 단과 LO 단에 대한 거폭 결함에 대한 검출 결과를 나타낸 것이다. 저잡음증폭기의 경우와 동일하게 결함을 갖지 않은 믹서의 경우  $v_{testk}(out)$  값을 측정했을 때 거의 직류 값을 보였으나, 개방 결함이나 단락 결함을 가진 믹서는 진폭의 변화와  $-\pi/2 \sim \pi/2$ 의 위상 변화를 보였다. 그림 6(a)와 같은 원리로 결함을 갖지 않은 믹서는 각각 50Ω의 입력 임피던스와 출력 임피던스를 갖지만, 믹서에 결함이 발생하면 내부 임피던스에 변화가 발생하며 이러한 변화에 의해 측정 전압의 변화를 확인할 수 있게 된다. 좀 더 기능이 정교한 위상 측정기나 고주파용 오실로스코프를 사용할 경우 믹서 내부에서 발생한 대부분의 결함을 검출할 수 있을 뿐만 아니라, 결함이 회로의 입력단에 존재하는지 아니면 출력단에 존재하는지 등을 예측하고 진단할 수 있다.



(a) 믹서 고주파 단에서의 거폭 결함



(b) 믹서 LO 단에서의 거폭 결함

그림 7. 고주파 전단부의 믹서 단계에 대한 거폭 결함 검출 결과

Fig. 7 Catastrophic fault simulation results of mixer stage in RF front end: (a) Faults in mixer RF stage (b) Faults in mixer LO stage

시물레이션에 사용한 결함 모델로서 81개의 서로 다른 거폭 결함 모델들을 사용하였는데 그림 8은 이러한 결함들에 대한 퍼센트 오차 결과를 나타낸 것이다. 저항을 포함하여 각 회로 요소들에 대한 설명은 그림 5에 표현되어 있다. 그림 8에 나타나 있듯이 결함들 중 거의 대부분이 50% 이상의 퍼센트 오차를 보였고, 51개의 결함들은 100% 이상의 아주 우수한 퍼센트 오차를 보였다. 이러한 결과는 본 논문에서 제안하는 결함 검사 방법으로 거폭 결함을 100% 검출할 수 있음을 보여준다. 여기서 퍼센트 오차는 식(5)를 이용하여 계산하였다.

$$\%오차 = \frac{|참값 - 측정값|}{참값} (\%) \quad (5)$$

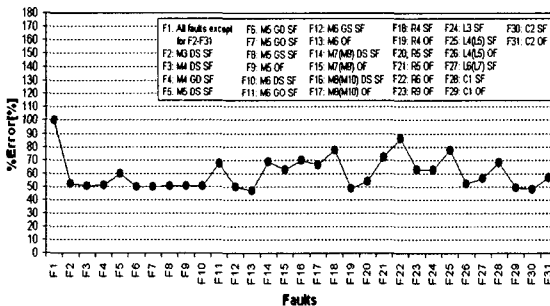


그림 8. 고주파 전단부에 사용된 모든 결함에 대한 퍼센트 오차

Fig. 8 Faults vs. percent error of all components in RF front end

## V. 결론

본 논문에서는 입력 정합을 이용하여 자체내부 검사 회로를 가진 고주파 전단부의 새로운 결함 검사 기술을 제안하였다. TSMC 0.25μm CMOS 기술을 이용해서 자체내부검사 회로를 가진 고주파 전단부를 설계하였다. 고주파 전단부 내부에서 발생한 거폭 결함 뿐만 아니라 미세 결함도 함께 고려하였다. 결함을 가진 고주파 전단부를 판별하기 위해 고주파 전단부의 입력 단에서 입력전압 특성을 조사하였다. 본 논문에서 제안한 결함 검사기술은 검사대상소자와 자체내부검사 회로가 동일한 칩 상에 설계되어 있기 때문에 측정이 간단하고, 측정비용이 저렴하다는 장점이 있다. 자체내부검사 회로가 차지하는 면적은 고주파 전단부가 차지하는 전체 면적의 약 10%에 불과하다. 본 논문에서 제안하는 검사기술을 이용하여 시물레이션해 본 결과 거폭 결함에 대해서는 100%, 미세 결함에 대해서는 약 79%의 높은 결함 검출 결과를 보였다.

향후 연구과제로서 본 논문에서 제안한 결함 검출기술과 더불어 고주파 전단부의 전압이득 및 잡음지수 등을 측정할 수 있는 입출력 성능 검사 기능을 가진 고주파 자체내부검사 회로를 고주파 전단부와 동일한 칩 상에 설계하고 제작할 계획이 다.

## 참고 문헌

- [1] E. P. Vandamme, M. M. P. Schreurs, and C. van Dinter, "Improved Three-Step De-Embedding Method to Accurately Account for the Influence of Pad Parasitics in Silicon On-Wafer RF Test-Structures", IEEE Tran. Electronic Devices, Vol. 48, No. 4, pp. 137-142, April 2001.
- [2] K. C. Craig, S. P. Case, R. E. Neese and C. D. DePriest, "Current and Future Trusting in Automated RF and Microwave Testing", IEEE, pp. 183-186, 1994.
- [3] M. Soma, "Challenges and Approaches in Mixed Signal RF Testing", IEEE, pp. 33-37, 1997.

- [4] W.A. Pleskacz, D. Kasproicz, T. Oleszczak and W. Kuzmicz, "CMOS Standard Cells Characterization for Defect Based Testing", IEEE International Symposium on DFT in VLSI Systems, 2001.
- [5] A.J. Bishop and A. Ivanov, "On the Testability of CMOS Feedback Amplifiers", IEEE, pp. 65-73, 1994.
- [6] S. Yu, B.W. Jervis, K.R. Eckersall, I.M. Bell, A.G. Hall and G.E.Taylor, "Neural Network Approach to fault Diagnosis in CMOS Opamp with Gate Oxide Short", Electronics Letters, Vol. 30, No. 9, pp. 695-696, April 1994.
- [7] A. Fathy et al, "Design of Embedded Passive Component in LTCC-M Technology", IEEE MTT-S Digest, pp. 1281-1284, 1998.
- [8] D. Lupea et al, "RF-BIST: Loopback Spectral Signature Analysis", IEEE Design, Automation and Test in Europe Conference and Exhibition, March 2003.
- [9] J. Dabrowski, BiST Model for IC RF-Transceiver Front-End, 2003 Proceedings of the 18th IEEE International Symposium on DEFECT and FAULT TOLERANCE in VLSI SYSTEMS, pp. 295-302, November 2003.[9]
- [10] R. Voorakaranam, S. Cherubal and A. Chatterjee, A Signature Test Framework for Rapid Production Testing of RF Circuits, Proceedings of the 2002 Design, Automation and Test in Europe Conference and Exhibition, pp. 186-191, March 2003.
- [11] Z. H. Liu, "Mixed-Signal Testing of Integrated Analog Circuits and Electronic Modules", PhD thesis, Ohio University, March 1999.

저자 소개

**류지열(Jee-Youl Ryu)**



1993년 부경대학교 전자공학과 졸업(공학사)

1997년 부경대학교 전자공학과 졸업(공학석사)

2000년 ~ 현재 애리조나 주립대학교 전기공학과 박사과정

※ 관심분야 : 고주파 집적회로 설계 및 검사, 모듈 로틱 마이크로웨이브 집적회로 설계 및 검사, 아날로그 집적회로 설계 및 검사, 수동소자 모델링 및 검사 알고리즘 개발 및 MEMS 기술

**노석호(Seok-Ho Noh)**



1982년 한양대학교 전자공학과 졸업(공학사)

1990년 일본 동경공업대학교 물리정보공학 졸업(공학석사)

1993년 일본 사이다마대학교 생산정보공학 졸업(공학박사)

1993년 3월 ~ 1998년 2월 한국전자통신연구소 위성방송시스템연구실 선임연구원

1998년 3월 ~ 현재 안동대학교 전자정보산업학부 전자공학전공 부교수

※ 관심분야 : 디지털방송시스템, DSP, 반도체회로 설계 및 검사