

논문 2004-41SD-5-6

# 새로운 낮은 스큐의 클락 분배망 설계 방법

## (A New Low-Skew Clock Network Design Method)

이 성 철\*, 신 현 철\*\*

(Sungchul Lee and Hyunchul Shin)

## 요 약

현재의 반도체 공정은 Deep Sub-Micron (DSM)으로 발전하면서, 선폭이 줄어들고 구동 주파수가 높아지고 있다. 이로 인해 clock source로부터 clock을 필요로 하는 각 단자(sink)까지의 '지연시간의 최대 차'로 정의되어지는 clock skew가 회로의 속도 향상에 있어 중요 제약요소가 되고 있다. 또한 이를 얼마나 줄이느냐 하는 것은 동기식 회로 설계에 있어 중요한 문제가 되고 있다. 따라서 낮은 clock skew를 위한 배선 기술에 대해 많은 연구들이 이루어지고 있다. 본 논문에서는 clock skew를 줄이기 위한 방법으로서 새로운 Advanced Clock Tree Generation(ACTG) 방법을 개발하였다. ACTG는 2단계의 계층적 routing을 통해 최적의 clock tree를 구성한다. 본 논문에서 제안하는 알고리즘을 C 언어로 프로그래밍하여 구현한 후, 벤치마크 테스트 데이터에 대하여 실험한 결과, 주어진 skew 범위를 만족시키면서 지연 시간을 감소시키는 효과를 얻을 수 있었다.

## Abstract

The clock skew is one of the major constraints for high-speed operation of synchronous integrated circuits. In this paper, we propose a hierarchical partitioning based clock network design algorithm, called Advanced Clock Tree Generation (ACTG). Especially new effective partitioning and refinement techniques have been developed in which the capacitance and edge length to each sink are considered from the early stage of clock design. Hierarchical structures obtained by partitioning and refinement are utilized for balanced clock routing. We use zero skew routing in which Elmore delay model is used to estimate the delay. An overlap avoidance routing algorithm for clock tree generation is proposed. Experimental results show significant improvement over conventional methods.

**Keywords** : clock skew, clock tree, routing

## I. 서 론

Clock skew가 회로의 속도 향상에 중요한 제약요소가 되고 있으며, 이를 위한 배선 방법에 대한 연구가 많이 이루어지고 있다. 이러한 연구는 배선 방법에 따라 크게 "BTM(Balanced Tree Method)"과 "Mesh Method" 두 가지로 나뉘어 진다.<sup>[1]</sup>

BTM의 가장 대표적인 예인 H-Tree(그림 1-a) 방식은 분기점으로부터 각 노드에 이르는 배선 길이를 동일하게 유지함으로써 skew를 대폭 줄일 수 있는 방법이

다. 그러나, sink의 load가 고르게 분포되어 있을 경우에만 그 장점을 활용할 수 있다는 제약을 가진다.

이를 보완하는 방법으로서 [2]에서는 MMM(Method of Means and Medians ; 그림 1-b)을 제안하였는데, 이는 sink의 개수 분포에 따라 전체 회로를 수직·수평으로 번갈아 가면서 2등분하여 분할된 회로의 무게 중심을 연결하는 top-down 방법으로, cell들의 위치 및 크기가 불규칙한 경우에도 skew를 줄일 수 있다. 그러나 이 방법은 최악의 경우 clock source로부터 sink까지의 배선길이가 칩의 지름과 같아질 수 있다는 단점을 가진다.

GMA(Geometric Matching Algorithm)<sup>[3][4]</sup>은 가장 가까운 곳에 위치한 sink들을 연속적으로 연결하는 bottom-up 방식으로서 MMM의 단점을 극복하였다. 그

학생회원, 한양대학교 전자전기 제어계측공학과  
Dept. of Electronics Engineering, Hanyang Univ.)  
정회원, 한양대학교 전자컴퓨터공학부  
(Dept. of Electronics Engineering, Hanyang Univ.)  
접수일자: 2003년8월21일, 수정완료일: 2004년4월23일

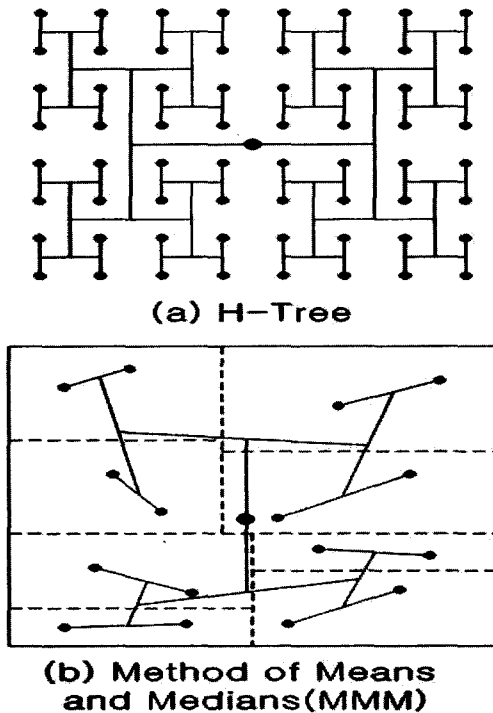


그림 1. 균형 잡힌 트리 구조  
Fig. 1. Balanced Tree Method.

그림 2는 GMA 적용 과정이다.

MMM과 GMA은 clock source로부터 각 sink에 이르는 배선 길이만을 같게 하여 zero skew를 얻고자 하였으나 지연시간에 영향을 주는 배선구조 및 sink의 load 차에 대한 고려가 없기 때문에 사실상 zero skew를 얻을 수는 없다.

[5][6]에서는 Elmore delay model을 이용하여 위의 문제를 해결한 DME (Deferred Merge Embedding) 방법을 제안하였다. bottom-up으로 진행되는 이 방식은 연결될 sub-tree의 집합인 merging segment를 구하고 top-down 방식으로 현재 단에서 바로 아래 단의 merging segment로 routing을 수행한다. 이때 zero skew를 위해 현재 단에서 가장 가까운 지점을 선택하여 배선 길이를 최소화하도록 하였다. BTM은 회로에 매크로가 있을 경우 대처하기 쉽고 배선의 총량을 줄일 수 있지만 clock skew bound를 만족하는 영역 계산에 있어 복잡도가 높다는 단점이 있다<sup>[1]</sup>.

Cutting Line Embedding(CLE)<sup>[7]</sup> 알고리즘(그림 3)은 interconnection layer를 하나만 사용하는 BTM으로서, top-down의 방식의 분할 과정과 terminal routing 그리고 배선의 겹침을 피하기 위해 겹치는 부분을 상, 하, 좌, 우로 이동시켜 겹침을 제거하는 과정으로 이루어진다. CLE 알고리즘은 하나의 interconnection layer만을

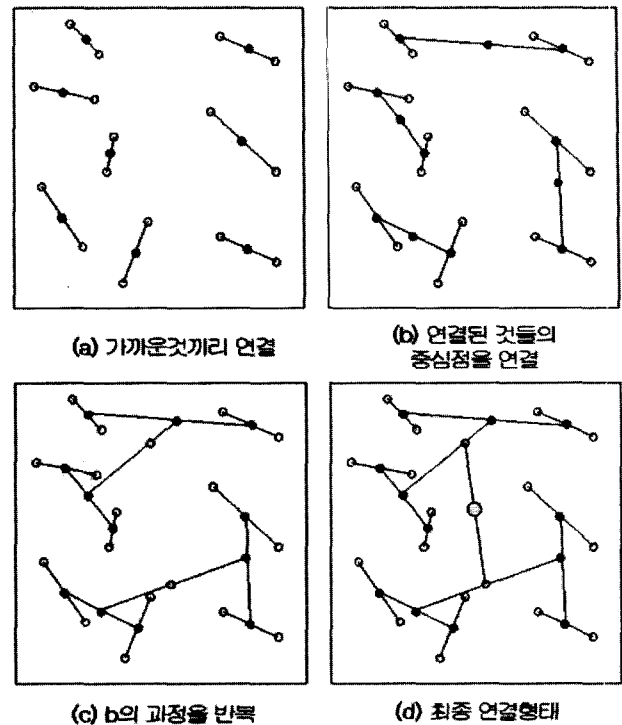


그림 2. Geometric Matching Algorithm(GMA) 적용 과정  
Fig. 2. Process of Geometric Matching Algorithm(GMA).

사용하므로 공정 적용시 오차가 줄어들어 좋지만, 이로 인한 배선의 증가 및 skew의 증가를 제대로 고려하지 못하는 단점이 있다.

Mesh Method는 FMM(Fixed Mesh Method)과 BMM(Balanced Mesh Method)이 대표적인 예이다. FMM(Fixed Mesh Method)<sup>[8]</sup>은 바둑판 모양의 단순하고 규칙적인 구조를 가지기 때문에 배선이 매우 용이하며 배선 영역의 예측이 가능하다. 또한 공정 변화에 큰 영향을 받지 않으며, 우회경로의 존재로 인해 metal migration시에 오동작을 막을 수 있다. 하지만 배선의 과다사용으로 전력 소모 증가 및 열 발생이 문제가 된다. 이를 개선한 방법에 BMM(Balanced Mesh Method)<sup>[8][9]</sup>이 있다. 그림 4-b의 BMM은 부분적으로 FMM을 사용하고 이를 BTM으로 연결해주는 방법이다.

이는 mesh method의 장점인 배선의 단순성과 balanced tree method의 장점인 균형을 동시에 고려했으나, 불필요하게 사용되는 배선량이 여전히 많다는 것이 문제가 된다.

본 논문은 위에서 제시한 문제들을 해결하기 위해 다음의 2가지 알고리즘을 제안한다. 첫째로 제안하는 알고리즘은 비용 함수를 이용한 계층적 분할로 sink의 이동이 주안점이 된다. 여기에서 비용 함수는 Elmore delay의 수치에 직접적인 영향을 주는 거리와,

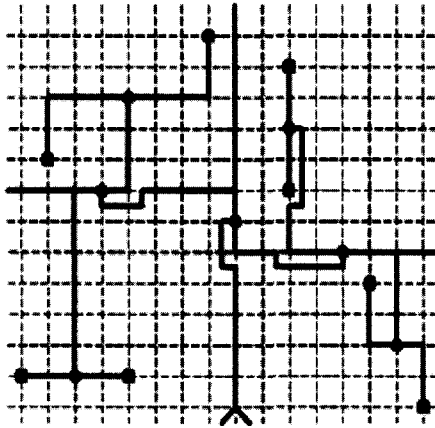
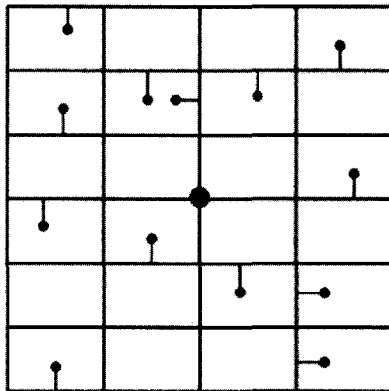
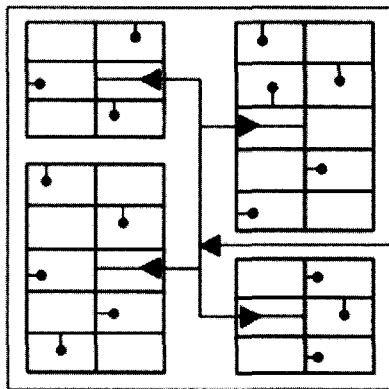


그림 3. Cutting Line Embedding(CLE)  
Fig. 3. Cutting Line Embedding(CLE).



(a) Fixed Mesh Method(FMM)



(b) Balanced Mesh Method(BTM)

그림 4. 그물 구조 방법  
Fig. 4. Mesh Method.

capacitance의 수치를 중심으로 만들었다. 이 비용 함수로 인해 Elmore delay의 연산에서 큰 오류를 발생하게 하는 불균등 형태의 clock tree를 미연에 방지함으로써, Elmore delay를 이용한 clock tree 생성에 효율적으로 대응하게 된다. 비용 함수는 기존의 Method of Means and Medians(MMM)과 순서는 크게 다르지는 않으나

MMM과는 달리 sink의 개수뿐만이 아니라 capacitance와 clock tree의 distance를 모두 고려할 수 있다는 점이 큰 차이점이다. 이로 인해 배선 길이가 길어지는 MMM의 단점을 해결할 수 있다. 또한 capacitance를 고려함으로써 sink의 capacitance의 차이로 인한 skew 발생까지 고려할 수 있다.

둘째로 제안한 Overlap Avoidance Routing Algorithm(OARA)은 배선 트리상의 zero skew 점으로부터 skew 범위를 벗어나지 않는 범위 내에서 연결점을 이동하여 총 배선 길이와 지연 시간을 감소시키는 routing 방법이다. 이때 overlap이 발생하는 부위를 근소한 차이로 re-routing하여 overlap을 제거함으로써 대각선 연결 없이 근소한 skew 증가만으로 수직과 수평의 두 방향만을 가지고 routing을 완성할 수 있다.

## II. Clock Tree Synthesis

다음에서 계층적 clock tree를 구성하기 위한 분할(partitioning), 이를 최적화하기 위한 분할 재구성(partition refinement), 그리고 완성된 계층적 group을 wire의 overlap 없이 clock tree로 연결하는 과정인 overlap avoidance routing 과정에 대해 설명한다.

### 1. Top-down 분할

본 논문은 크게 top-down 과정과 bottom-up 과정으로 나뉘며, top-down 과정에서는 routing을 용이하게 하기 위한 계층적 구조를 생성하고, bottom-up 과정에서는 완성된 계층적 구조를 연결하여 routing을 수행하는 구조를 가지고 있다. 이때 반복적으로 수행되는 top-down 과정은 분할과 분할 재구성으로 이루어지며, 내용은 다음과 같다.

Step1. 주어진 sink 집단에 대해 x와 y 방향으로 각각 2개씩 총 4개의 group을 만들어 초기 분할로 잡는다.

Step2. 비용 함수를 기준으로 비용이 줄어드는 방향으로 group간에 sink를 이동한다.

Step3. 모든 group에 대해 더 이상 이동할 sink가 없고, 내포한 sink가 2개 이상일 경우 depth를 1 증가시키고, 만들어진 각각의 group에 대해 Step 1부터 다시 분할을 반복한다.

### 가. 분할 재구성(Partition Refinement)

지연 시간은 wire의 resistance와 capacitance에 의해

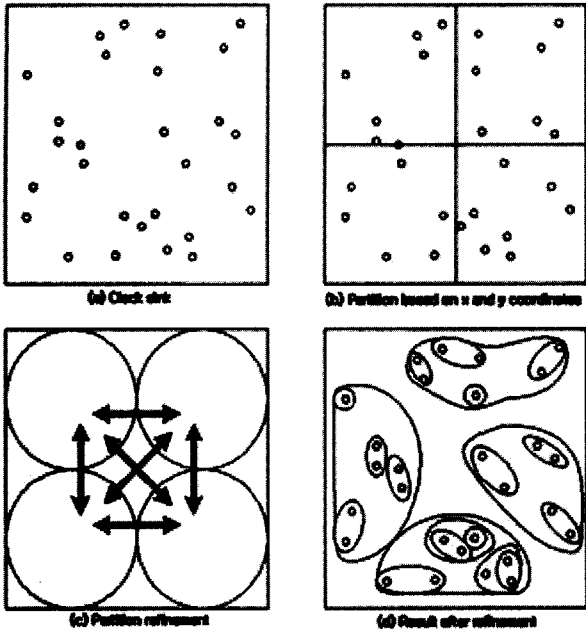


그림 5. 분할 과정  
Fig. 5. Partition step.

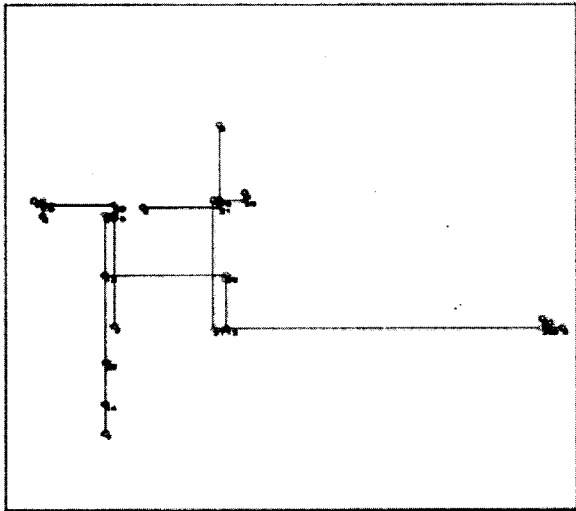


그림 6. MMM을 바탕으로 한 배선  
Fig. 6. MMM based routing.

결정된다. 그러므로 skew를 0으로 만들기 위해서는 wire의 resistance와 capacitance를 같게 해줄 필요가 있으며, skew를 줄이기 위해 delay를 줄이는 방법, 다시 말해 wire의 길이를 최소화 하는 방법을 들 수 있다. 위의 2가지 요소, 즉 load capacitance와 resistance의 balance를 맞추고, clock tree의 wire length를 줄여 skew를 최소화하기 위해 MMM, GMM등의 많은 clock routing 방법이 연구되어 왔다. 우리는 여기에서 기존의 논문과 다르게 비용 함수를 이용하여 resistance와 capacitance, wire length를 동시에 고려함으로써 최적화된 group들을 생성한다.

분할 재구성은 비용 함수를 기준으로 분할 과정에서 만들어진 group간에 sink를 이동하여 group을 최적화 하는 과정을 말한다. 매 depth에 초기 분할을 통한 group이 생성될 때마다 재구성(refinement)을 수행하게 되며, 이때 비용 함수를 기준으로 이동 유무를 판단하여 비용이 줄어드는 방향으로만 sink를 이동하게 된다.

$n$ 개의 group 중에서  $k$  group의 sink의 집합을  $G_k$ ,  $G_k$  내부의 sink의 개수를  $n_k$ ,  $G_k$  내부의 load capacitance의 합을  $C_k$ ,  $G_k$  내부의 sink  $a$ 와 무게중심 간 거리를  $d_{ka}$ ,  $G_k$  내부의 모든  $d_{ka}$ 를 더한 값을  $D_k$ 라 하면 비용 함수는 다음과 같다,

$$Cost = \frac{D_1^2 + D_2^2 + \Lambda + D_{n-1}^2 + D_n^2}{C_1 \times C_2 \times \Lambda \times C_{n-1} \times C_n} \quad (1)$$

$$D_k = \sum_{a=1}^i d_{ka} \quad (2)$$

위의 식에서 무게중심과 sink의 거리, 즉 wire의 길이가 짧을수록, 또한 그 길이가 비슷할수록 비용은 줄어들게 되고, sink의 개수가 비슷할수록, 또한 load capacitance가 비슷할수록 비용은 줄어들게 된다. 따라서 delay에 증대한 영향을 미치는 load capacitance와 resistance를 비슷하게 함으로서 delay를 비슷하게 만들 수 있고, 이로 인해 skew는 줄어들게 된다. 또한 wire의 길이를 줄임으로 인해 delay를 줄여 skew를 줄여 줄게 한다.

그림 6과 7을 비교했을 때, 같은 exact zero skew routing 방법을 사용했음에도 불구하고 MMM을 바탕으로 연결한 길이가 46990um, 본 논문에서 제안한 비용 함수를 사용하여 연결한 길이가 35060um로, 비용 함수를 바탕으로 한 routing이 wire의 길이 면에서 훨씬 좋은 결과를 보여주고 있음을 쉽게 알 수 있다.

## 2. Clock tree routing

Bottom-up 과정은 overlap avoidance routing을 바탕으로 하는 zero skew routing을 수행한다. 이는 배선 경로 결정, overlap avoidance를 고려한 zero skew routing의 단계로 이루어진다. 다음 그림 8에서와 같이 배선 경로를 결정하면 overlap 되는 배선 영역이 있는지 판단하게 된다. 선택한 배선 경로 상에서 overlap이 발생하는 경우 overlap avoidance 알고리즘을 적용하며, 더 이상 overlap이 존재하지 않는다면 routing을 완료하

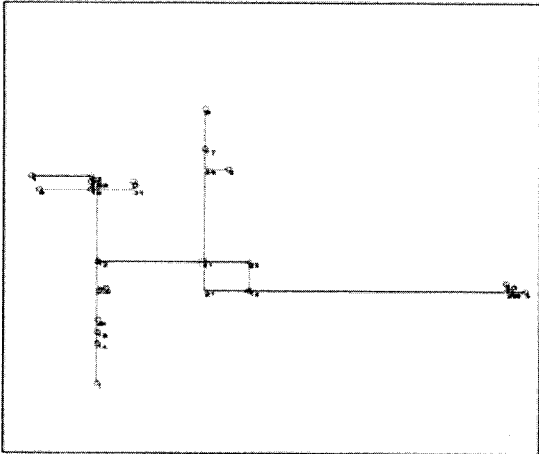


그림 7. 본 논문에서 제안한 비용 함수를 기초로 한 분할에서의 배선  
Fig. 7. Routing with cost function proposed in this paper.

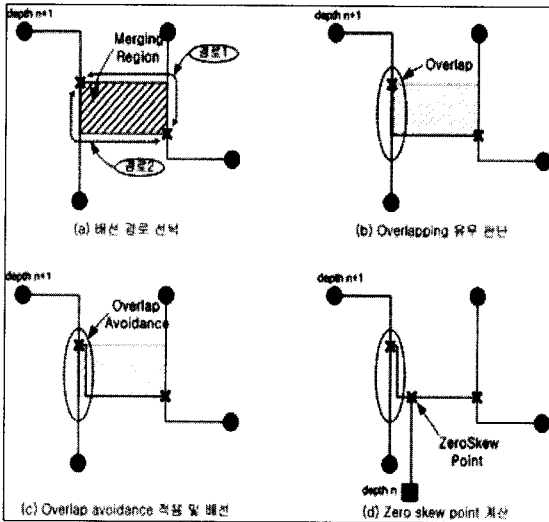


그림 8. 배선 과정  
Fig. 8. Routing.

고 zero skew point를 계산하게 된다.

가. Zero Skew Routing

배선 과정에서는 Elmore delay를 바탕으로 한 zero skew routing 방법을 사용한다. 서로 연결해야 할 2개의 point 사이에 skew가 0이 되는 zero skew point를 찾아, 다음 depth에 연결할 point로 전환하는 것으로 zero skew point를 찾는 방법은 다음과 같다.

$$D_{Elmore} = xR_0(0.5xC_0 + C_{t1}) + t_1 = (l-x)R_0(0.5(l-x)C_0 + C_{t2}) \quad (3)$$

$$x = \frac{(t_2 - t_1) + l(0.5C_0l + C_{t2})}{C_0l + C_{t1} + C_{t2}} \quad (4)$$

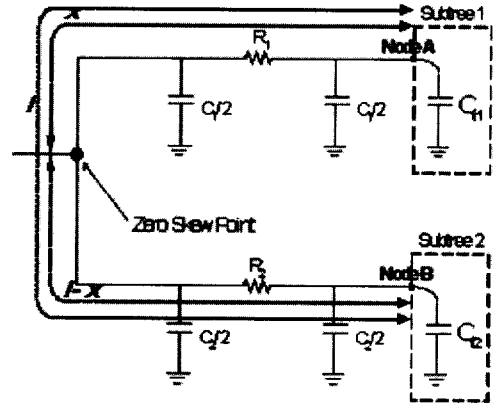


그림 9. Exact zero skew  
Fig. 9. Exact zero skew.

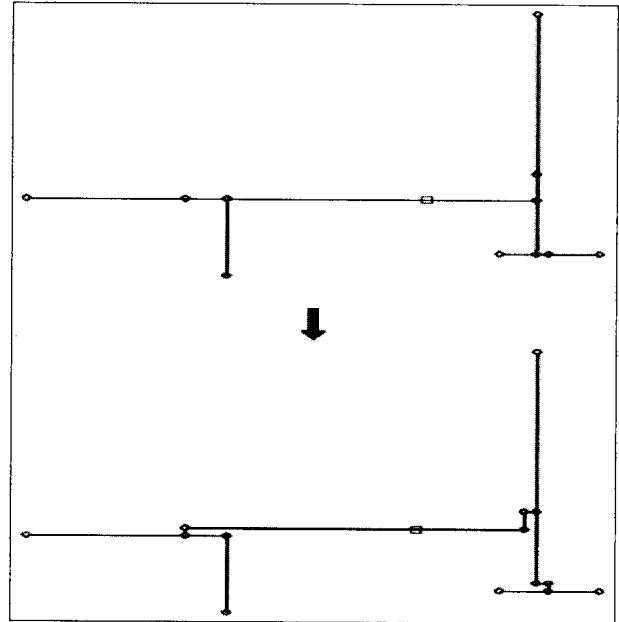


그림 10. 중첩 회피를 적용한 예제  
Fig. 10. Example of Overlap Avoidance.

- $l$  : node A에서 node B 사이의 거리
- $x$  : 하나의 node에서 zero skew point까지의 거리
- $R_0$  : 단위 길이당 resistance
- $C_0$  : 단위 길이당 capacitance
- $C_{t1}$  : node A 하단의 subtree 및 sink들의 capacitance와 로드 capacitance의 합
- $C_{t2}$  : node B 하단의 subtree 및 sink들의 capacitance와 로드 capacitance의 합
- $t_1$  : subtree 1의 lumped delay time
- $t_2$  : subtree 2의 lumped delay time

나. Overlap Avoidance Routing Algorithm (OARA)  
분할을 이용한 zero skew routing 방법에서 본 논문

은 Manhattan distance를 이용한, 수직과 수평의 routing방법을 사용한다. x, y의 2방향만을 이용한 routing에서 skew를 최소화하기 위해서는 overlap이 되는 구간이 생길 수 있다. 본 논문에서는 이를 해결하기 위해 겹치는 배선으로부터 일정한 거리를 두도록 하여 overlap을 피하는 OARA를 사용한다. 이 과정은 routing 과정 중 overlap이 발생할 경우에만 필요하며, overlap이 없을 경우 이 과정을 생략함으로써 길이를 최소화하는 방법을 취한다. 배선의 최소 이동간격은 6 λ로 공정에 따라 interconnection wire (metal) 간의 최소간격을 유지할 수 있도록 하였다.

A와 B, C와 D를 각각 routing해야 할 2개의 set이라 할 때 OARA를 바탕으로 한 routing 방법은 다음과 같다.

- Step1. A와 B, C와 D를 x와 y 방향만을 이용하여 연결한다.
- Step2. 연결 가능한 경로가 2개 이상일 때 이들 중 다음 연결할 곳에 가까운 경로를 선택한다.
- Step3. 경로 상에 overlap이 없을 경우 step 5를 실행한다.
- Step4. overlap이 있을 경우 overlap 구간을 overlap을 피할 수 있는 곳까지, 공정에서 허용하는 최소한의 거리를 띄워 overlap을 없앤다.
- Step5. zero skew point를 찾는다.

그림 10은 overlap avoidance 알고리즘을 적용한 예이다.

OARA는 필연적으로 clock skew를 증가시킨다. 그러나 결과에서 알 수 있듯이 스큐의 증가량은 매우 적어 전체적인 clock skew값에 큰 영향을 미치지 않는다.

### III. 실험 결과

다음의 표 1은 주어진 10개의 좌표에 대해 MMM 방식을 이용하여 2개의 group을 만든 결과이다.

표 1에서 주어진 데이터를 바탕으로 group 1 내부에 있는 sink 5개와 group 2 내부에 있는 sink 5개를 바꾸어가며 비용을 계산한다. 표 2는 top-down 분할을 반복하여 얻어진 결과이다.

표 2를 표 1과 비교해 볼 때 비용이 줄어드는 것을 알 수 있다. 표 2에서 주어진 10개의 sink는 depth 3까

표 1. Sink 10개의 MMM 결과 및 initial 비용  
Table 1. Partition of 10 sinks after MMM process and initial cost.

group	sink 좌표		capacitance	initial 비용
	x	y	[pf]	
1	41	491	65	1930085
	53	467	65	
	140	123	130	
	142	235	65	
	153	292	65	
2	193	481	65	
	300	610	65	
	335	503	195	
	750	303	65	
	778	288	65	

표 2. Depth 1에서 비용 값을 바탕으로 sink 이동 후 좌표 및 비용

Table 2. New partition and cost after refinement.

group	sink 좌표		capacitance	비용
	x	y	[pf]	
1	41	491	65	1723933
	53	467	65	
	140	123	130	
	142	235	65	
	153	292	65	
2	193	481	65	
	300	610	65	
	335	503	195	
	750	303	65	
	778	288	65	

표 3. 비용 값을 바탕으로 sink 이동 후 최종 결과값

Table 3. Final partition and cost.

depth	sink 좌표		capacitance		
	1	2		3	
1	3	193	481	65	
		53	467	65	
		140	123	130	
		142	235	65	
	4	7	153	292	65
			41	491	65
		8	300	610	65
			335	503	195
2	5	750	303	65	
		778	288	65	
	6	750	303	65	
		778	288	65	

지의 분할 과정을 거치며, 총 5개의 group을 생성했다. 그 결과는 표 3과 같다.

위에서도 보였듯이 MMM을 바탕으로 routing한 그림 6과 본 논문에서 제안한 비용함수를 사용한 분할을 바탕으로 routing한 그림 7을 비교해보면 비용함수를 사용한 분할이 MMM에 비해 더 짧은 길이의 routing

표 4. MMM과의 clock skew 비교

Table 4. Comparisons of MMM and our method.

Example	MMM			Our method			항상 효과 [%]
	Delay[ps]		Clock Skew [ps]	Delay[ps]		Clock Skew[ps]	
	Max	Min		Max	Min		
circuit1 (sink28)	1265.1	707.1	558	573.84	572.8	1.04	99.8
circuit2 (sink28)	1013.7	612.44	401.26	550.73	465.6	85.13	78.8
circuit3 (sink50)	1537.7	852.13	685.57	1217.6	1018.6	199	71.0
circuit4 (sink100)	2210.7	886.9	1323.8	1705.8	1669.2	36.6	97.2
circuit5 (sink100)	1828.7	709.17	1119.53	1675.6	1296.5	379.1	66.1
circuit6 (sink500)	4124.5	2617.8	1506.7	3548.2	3127.6	420.6	72.1
circuit7 (sink1000)	7456.3	4824.7	2631.6	6050.3	6920.7	870.4	66.9

표 5. OARA 적용 결과 비교

Table 5. Result after OARA.

Example	Zero Skew Routing			Zero Skew Routing + OARA		
	Delay[ps]		Clock Skew [ps]	Delay[ps]		Clock Skew [ps]
	Max	Min		Max	Min	
circuit5 (#sink=100)	1675.6	1296.5	379.1	1691.4	1298.3	393.1
circuit6 (#sink=500)	3548.2	3127.6	420.6	3640.7	3128.5	512.2

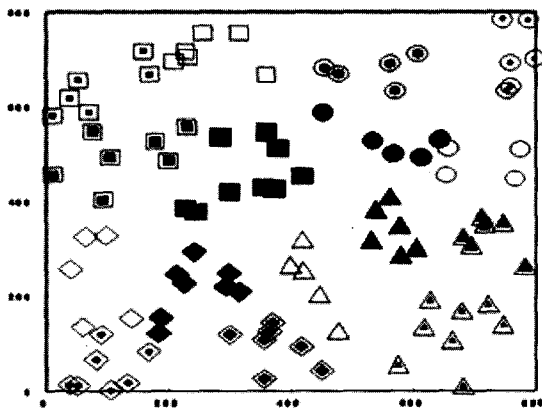


그림 11. 계층적 구조의 분할  
Fig. 11. Hierarchical partitioning.

구조를 가지는 것을 알 수 있다.

이로 인해 group 생성과정에서 MMM과는 달리 비용 함수 바탕의 분할은 routing 길이를 충분히 고려했음을 알 수 있다. 위의 표 4에서 제시한 분할 자료에 대해 MMM 방식과 clock skew를 비교하였다. 표 4에서

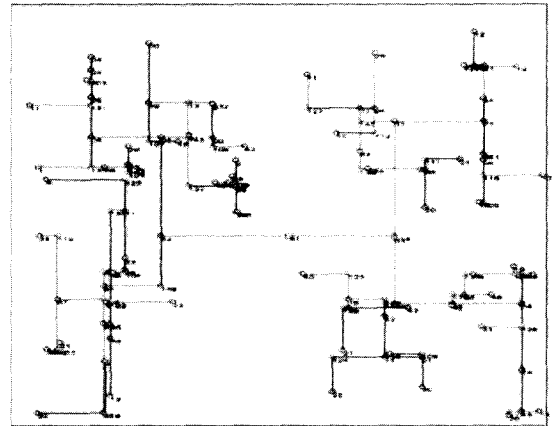


그림 12. routing 결과

그림 12. 배선 결과  
Fig. 12. Routing result.

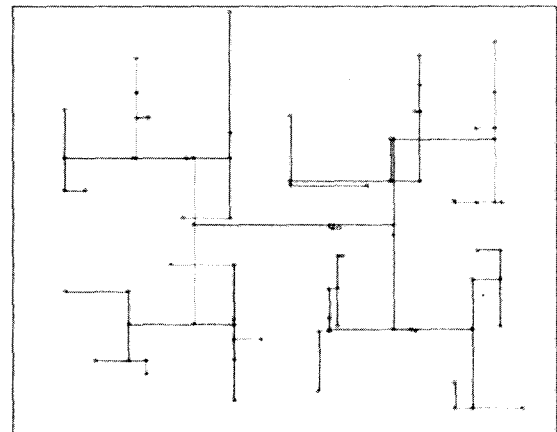


그림 13. circuit1에 OARA를 적용하지 않은 배선 결과  
Fig. 13. Routing result of circuit 1 without OARA.

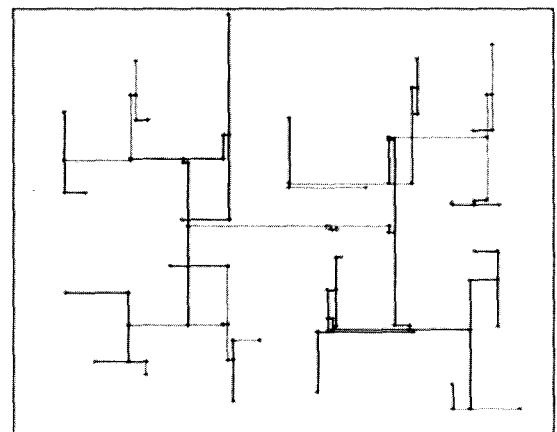


그림 14. circuit1에 OARA를 적용한 배선 결과  
Fig. 14. Routing result of circuit 1 with OARA.

circuit 1이 표 3의 결과에 해당된다.

새로 제안한 방법을 MMM<sup>[2]</sup>과 비교하였다. 실험결과는 모두 HSPICE를 이용해 얻었으며 배선 모형으로는  $\pi$ 형 분산 RC 모델을 사용하였다. 배선의 단위 길이 당 저항, 커패시턴스, 로드 커패시턴스 값은,  $R_0 =$

$0.07[\Omega/\mu m]$ ,  $C_0 = 0.113 [fF/\mu m]$ 이다.

예제 회로는  $8000 \times 8000 (\mu m^2)$ 의 영역에 sink 좌표를 임의로 생성한 것이다. Test 회로에 적용한 결과 MMM 적용시 clock skew가 66.1~99.8%까지 줄어드는 것을 볼 수 있다.

다음에 있는 그림 중 그림 11은 circuit 6의 분할 결과이며 그림 12는 circuit 4의 routing 결과이다.

#### IV. 결 론

분할을 위한 새로운 비용 함수는 clock sink의 개수와 배선길이를 동시에 고려하며, tree 형태의 배선에 있어 연결하기 쉬운 계층구조를 만들어준다. 이는 zero skew를 지향하는 다른 방법에 비해 간단하면서도 작은 clock skew를 갖는 routing을 가능하게 한다.

또한 capacitance의 고려로 인해, capacitance의 좌우 불균등으로 인해 생기는 clock skew를 효과적으로 줄일 수 있다.

배선의 overlap을 효과적으로 제거하는 overlap avoidance 알고리즘은 실제 chip 설계에 사용이 가능한, 유용한 clock routing 방법이다.

#### 참 고 문 헌

- [1] K. Ryoo, H. Shin, J. Chong, "A New Clock Routing Algorithm Using Link-Edge Insertion for High Performance IC Design", IEICE Transactions on Fundamentals of Electronics Communications & Computer Sciences, Vol. E83-A, no.6, pp. 1115-22, 2000.
- [2] M. A. B. Jackson, A. Sirinivasan and E. S. Kuh, "Clock Routing for High-Performance ICs", Proceeding of 27th DAC, pp. 573-579, 1990.
- [3] A. Kahng, J. Cong and G. Robins, "High-Performance Clock Routing Based on Recursive Geometric Matching", Proceeding of 28th DAC, pp. 322-327, 1991.
- [4] J. Cong, A. Kahng, G. Robins, "Matching-Based Methods for High-Performance Clock Routing", Proceedings of IEEE Transactions on CAD, vol. 12, pp. 1157-1169, 1993.
- [5] K. D. Boese, A. B. Kahng, "Zero-Skew Clock Routing Trees With Minimum Wire Length", Proceedings of IEEE 5th International ASIC Conference, pp. 111-115, 1992.
- [6] M. Edahiro, "A Clustering-Based Optimization Algorithm in Zero-Skew Routings", Proceedings

of ACM/IEEE Design Automation Conference, pp. 612-616, 1993.

- [7] H. S. Kim, D. Zhou, "Efficient Implementation of a Planar Clock Routing with the Treatment of Obstacles", Proceedings of IEEE Transactions on CAD, vol. 19, pp. 1220-1225, 2000.
- [8] H. Sato, A. Onozawa and H. Matsuda, "A Balanced-Mesh Clock Routing Technique using Circuit Partitioning", ED&TC, pp. 237-243, 1996.
- [9] H. Sato, H. Matsuda and A. Onozawa, "A Balanced-Mesh Clock Routing Technique for Performance Improvement", IEICE Transaction on Fundamentals, vol. E80-A, pp. 1489-1495, 1997.

#### 저 자 소 개



이 성 철(학생회원)  
2001년 한양대학교  
전자컴퓨터공학부 학사.  
2003년 한양대학교 전자전기 제어  
계측공학과 석사.  
2004년 한양대학교 전자전기 제어  
계측공학과 박사과정.

<주관심분야 : CAD&VLSI, 반도체>



신 현 철(정회원)  
1978년 서울대학교 전자공학과  
학사.  
1980년 한국과학기술원  
전기 및 전자공학 석사.  
1983~1987년 U.C. Berkeley Ph.D  
1983~1987년 Fulbright scholarship  
1987~1989년 MTS, AT&T Bell Lab's, Murray  
Hill N.J., USA

1989~현재 한양대학교 전자컴퓨터공학부 교수  
1997~현재 IDEC 한양대학교 지역센터 센터장  
<주관심분야 : CAD&VLSI, 통신용 반도체 설계,  
저전력설계>