

논문 2004-41SD-5-11

# 저 전압용 96-dB 신호대잡음비를 갖는 저역통과 디지털 과표본화 잡음변형기의 설계

(Design of a 96-dB SNR and Low-Pass Digital Oversampling  
Noise-Shaping Coder for Low Supply Voltage)

김 대 정\*, 손 영 철\*\*

(Daejeong Kim and Young-Chul Sohn)

## 요 약

음성신호 대역을 처리할 수 있는 정밀도를 가지는 디지털 과표본화 잡음변형기를 설계하였다. 디지털 잡음변형기가 IP의 형태로 최적화 된 설계가 되기 위해, 2.0 V의 저 전압에서 동작할 수 있고 하드웨어 소모면적을 최소화 할 수 있는 방안이 초점을 맞추어 디지털 데이터처리 동작을 위한 곱셈기능, ROM 구조 등의 회로설계를 최적화 할 수 있는 방안을 제시하였다. 설계 및 검증의 방법론에 있어서는 동작수준의 시뮬레이션을 통하여 전체 구조 및 내부 비트 수를 결정하였고, 트랜지스터 수준의 시뮬레이션을 통해 전체 타이밍과 최종 성능을 예측하였다. 또한 0.35- $\mu\text{m}$  표준 CMOS 공정으로써 테스트 칩을 제작한 후 측정하여 시뮬레이션 결과와 부합함을 확인함으로써 제안하는 회로와 설계 방법론이 효과적임을 검증하였다.

## Abstract

A digital over-sampling noise-shaping coder to achieve the processing accuracy for the audio signal bandwidth is designed. In order to implement an optimized design of the noise-shaping coder as a form of IP (intellectual property), circuit design techniques that optimize the multiplication and the ROM architectures are proposed with emphasis on the low-voltage operation under 2.0 V and the minimization of the hardware resources. In the design and verification methodology, the overall architecture and the internal bit width have been determined through behavioral simulations. The overall performances including timing margin have been estimated through transistor-level simulations. Furthermore, the test results of the implemented chip using a 0.35- $\mu\text{m}$  standard CMOS process proves the validity of the proposed circuits and the design methodology.

**Keywords**: oversampling, noise-shaping, D/A converter

## I. 서 론

과표본화 기법(oversampling technique)은 신호처리의 많은 부분을 디지털 영역에서 처리하므로 작은 아날로그 회로의 부담으로써도 높은 해상도를 구현할 수 있는 기법이다. 특히 A/D 변환이나, D/A 변환에 있어서,  $\Delta\Sigma$  변조기는 해상도가 매우 낮은 양자화기(quantizer)를

사용하여도 양자화 잡음의 전력을 신호대역 바깥으로 밀어냄으로써 효과적인 신호대잡음비를 구현할 수 있는 가장 일반적인 잡음변형 부호기이다. 특히, 최근의 VLSI 기술의 비약적인 발전을 통해 복잡한 디지털 신호의 고속처리가 가능해져 단일 칩으로서 이러한  $\Delta\Sigma$  데이터 변환기를 구현할 수 있게 되었다<sup>[1-2]</sup>. SoC (system-on-a-chip) 시대에는 이러한 데이터 변환기가 IP의 형태로 구현되어 재활용되므로 점점 더 작은 칩 면적을 요구하고 있다.

본 논문에서는 16비트 디지털 오디오 신호를 아날로그 신호로 변환하는  $\Delta\Sigma$  D/A 변환기를 구현하기 위한 디지털 4차 단일 루프 잡음변형기 (single-loop noise-

정회원, 국민대학교 전자정보통신공학부  
(School of Electrical Engineering, Kookmin Univ.)  
\* 정회원, 하이닉스 반도체  
(Hynix co., LTD)  
접수일자: 2004년3월4일, 수정완료일: 2004년5월3일

shaping coder)의 하드웨어 구현에 있어서 최적화 된 회로를 새롭게 제안한다. D/A 변환기능 및 데이터와 계수와의 곱셈 기능을 동시에 수행하는 ROM 선택 방식과 더불어 ROM 구현에 있어서 새로이 buffer-and-routing 방식을 제안하여 하드웨어의 부담을 최소화 하였다. 이러한 하드웨어 최적화의 관점에서 새로운 회로를 설계함과 아울러 설계된  $\Delta\Sigma$  디지털 잡음변형기의 full-custom 방식의 설계과정에 대하여도 상세히 다룬다. 먼저, 전체 구조를 결정하는 데 있어서는 동작수준의 시뮬레이션을 행하고, 타이밍과 전체 성능을 예측할 때에는 트랜지스터 레벨의 넷리스트로써 verilog 시뮬레이션을 활용하였고, 표준 0.35- $\mu\text{m}$  CMOS 공정으로써 full-custom 방식의 칩을 구현함으로써 본 논문의 유용성을 검증하였다.

## II. 잡음변형기의 구조

### 1. Butterworth 잡음변형 부호기의 기본 구조

본 논문에서의 신호대역은 음성신호인 24 kHz로서 설정하였다. 목표로 하는 96 dB 이상의 신호대잡음비를 구현하기 위해서는 변조기 차수와 신호 대역의 크기 및 주요 회로동작의 속도를 감안하여 4차의 변조기를 선택하고, 과표본화비(oversampling ratio)를 256으로써 결정하였다<sup>[1-2]</sup>. 이에 따라 음성신호대역의 나이퀴스트율(Nyquist-rate)의 주파수  $f_s$ 는 48 kHz이고, 과표본화 주파수 256 $f_s$ 는 12.288 MHz 이다.

그림 1은 본 논문에서 채택한 4차 잡음변형기의 선형 모델이다. A/D 변환기와 같은 양자화기는 대표적인 비선형 블록으로서 선형모델의 경우는 양자화 잡음이 백

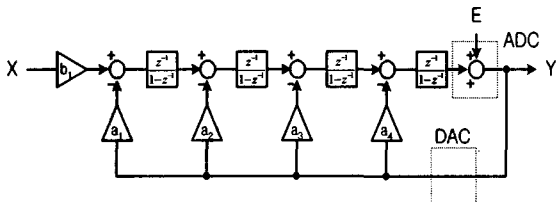


그림 1. 단일 계환 구조를 갖는 4차 변조기의 선형모델  
Fig. 1. Linear model of the single-loop 4th-order modulator.

표 1. 4차 변조기의 계수 값  
Table 1. Coefficients of the 4<sup>th</sup>-order modulator.

	n=1	n=2	n=3	n=4
$a_n$	0.0005	0.0094	0.0822	0.4103
$b_n$	0.0005	0	0	0

색잡음(white noise)임을 가정하여 양자화잡음 E가 더해지는 것으로 모델링 한다. 본 논문의 응용에서는 DC가 신호성분이 아니므로 회로의 안정도를 높이기 위해 입력신호가  $b_1$ 의 이득을 거쳐 첫 번째 summing node에만 가해지도록 설계하였다<sup>[3-4]</sup>.

이러한 구조의 잡음변형기는 신호가 가해지는 위치에 따라 다른 형태의 동작을 한다. 입력신호 X에 대해서는 부호기가 저역통과 필터로서 작용하고, 양자화잡음 E에 대해서는 부호기가 고역통과 필터로서 작용하므로 신호대역 내의 저주파 입력신호는 그대로 통과하고, 양자화잡음은 필터링 되어 신호대역 내에서의 신호대잡음비는 매우 높은 값을 유지할 수 있다. 그림 1에서 신호 성분 X에 대한 전달 함수는 식 (1)과 같다. (N=4)

$$H_s(z) = \frac{Y(z)}{X(z)} = \frac{b_1}{a_1 + a_2(z-1) + \dots + a_N(z-1)^{N-1} + (z-1)^N} \quad (1)$$

식 (1)에서 통과대역 (passband) 내에서 최대한 평탄한 특성을 갖도록 Butterworth 저역통과 필터의 개념으로써 각각의 계수  $b_1, a_1, a_2, a_3, a_4$ 를 구하여 표 1에 나타내었다<sup>[2]</sup>.

### 2. 동작수준(behavioral level) 모델을 통한 구조의 검증

그림 1의 선형모델은 입력신호의 크기가 작고 양자화 잡음이 random 할 때 사용할 수 있으며 주파수 특성을 이해하는 데 사용가능한 모델이다. 그러나 입력신

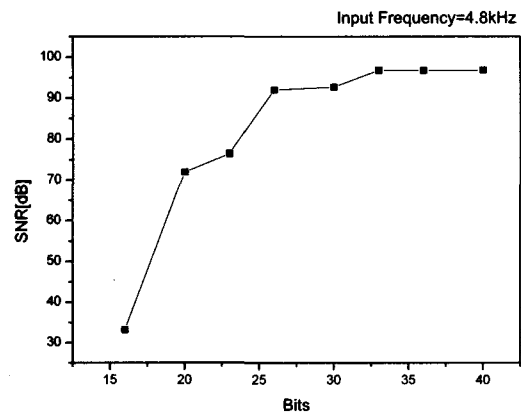


그림 2. 내부 연산비트수의 변화에 따른 신호대잡음비의 동작수준의 시뮬레이션 결과  
Fig. 2. Behavioral-level simulation results of SNR in function of internal bit width.

호의 크기가 커지거나 양자화기의 비선형성분을 포함하는 동작을 확인하기 위해서는 시간 영역에서의 동작수준의 모델링을 통한 동작수준 모델의 검증이 필수적이다. 이때, 변조기 내의 내부 연산비트 수를 결정하기 위하여 matlab을 이용한 동작수준 모델의 시뮬레이션을 행하였다. 그림 2는 내부연산비트수를 변화시키면서 신호대잡음비를 측정된 결과이다.

시뮬레이션 결과, 원하는 신호대잡음비의 측면에서는 33비트의 내부 연산비트수가 적합한 것으로 판단되었다. 이에 따라 MSB는 입력신호의 부호(sign) 비트, 다음의 15비트는 정수부분의 데이터(integer data)로서 할당하고, 나머지 17비트는 소수부분의 데이터(floating data)로서 할당하였다.

그림 3은 33비트의 내부 연산비트수를 갖는 그림 1의 4차 변조기에 신호대역인 24 kHz 이내인 0 dB 크기의 4.8 kHz 사인과 입력을 넣었을 때의 동작수준 모델의

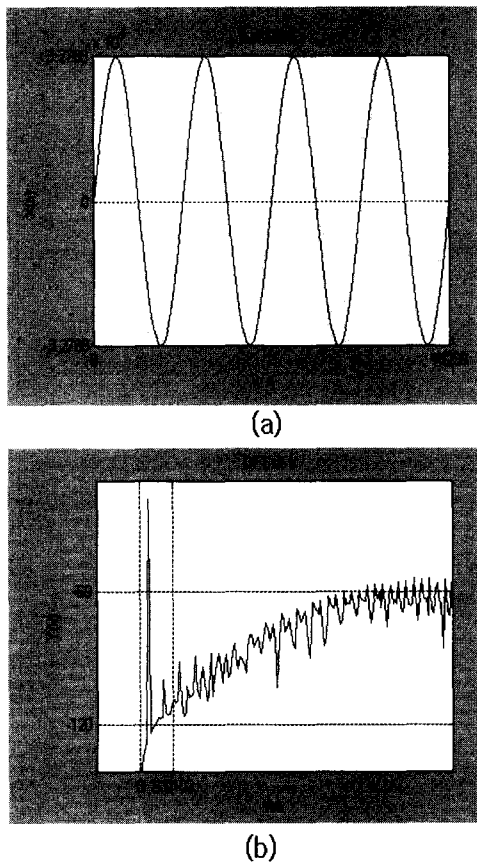


그림 3. 4.8 kHz의 in-band 신호를 가했을 때의 동작수준 모델의 시뮬레이션 결과 (a) 0 dB 입력신호 (b) 출력 Y의 주파수특성  
Fig. 3. Behavioral-level simulation results when a 4.8 kHz in-band signal is applied. (a) 0 dB input. (b) Frequency response of output Y.

시뮬레이션 결과를 보인 것이다. 출력신호 Y의 주파수 특성은 동작수준 모델의 시뮬레이션으로부터 출력된 2<sup>n</sup>개의 Y[n]을 FFT함으로써 구한 것이다. 이 때, 오차를 포함하고 있는 첫 번째 데이터에 의한 신호대잡음비의 망가짐 현상을 피하기 위하여 많은 데이터 표본 중 후반부의 것을 취하는 등의 세심한 고려를 하였다. 이 결과는 그림 2의 결과에서 내부 비트 수가 33비트의 경우와 일치하는 것이다.

### III. 잡음변형 부호기의 회로설계

#### 1. ROM 선택 방식을 이용한 곱셈기의 구현

그림 1의 구조는 기본적으로 곱셈기, 가산기, 적분기를 필요로 하며, 계수 b<sub>1</sub>, a<sub>1</sub>, a<sub>2</sub>, a<sub>3</sub>, a<sub>4</sub>의 곱셈 연산을 모두 곱셈기로 구현한다면 하드웨어의 면적이 상당히 커지게 된다. 또한 과표본화율이 256이나 되므로 디지털 회로 동작의 타이밍 여유가 많지 않다.

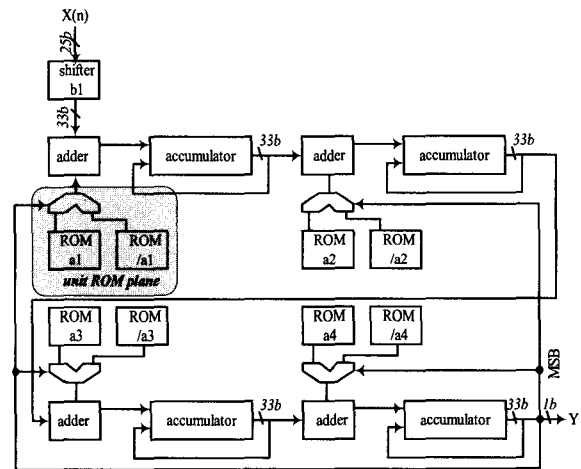


그림 4. 제안하는 잡음변형기의 하드웨어 구조  
Fig. 4. Hardware scheme for the proposed noise-shaping coder.

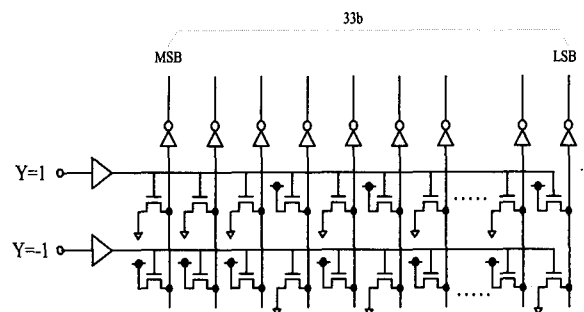


그림 5. ROM 선택방식을 위한 static ROM 평면의 회로 구현의 예  
Fig. 5. Exemplary circuit realization of the static ROM plane for the ROM-selection method.

본 논문에서는 이러한 계수와 데이터의 곱셈 연산을 행하는 데 있어서 최소 하드웨어 소모나 고속 동작의 측면에서 매우 효율적인 방안을 제시하고자 한다.

그림 4에 제안된 구조는 이러한 하드웨어 부담의 최소화 관점에서 결정된 제안하는 잡음변형기 구조의 내부 회로블록도이다. 잡음변형부호기의 출력단에 있는 양자화기인 ADC의 출력 Y는 적분기(accumulator)의 출력 33비트 중에서 부호비트인 MSB를 취하는 것으로서 구현하였다. 계수  $b_1, a_1, a_2, a_3, a_4$ 와 입력  $X(n)$ 과의 곱셈 기능은 33비트 곱셈기를 사용하지 않고 원하는 신호대잡음비를 구현할 수 있는 방안을 강구하였다.

곱셈기능에 있어서, 계수  $b_1$ 은 2진수의 경우 0.00000000001000001(2) 이므로  $2^{-17}$  자리 비트에 의한 전체 신호대잡음비의 영향은 본 논문에서 목표로 하는 96 dB보다 훨씬 작은 영향을 미치므로 이를 무시하여, 입력  $X(n)$ 과의 곱셈 연산 시 입력신호의 자리수의 단순한 shifting (11자리 수의 오른쪽 이동)을 이용한 간략화 된 곱셈 방식을 채택하였다.

출력 Y와 계수  $a_1, a_2, a_3, a_4$ 의 곱셈기능을 위해서는 곱셈기를 사용하지 않고 출력 Y의 두 가지 값인 1 또는 -1의 경우의 각 계수와의 곱을 미리 ROM에 저장한 후 출력 Y의 결과에 따라 ROM을 선택하는 새로운 'ROM 선택방식'을 채택하였다. 그림 1에서의 DAC는 출력 Y의 값이 1일 때는 부호를 포함하는 +32768이 되며, -1일 때는 -32768의 16비트의 데이터를 출력하므로 이 값과 각각의 계수  $a_1, a_2, a_3, a_4$ 와 곱한 값을 각각의 ROM에 저장하여 Y에 의해 선택되어 출력되도록 한다. 이를 위해 단위 ROM 평면 (ROM plane)은 그림 4에 보인 바와 같이 Y의 값이 "1"인 경우의 ROM, Y의 값이 "-1"인 경우의 ROM 및 멀티플렉서 (multiplexer)로써 구성된다.

## 2. Buffer-and-routing 방식의 ROM의 구현

그림 5는 ADC의 출력 Y에 따라 다르게 프로그래밍 되어있는 제안하는 ROM 선택방식을 위한 static ROM 개념을 사용한 회로의 구현 예를 보인 것이다. 이 구조는 각 비트마다 스위치 트랜지스터가 존재하고 프로그래밍 되어 있는 값에 따라 스위치 트랜지스터의 드레인에 VDD 혹은 GND가 하드웨어적으로 연결되어 있으며, 출력 데이터의 버퍼 역할을 위한 인버터가 존재한다. 특히 Y=1인 경우는 위쪽의 버퍼의 출력이 HIGH이고, 아래쪽 버퍼의 출력이 LOW가 되어 위쪽의 ROM 평면이 선택되며, 아래쪽 ROM 평면을 이루는 스위치

트랜지스터는 모두 OFF 되므로 Hi-Z를 구현한다. Y=-1인 경우는 반대의 경우로 동작하여 아래쪽의 ROM 평면이 선택된다. 이러한 ROM 선택방식 구조는 하드웨어 소모의 관점에서 상당히 효과적인 방법으로써 구현될 수 있는 하나의 예이다.

잡음변형기에서는 하나의 계수마다 위와 같은 형태의 ROM 평면이 사용되어야 하므로 4차 이상의 경우에는 ROM 블록이 차지하는 하드웨어 사용면적의 비중이 상당히 커진다.

본 논문에서는 이러한 ROM 블록의 하드웨어의 부담을 최소화하기 위한 새로운 구조를 제안한다. 그림 5에서와 같이 개개의 비트에 대해 스위치와 프로그래밍된 데이터들이 각각 존재하는 것이 아니라 "1"과 "-1"을 출력하는 버퍼만이 존재하고 routing 연결에 따라서 프로그래밍이 결정되는 buffer-and-routing 방식으로서 그림 6과 같이 ROM 블록은 VDD 및 GND를 입력으로 하는 tri-state 버퍼 및 routing 영역으로서 구성된다.

제안하는 buffer-and-routing 방식의 ROM에는 두 개의 global routing  $G_1, G_2$ 가 존재하며 각각 두 개의 tri-state 버퍼가 연결되어 있어서  $S="1"$  (Y 출력이 "1")일 때와  $S="-1"$  (Y 출력이 "-1")인 경우 VDD 혹은 GND에 연결된다.  $G_1, G_2$ 는 S 값에 따라 다른 전압에 연결되므로 ROM 출력 비트가 S에 따라 서로 다른 값을 갖는 경우는 두 개의 global routing 중 하나를 선택하면 된다. 그러나 S값에 상관없이 항상 "0"으로 프로그래밍 되는 비트의 경우는 global routing이 아닌 GND에 연결하고, 항상 "1"로써 프로그래밍 되는 비트는 VDD에 연결한다. 그림 7은 그림 6에서 사용된 tri-state buffer의 회로도를 보인 것이다.

그림 6에서의 4 개의 tri-state buffer는 두 개의 CMOS 인버터 형태의 버퍼로써 효과적으로 구현하고 S 신호에는 출력 Y를 가하였다.

표 2는 그림 5의 static ROM구조와 buffer-and-routing 방식의 ROM 구조를 본 논문의 잡음변형기에

표 2. Static ROM 방식과 buffer-and-routing ROM 방식의 비교

Table 2. Comparison between static ROM method and buffer-and-routing ROM method.

	Static ROM 방식	Buffer-and-routing ROM 방식
트랜지스터 수	544개	6개
ROM 지연시간	1.5 [ns]	1.5 [ns]

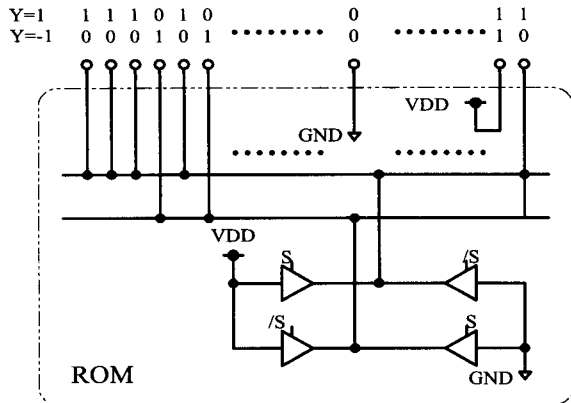


그림 6. 제안하는 buffer-and-routing ROM의 구조  
Fig. 6. Scheme of the proposed buffer-and-routing ROM.

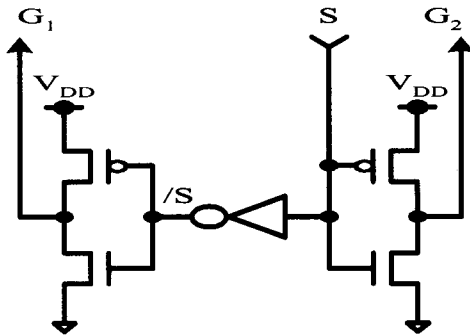


그림 7. Buffer-and-routing ROM에 사용된 tri-state buffer의 회로도  
Fig. 7. Circuit of the tri-state buffers used in the buffer-and-routing ROM.

적용하는 경우에 대해 시뮬레이션 결과와 레이아웃 면적을 비교 분석한 결과를 나타낸 것이다.

제안하는 buffer-and-routing 방식의 경우 static ROM 방식과 비교하여 트랜지스터의 개수는 1/90 가량으로 줄고 이에 따른 칩 소모면적도 대략 1/10 로서 줄일 수 있었다. 또한 부하가 큰 global routing에 의한 지연을 감안하더라도 타이밍 특성에 있어서는 비슷한 결과를 보였다. Global routing의 길이가 매우 길어진다면 static ROM의 경우보다 불리할 수도 있으나 33비트 정도의 내부 비트수의 경우는 routing 지연을 충분히 감당하므로 타이밍 상의 불리함 없이 적용할 수 있다.

### 3. 디지털 적분기의 구현

그림 4의 적분기(accumulator)는 그 전에 저장된 값과 현재 값의 합을 다시 저장하는 장치이므로 가산기와 레지스터로써 구성된다. 그림 1에서의 적분기의 전달함수  $\frac{z^{-1}}{1-z^{-1}}$  를 구현하기 위해서는 그림 8에 보인 바와 같이 가산기와 레지스터를 사용하고, 레지스터에는 25

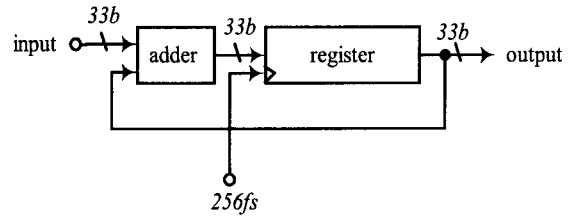


그림 8. 1 클럭 지연을 갖는 적분기의 하드웨어 구현  
Fig. 8. Hardware realization of the 1-clock delayed integrator.

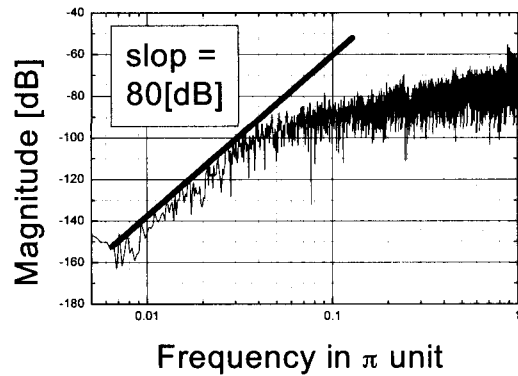


그림 9. 트랜지스터 레벨의 네트리스트를 추출하여 verilog 시뮬레이션 한 결과의 FFT 특성 (@4.8kHz input)  
Fig. 9. FFT response of the verilog simulated results with the transistor-level netlist. (@4.8kHz input)

6fs (fs = 48 kHz)의 클럭을 가하였다.

그림 1에서의 ADC는 4 번째 단 적분기의 출력을 1 비트 디지털 데이터로 변환 하는 것이므로 레지스터의 부호 비트의 출력만으로 1비트 ADC를 간단히 구현할 수 있다.

## IV. 결 증

그림 4의 제안된 잡음변형기의 동작을 검증하기 위하여 트랜지스터 레벨의 시뮬레이션을 행하고, 0.35- $\mu$ m 표준 CMOS 공정을 사용한 테스트 칩을 제작하였다. 그림 9는 트랜지스터 레벨의 네트리스트를 추출하여 4.8 kHz의 입력을 가했을 때의 verilog 시뮬레이션을 시간영역에서 행한 후, 그 결과를 FFT 한 것이다.

그림 9의 결과에서 보듯이 잡음변형의 정도는 80 [dB/dec]로서 측정되었다.

제작된 full-custom 집적회로 칩을 테스트 하기위해, 그림 10과 같은 테스트 환경을 구축하였다. FPGA를 이용한 16비트 입력 정현파를 출력할 수 있는 테스트 보드를 신호발생기로서 사용하고, 4.8 kHz의 디지털 입력

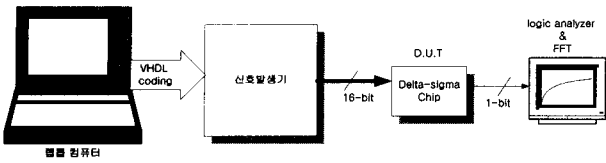


그림 10. 테스트 칩을 측정하기 위한 하드웨어 환경  
Fig. 10. Hardware setup for the measurement of the test chip.

표 3. 제작된 테스트 칩의 특성  
Table 3. Summary of measured chip performance.

파라미터	값
공급전압	2.0 V
공정	0.35- $\mu$ m standard CMOS
OSR	256
SNR (@4.8 kHz)	96 dB
유효 칩 면적	2.4x2.5 mm <sup>2</sup>

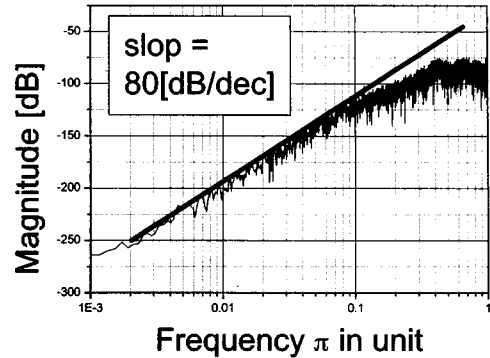
정현파를 발생하여 제작된 테스트 칩 (D.U.T.)에 가하였다.

그림 11은 32768 개의 출력 데이터를 로직 분석기로부터 추출하여 hamming window를 이용하여 FFT 한 결과이다. 그림 11 (a)의 결과는 그림 9의 트랜지스터 레벨의 시뮬레이션 결과와 일치하며, 그림 11 (b)의 결과는 그림 3에 보인 동작수준의 시뮬레이션 결과와 일치함을 확인하였다.

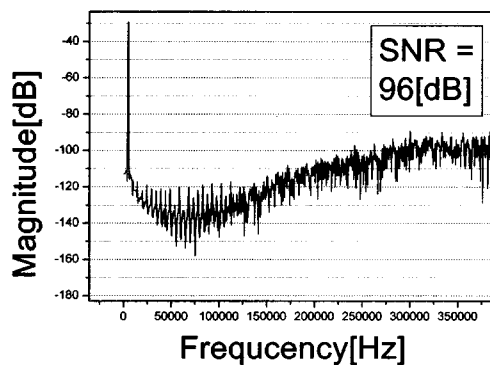
표 3은 측정된 테스트 칩의 특성을 요약한 것으로서 2V의 공급전압에서 동작하고 신호대잡음비가 96 dB로서, 저 전압용 과 표분화 데이터 변환기에 활용될 수 있음을 보여준다.

### V. 결 론

본 논문에서는 음성신호 대역에서 16 비트 정밀도의  $\Delta\Sigma$  D/A변환기에 적용되는 디지털 잡음변형기의 설계에 관하여 논하였다. 특히, 하드웨어의 부담을 최소화 한다는 관점에서, 목표사양을 만족할 수 있는 특성화 된 구조에 대해 새로운 하드웨어 구현 방식을 제안하였다. 시스템의 안정성과 다음 단의 아날로그 회로 부분의 부담을 최소화하기 위해 1비트 디지털 출력이 가능한 4차 단일 계환 Butterworth 잡음변형기를 선택하여 동작수준의 시뮬레이션을 행함으로써 내부 회로 구조를 확정하였다. 회로설계의 최적화를 구현하기 위하여, 계수와 신호의 곱셈을 수행하는 데 있어서 shifting 개념을 이용하여 곱셈기 동작을 할 수 있는 간단한 구조와 함께



(a)



(b)

그림 11. 테스트 칩의 측정결과 (a) 잡음변형 파형 (b) 신호파형

Fig. 11. Measures results of the implemented chip. (a) Noise-shaping waveform. (b) Signal waveform.

기존의 static ROM 구조가 아닌 새로운buffer-and-routing ROM 구조를 제안하여 칩 소요면적을 최소화 하였다. 제안하는 구조를 검증하기 위하여 트랜지스터 레벨의 네트리스트로써 verilog 시뮬레이션을 행하고, 또한 0.35- $\mu$ m 표준 CMOS공정으로써 full custom 방식으로 테스트 칩을 제작하여 측정함으로써 본 구조가 디지털 잡음변형기에 효과적으로 적용될 수 있음을 보였다.

### Acknowledgments

IDEC (IC design education center)의 디자인 소프트웨어의 지원에 깊이 감사드립니다.

### 참 고 문 헌

[1] S. Norsworthy, R. Schreier, and G. C. Temes, Delta-Sigma data converters: in Theory, Design, and Simulation. New York: IEEE Press,

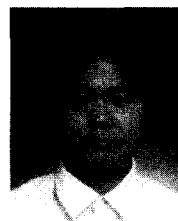
pp 178-179, 1997.

- [2] 이승훈, 김범섭, 송민규, 최중호, CMOS 아날로그/혼성모드 집적시스템 설계(下). Σ시그마프레스, pp222-224, 1999, 12
- [3] P. J. A. Naus et al., "A CMOS stereo 16-bit D/A converter for digital audio." IEEE J. Solid-State Circuits, vol. SC-22, pp. 390-395, June 1987.
- [4] P. F. Ferguson Jr., A. Ganesan, and R. W. Adams, "One bit higher order sigma-delta A/D converters." Proc. IEEE Inter. Symp. Circuits and Systems, pp 890-893, May 1990.

저 자 소 개



김 대 정(정회원)  
 1987년 서울대학교 전자공학과  
 학사 졸업  
 1989년 2월 서울대학교  
 전자공학과 석사 졸업  
 1994년 2월 서울대학교  
 전자공학과 박사 졸업  
 1994년~1998년 LG 반도체 책임연구원  
 1999년~현재 국민대학교 전자공학부 조교수  
 <주관심분야: 아날로그 회로설계, 메모리 회로  
 설계>



손 영 철(정회원)  
 2001년 국민대학교 전자공학과  
 학사 졸업  
 2003년 국민대학교  
 전자공학과 석사 졸업  
 2003년~현재 하이닉스 반도체  
 메모리연구소 근무  
 <주관심분야: 메모리 회로 및 CMOS 신호처리  
 회로설계>

