

논문 2004-41SD-5-12

# 더미 비트라인을 이용한 저전력 전하공유 롬

## (A Low Power Charge Sharing ROM using Dummy Bit Lines)

양 병 도\*, 김 이 섭\*

(Byung-Do Yang and Lee-Sup Kim)

### 요 약

더미 비트라인을 이용한 공유 커패시터 전하공유 롬(shared-capacitor charge-sharing ROM, SCCS-ROM)이 제안되었다. SCCS-ROM은 기존의 전하공유 롬(charge-sharing ROM, CS-ROM)의 전하공유 기법으로 비트라인의 스윙전압을 줄였다<sup>[4]</sup>. CS-ROM에서는 출력 비트 마다 3개의 작은 커패시터들이 필요하지만, 제안된 SCCS-ROM은 그 커패시터들을 공유함으로써 필요한 커패시터의 수를 단지 3개로 줄였다. 또한, 더미 비트라인들(dummy bit lines)로 커패시터들을 구현함으로써, 잡음 내성을 증가시켰을 뿐만 아니라 소모전력 또한 줄였다. 8K×16bits의 SCCS-ROM이 0.35 $\mu$ m CMOS 공정으로 구현되었다. SCCS-ROM은 3.3V의 100MHz 동작에서 8.63mW의 전력을 소모하였다. 시뮬레이션에서 SCCS-ROM은 CS-ROM보다 8.4% 적은 전력을 소모하였다.

### Abstract

A shared-capacitor charge-sharing ROM (SCCS-ROM) using dummy bit lines is proposed. The SCCS-ROM reduces the bit line swing voltage using the charge-sharing technique of the conventional charge-sharing ROM (CS-ROM)<sup>[4]</sup>. Although the CS-ROM needs three small capacitors per output bit, the proposed SCCS-ROM shares the capacitors so that it needs only three capacitors. The SCCS-ROM implements the capacitors using dummy bit lines. This not only increases noise immunity but also reduces power. A SCCS-ROM with 8K16bits implemented in a 0.35 $\mu$ m CMOS process. The SCCS-ROM consumes 8.63mW at 100MHz with 3.3V. The simulation results show that the SCCS-ROM reduces 8.4% power compared to the CS-ROM.

**Keywords**: VLSI design, low power design, ROM, charge sharing, bit line

## I. 서 론

롬(Read Only Memory, ROM)은 VLSI 칩 내부에서 사용 빈도가 높을 뿐만 아니라 크기 또한 지속적으로 증가하고 있기 때문에, 롬에서의 소모전력이 크게 증가하고 있다. 특히 비트라인과 워드라인에서 소모전력이 가장 많다. 비트라인은 커패시턴스가 클 뿐만 아니라 동시에 많은 수의 비트라인이 동작하기 때문에, 비트라인

은 많은 전력을 소모한다. 따라서 비트라인에서의 전력 소모를 줄이기 위하여 많은 기법들이 제안되었다.

비트라인의 커패시터를 줄임으로써 비트라인의 전력 소모를 줄이는 기법들이 제안되었다<sup>[1]</sup>. 이런 기법들에는 계층적 워드라인(hierarchical word line)과 선택적 프리차지(selective precharge), 디퓨전 프로그래밍 롬 코어(diffusion programming ROM core) 등이 있다. 이런 기법들은 롬의 성능의 저하 없이 전력을 줄여준다.

비트라인의 스윙전압을 낮춤으로써 전력 소모를 줄이는 기법들도 제안되었다<sup>[1-4]</sup>. 이런 기법들에서는 스윙전압에 비례하여 전력이 줄어든다. 따라서 저 전압 스윙 기법들은 롬의 전력 소모를 크게 줄일 수 있다. 최근에, 전하공유 기법을 이용하여 비트라인의 스윙전압을

\* 정회원, 한국과학기술원 전자전산학과  
(Dept. of Electrical Engineering & Computer Science, KAIST)

※ 본 연구는 한국과학재단과 미세정보센터의 지원을 받아 수행되었습니다.

접수일자: 2003년4월10일, 수정완료일: 2004년4월19일

크게 줄인 전하공유 롬(charge-sharing ROM, CS-ROM)이 제안되었다<sup>[4]</sup>. CS-ROM은 비트라인의 스윙전압을 줄이기 위하여 많은 수의 작은 커패시터들을 사용한다. 그러나 작은 커패시터들의 크기를 정밀하게 구현하는 것은 어렵기때문에, 작은 커패시터들은 잡음에 약하게 된다. 잡음 내성을 높이기 위해서는 필요한 커패시터 보다 큰 커패시터를 사용해야만 한다. 그러나 큰 커패시터를 사용은 비트라인의 스윙전압을 증가시켜 롬의 소모전력을 증가시킨다.

본 논문에서는, 더미 비트라인을 이용한 공유 커패시터 전하공유 롬(shared-capacitor charge-sharing ROM, SCCS-ROM)이 제안되었다. SCCS-ROM의 동작은 CS-ROM과 같다. 그러나 SCCS-ROM은 3개의 큰 커패시터로 CS-ROM의 많은 수의 작은 커패시터를 대체함으로써 CS-ROM의 문제점들을 해결하였다. 또한 SCCS-ROM의 커패시터들을 더미 비트라인을 사용하여 정밀하게 구현하였다. 이것은 잡음 내성을 높여줄 뿐만 아니라 전력 소모를 줄여준다.

## II. 전하공유 롬

### 1. 전하공유 비트라인

그림 1은 기존의 전하공유 비트라인 (charge sharing bit line, CSBL)의 개념을 보여주고 있다<sup>[4]</sup>. CSBL은 3개의 커패시터  $C_{CS}$ ,  $C_H$ ,  $C_L$ 를 이용하여 비트라인의 스윙전압을 줄인다. 비트라인의 커패시턴스가  $C_{BL}$ 일 때, 스윙전압은  $C_{BL}$ 와  $C_{CS}$ 의 전하공유에 의하여 작은 전압

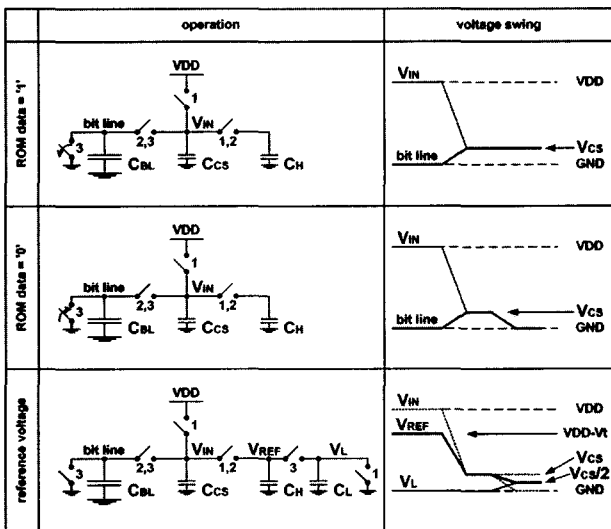


그림 1. 전하공유 비트라인의 개념  
Fig. 1. Concept of charge sharing bit line.

이 된다. 작은 전압에서 데이터를 얻기 위한 참조 전압은 두 개의 작은 커패시터  $C_H$ 와  $C_L$ 에 의하여 만들어진다.

그림 1의 스위치들은 트랜지스터들이고 스위치 위의 숫자는 트랜지스터가 켜지는 순서이다.  $V_{DD}$ 에 연결된 한 개의 트랜지스터만이 PMOS 트랜지스터이고 다른 트랜지스터들은 모두 NMOS 트랜지스터들이다. CSBL의 동작은 다음과 같다.

(1)  $C_{CS}$ 와  $C_H$ 는  $V_{DD}$ 와  $V_{DD}-V_T$ 로 충전되고  $C_L$ 는 접지전압으로 방전된다. 따라서  $C_{CS}$ 와  $C_H$ 에 저장되는 전체 전하는  $C_{CS} \times V_{DD} + C_H \times (V_{DD} - V_T)$ 가 된다. 초기의 비트라인의 전압은 접지전압이다.

(2) 비트라인을 선택하는 트랜지스터가 켜지면,  $C_{BL}$ ,  $C_{CS}$ ,  $C_H$ 가 그들의 전하를 공유하기 위하여 연결된다. 이때, 커패시터들의 전압은  $V_{CS}$ 가 된다.  $V_{CS}$ 의 크기는 커패시터들에 저장된 전체 전하를 전체 커패시턴스로 나눈 값이다.  $f$ 가 동작 주파수 일 때,  $V_{CS}$ 와 소모전력  $P_{CSBL}$ 은 다음과 같다.

$$V_{CS} = \{C_{CS} \times V_{DD} + C_H \times (V_{DD} - V_T)\} / (C_{BL} + C_{CS} + C_H)$$

$$P_{CSBL} = f \times (C_{BL} + C_{CS} + C_H) \times V_{CS} \times V_{DD}$$

(3) 하나의 워드라인이 선택된다. 롬의 데이터가 '1'이면 비트라인과  $C_{CS}$ 의 전압은  $V_{CS}$ 를 유지하고, 롬의 데이터가 '0'이면 방전되어 접지전압이 된다. 결과적으로 롬에 저장된 데이터에 의하여 비트라인과  $C_{CS}$ 의 전압은  $V_{CS}$ 이나 접지전압이 된다. 따라서  $V_{CS}$ 과 접지전압의 작은 전압의 차이로부터 롬의 데이터를 얻기 위해서 감지증폭기가 사용된다. 감지증폭기는 참조전압  $V_{REF}$ 을 필요로 한다.  $V_{REF}$ 는 두 개의 작은 커패시터  $C_H$ 와  $C_L$ 에 의하여 만들어진다.  $V_{CS}$ 와 접지전압인  $C_H$ 와  $C_L$ 가 연결되어  $V_{CS}/2$ 가 된다. 따라서  $C_H$ 의 전압을 사용하는  $V_{REF}$ 는  $V_{CS}/2$ 가 된다.

(4) 감지 증폭기는 비트라인과  $V_{REF}$ 을 전압을 비교하여 롬 데이터를 얻는다. 롬의 데이터가 '1'인 경우 비트라인의 전압은  $V_{CS}$ 로  $V_{CS}/2$ 보다 높고, 롬의 데이터가 '0'인 경우 비트라인의 전압은 접지전압으로  $V_{CS}/2$ 보다 낮다.

### 2. 전하공유 비트라인

그림2는 CSBL을 사용한 전하공유 롬(charge-sharing ROM, CS-ROM)을 보여준다. CS-ROM은 M개의 비트라인 그룹으로 이루어져 있고, 각 그룹은 N개의 비트라인과 3개의  $C_{CS}$ ,  $C_H$ ,  $C_L$ 의 작은 커패시터들로 이루어져

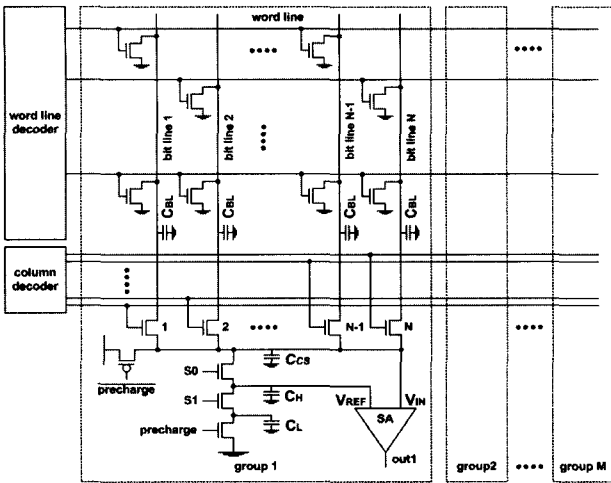


그림 2. 전하공유 롬  
Fig. 2. Charge-sharing ROM.

있다. N개의 비트라인들 중에서 한 개의 비트라인이 선택되어 사용된다. CS-ROM은  $C_{BL}$ 와  $C_{CS}$ 의 전하를 공유시켜 선택된 비트라인의 스윙전압을 낮춘다. 스윙전압은  $C_{CS}$ 의 크기로 조절 할 수 있다. CS-ROM에서는  $C_{BL}$ 보다 매우 작은  $C_{CS}$ 를 사용하여 스윙전압을 크게 줄인다.

$C_{BL}$ 와  $C_{CS}$ 의 전하공유에 의하여 비트라인의 전압은  $V_{CS}$ 이 된다. 롬의 데이터가 '1'이면 비트라인의 전압은  $V_{CS}$ 로 남아있고, 롬의 데이터가 '0'이면 비트라인의 전압은 접지전압이 된다. 참조전압  $V_{REF}$ 를 만들기 위하여 사용되는 두 개의 커패시터  $C_H$ 와  $C_L$ 의 전압은  $V_{CS}$ 와 접지전압이다. 두 커패시터를 연결함으로써  $V_{CS}/2$ 의 전압인  $V_{REF}$ 를 만든다. CS-ROM에는 S0, S1, precharge, SAE (sense amplifier enable)의 신호들을 사용된다.

$V_{CS}$ 의 전압 선택은 주의를 기울여야 한다. 소모전력을 줄이기 위해서는 감지증폭기가 감지 할 수 있는 범위 내에서  $V_{CS}$ 를 줄여야 한다. 그러나  $V_{CS}$ 가 줄면  $C_{CS}$ 의 크기도 작아지기 때문에, 작은 커패시턴스의 크기를 정밀하게 구현하는 것은 어려울 뿐만 아니라 그 크기는 연결선들과 레이아웃에 의하여 쉽게 변할 수 있다. 따라서 외부의 잡음에 취약해진다.

잡음 내성을 높이기 위해서는  $C_H$ 와  $C_L$ 의 크기가 정확히 같도록 만들어야 한다. 또한  $C_H$ 와  $C_L$ 의 크기도 여러 잡음들을 극복할 수 있는 범위 안에서 결정되어야 한다. 잡음의 영향을 줄이기 위해서는  $C_{CS}$ ,  $C_H$ ,  $C_L$ 의 크기를 증가시키면 된다. 그러나 큰 커패시터를 사용하는 것은 비트라인의 스윙전압을 증가시켜 결과적으로 더 많은 전력을 소모시킨다.

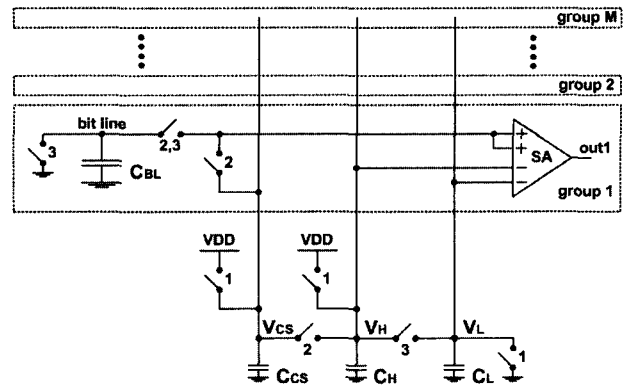


그림 3. 공유 커패시터 전하공유 비트라인의 개념  
Fig. 3. Concept of shared-capacitor charge-sharing bit line.

### III. 공유 커패시터 전하공유 롬

#### 1. 전공유 커패시터 전하공유 비트라인

그림 3은 제안된 공유 커패시터 전하공유 비트라인 (shared-capacitor charge-sharing bit line, SCCSBL)의 개념을 보여준다. SCCSBL의 동작은 CSBL의 동작과 같다. CSBL은 그룹당 3개의 커패시터들  $C_{CS}$ ,  $C_H$ ,  $C_L$ 를 사용하지만, SCCSBL은 커패시터들을 공유함으로써 전체적으로 3개의 커패시터들  $C_{CS}$ ,  $C_H$ ,  $C_L$ 만을 사용한다. 따라서 그룹의 수가 M일 때, 커패시터의 수는  $1/M$ 으로 줄어든다. 또한, CSBL에서는 모든 그룹에서 전하공유 동작을 위한 컨트롤 신호들이 필요하지만, SCCSBL에서는 공유된 커패시터들에만 컨트롤 신호들이 사용되어 컨트롤 스위치의 수가  $1/M$ 으로 준다.

그림 3의 스위치들은 트랜지스터들이고 스위치 위의 숫자는 트랜지스터가 켜지는 순서를 나타낸다.  $V_{DD}$ 에 연결된 두 개의 트랜지스터들만이 PMOS 트랜지스터들이고 다른 트랜지스터들은 NMOS 트랜지스터들이다. SCCSBL의 동작은 다음과 같다.

(1)  $C_{CS}$ 와  $C_H$ 는  $V_{DD}$ 로 충전되고  $C_L$ 은 접지전압으로 방전된다. 따라서  $C_{CS}$ 와  $C_H$ 에 저장되는 전체 전하는  $(C_{CS}+C_H) \times V_{DD}$ 가 된다. 비트라인의 초기 전압은 접지전압이다.

(2) 그룹당 하나의 비트라인이 선택되어, M개의 그룹에서 M개의 비트라인들이 선택된다. 비트라인의 커패시턴스가  $C_{BL}$ 일 때, M개의 비트라인의 커패시턴스는  $M \times C_{BL}$ 가 된다. 선택된 M개의 비트라인들은  $C_{CS}$ 와  $C_H$ 에 연결되어 전하를 공유하고, 그 전압은  $V_{CS}$ 가 된다. f가 동작 주파수 일 때,  $V_{CS}$ 와 소모전력  $P_{SCCSBL}$ 은 다음

과 같다.

$$V_{CS} = (C_{CS} + C_H) \times V_{DD} / (M \times C_{BL} + C_{CS} + C_H)$$

$$P_{SCCSBL} = f \times C_{BL} \times V_{CS} \times V_{DD}$$

(3) 비트라인들이  $C_{CS}$ 와  $C_H$ 에서 분리된 후, 하나의 워드라인이 선택된다. 롬의 데이터가 '1'인 경우는 비트라인의 전압은  $V_{CS}$ 이고, 롬의 데이터가 '0'인 경우 비트라인의 전압은 접지전압이 된다.  $C_H$ 와  $C_L$ 는 연결되어 감지증폭기의 참조전압  $V_{REF}$ 인  $V_{CS}/2$ 가 된다.

(4) 감지 증폭기는 비트라인과  $V_{REF}$ 인  $C_H$ 와  $C_L$ 의 전압  $V_{CS}/2$ 을 비교하여 롬 데이터를 얻는다. 롬의 데이터가 '1'인 경우 비트라인의 전압은  $V_{CS}$ 로  $V_{CS}/2$ 보다 높고, 롬의 데이터가 '0'인 경우 비트라인의 전압은 접지전압으로  $V_{CS}/2$ 보다 낮다.

2. 공유 커패시터 전하공유 롬

그림 4는 제안된 공유 커패시터 전하공유 롬(shared-capacitor charge-sharing ROM, SCCS-ROM)을 보여준다. SCCS-ROM에서는 더미 비트라인(dummy bit lines)을 사용하여  $C_{CS}$ ,  $C_H$ ,  $C_L$ 의 커패시터들을 구현한다. SCCS-ROM은 모든 비트라인들이 같은 크기의 커패시턴스  $C_{BL}$ 를 갖도록 디퓨전 프로그래밍 롬 코어를 사용한다.  $C_{CS}$ 는  $K-1$ 개의 더미 비트라인들로 구성되고,  $C_H$ 와  $C_L$ 는 각각 하나의 더미 비트라인으로 만들어진다. 따라서  $C_{CS}$ 의 크기는  $(K-1) \times C_{BL}$ 이고  $C_H$ 와  $C_L$ 의 크기는  $C_{BL}$ 가 된다.

$$C_{CS} = (K-1) \times C_{BL}$$

$$C_H = C_{BL}$$

$$C_L = C_{BL}$$

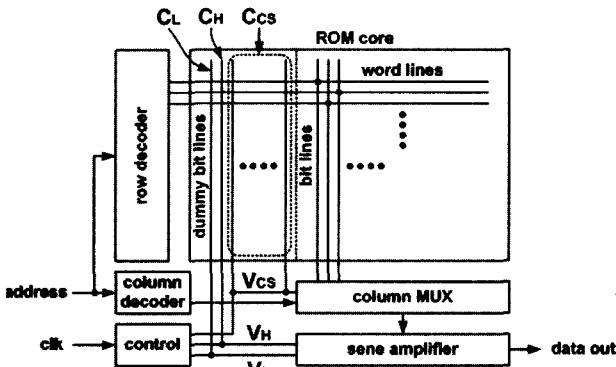


그림 4. 공유 커패시터 전하공유 롬의 구성도  
Fig. 4. Block diagram of shared-capacitor charge-sharing ROM.

$M$ 개의 그룹을 갖는 SCCS-ROM의 전하공유 전압  $V_{CS}$ 는  $C_{BL}$ 의 크기와 상관없이  $K$ 를 바꿈으로써 쉽게 조절할 수 있다. 따라서  $C_{BL}$ ,  $C_{CS}$ ,  $C_H$ ,  $C_L$ 의 실제 크기를 알 필요가 없다.

$$V_{CS} = (C_{CS} + C_H) \times V_{DD} / (M \times C_{BL} + C_{CS} + C_H)$$

$$= (K-1) \times C_{BL} + C_{BL} \times V_{DD} / (M \times C_{BL} + (K-1) \times C_{BL} + C_{BL})$$

$$= K \times C_{BL} \times V_{DD} / (M+K) \times C_{BL}$$

$$= K / (M+K) \times V_{DD}$$

그림 5는 SCCS-ROM의 구조를 보여준다. SCCS-ROM은  $N$ 개의 비트라인을 가지는  $M$ 개의 그룹과  $K+1$ 개의 더미 비트라인들로 이루어진다.  $K-1$ 개의 더미 비트라인들은  $C_{CS}$ 을 위하여 사용되고 다른 두 개의 더미 비트라인들은  $C_H$ 와  $C_L$ 로 사용된다. SCCS-ROM은 4개의 시간순서와 4개의 컨트롤 신호에 의하여 동작을 한다. 시간순서는 precharge, charge sharing, evaluation, sense amplifier enable이고 이들을 컨트롤하는 신호는 각각 PCHG, CS, EVAL, SAE이다.

$M$ 개의 그룹과 더미 비트라인을 연결하는 연결선들은  $C_{CS}$ ,  $C_H$ ,  $C_L$ 의 크기를 증가시키고 이는  $V_{CS}$ 를 증가시키게 된다. 그러나, 증가된 크기가  $C_{BL}$ 에 비하여 작기 때문에 롬의 전력 소모에 영향은 작다.

그림 6의 감지증폭기는 4개의 입력을 갖는다. 두 개의 입력은 선택된 비트라인에 연결되고 다른 두 입력은  $C_H$ 와  $C_L$ 에 연결된다. 그림 2의 두 개의 입력을 가지는 감지 증폭기가 사용되었을 경우,  $C_H$  혹은  $C_L$  중 한 커패시터만이 감지증폭기에 연결되기 때문에  $C_H$ 와  $C_L$ 의 크기가 다르게 된다. 이 두 커패시터의 크기가 다른 경

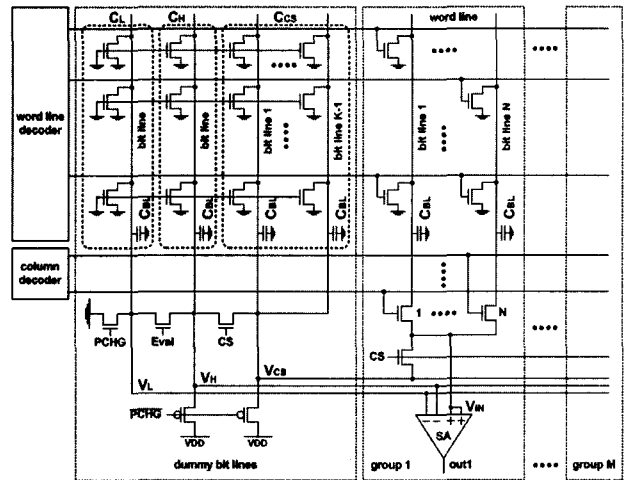


그림 5. 공유 커패시터 전하공유 롬  
Fig. 5. Shared-capacitor charge-sharing ROM.

우, 참조전압  $V_{REF}$ 가  $V_{CS}/2$ 와 다른 전압을 가지게 되어 노이즈 마진이 줄어들게 된다. 그러나 4개의 입력을 갖는 그림 6의 감지증폭기를 이용할 경우,  $C_H$ 와  $C_L$ 의 크기가 같게 되어  $V_{REF}$ 는  $V_{CS}/2$ 가 된다.

그림 7(a)와 7(b)는 더미 비트라인과 비트라인의 레이아웃을 보여준다. 비트라인의 커패시턴스는 룬 데이터에 따라 약간씩 다르게 된다. 연결되는 모든 데이터가 '0'인 경우, 비트라인의 커패시턴스는 최대가 된다. 비트라인 스윙전압이  $V_{CS}$ 이상임을 보장하기 위해서는 더미 비트라인의 커패시턴스는 비트라인의 커패시턴스 최대일 때의 크기가 되어야 한다. 따라서 더미 비트라인에 연결되는 모든 데이터는 '0'이 된다. 그러나 더미 비트라인들은  $C_{CS}$ ,  $C_H$ ,  $C_L$ 의 커패시터로 사용되기 때문에 연결된 트랜지스터들은 켜지지 않아야 한다. 따라서 더미 비트라인에 연결된 트랜지스터들의 게이트를 모두 접지전압에 연결한다.

SCCS-ROM은  $C_{CS}$ ,  $C_H$ ,  $C_L$ 의 커패시터들을 공유하고 더미 비트라인으로 커패시터들을 구현함으로써, 면적과 소모전력 모두를 CS-ROM보다 줄였다. CS-ROM은  $f \times (C_{BL} + C_{CS} + C_H) \times V_{CS} \times V_{DD}$ 의 전력을 소모하지만, SCCS-ROM은  $f \times C_{BL} \times V_{CS} \times V_{DD}$ 의 전력을 소모한다. 또한, CS-ROM은 그룹당 5개의 컨트롤 신호들을 필요로 하지만 SCCS-ROM은 그룹당 2개의 컨트롤 신호를

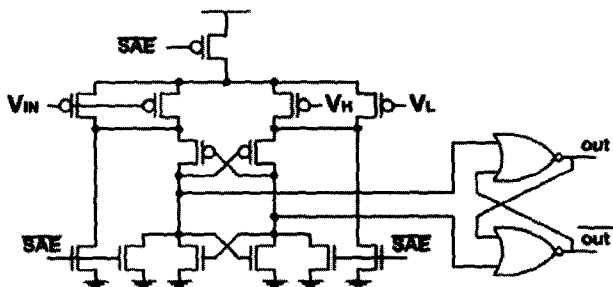


그림 6. 감지증폭기  
Fig. 6. Sense amplifier

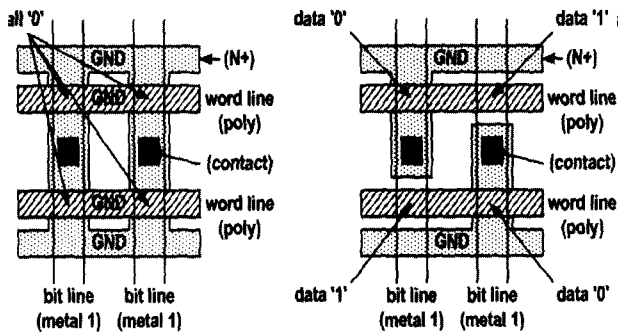


그림 7. 레이아웃 (a)더미 비트라인 (b)비트라인  
Fig. 7. Layout (a) dummy bit line (b) bit line.

사용한다.

CS-ROM에서는  $C_{CS}$ ,  $C_H$ ,  $C_L$ 의 크기를 선택하기 위해서 CBL의 실제 크기를 정확히 알아야 한다. 그러나 비트라인의 커패시턴스를 정확하게 계산하는 것은 어려울 뿐만 아니라 룬에 저장된 데이터에 따라서 그 값이 변하기 때문에 CBL의 크기를 정확히 알아내기는 어렵다. 더욱이  $C_{CS}$ ,  $C_H$ ,  $C_L$ 의 크기가 작을 경우 연결선들과 레이아웃에 의하여 크기가 변하기 때문에 정확한 크기의 커패시터들을 구현하는 것은 더욱 어렵다. 그러나 SCCS-ROM은  $C_{CS}$ ,  $C_H$ ,  $C_L$ 을 공유함으로써, 커패시터들은 연결선들과 레이아웃에 의한 영향을 무시할 수 있을 정도로 크다. 따라서 SCCS-ROM의 잡음에 더욱 강하게 된다. 또한 CBL의 실제 크기를 모르고도  $C_{CS}$ ,  $C_H$ ,  $C_L$ 의 크기를 CBL의 배수로 정할 수 있고,  $V_{CS}$ 도 원하는 전압으로 쉽게 만들 수 있다.

#### IV. 실험 결과 및 성능 비교

표 1은 256개의 워드라인, 128개의 비트라인, 16비트의 출력을 가지는 32K비트 룬들의 성능 비교 결과를 보여준다. SCCS-ROM은 3.3V 전원의 100MHz 클럭 주파수에서의 소모전력은 5.35mW이고 면적과 속도는

표 1. 룬 성능 비교 (2Kx16 bits)  
Table 1. Comparison of ROMs (2Kx16 bits)

	Power [mW]	Area [mm <sup>2</sup> ]	Delay [ns]
Conventional ROM (CV-ROM) [1]	6.82	0.15	3.1
Charge-sharing ROM (CS-ROM) [4]	5.80	0.18	7.8
This work (SCCS-ROM)	5.35	0.18	7.8

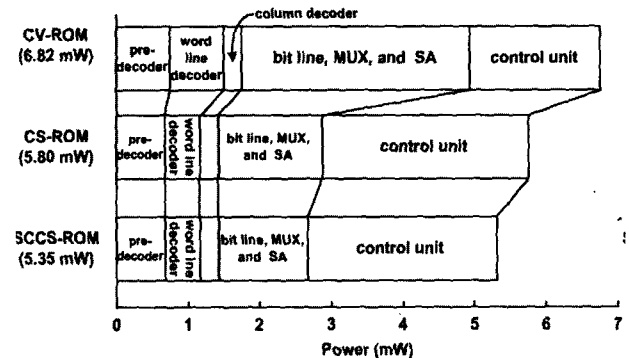


그림 8. 룬의 소모 전력 (2K x 16bits)  
Fig. 8. Power consumptions in ROMs (2K x 16bits).

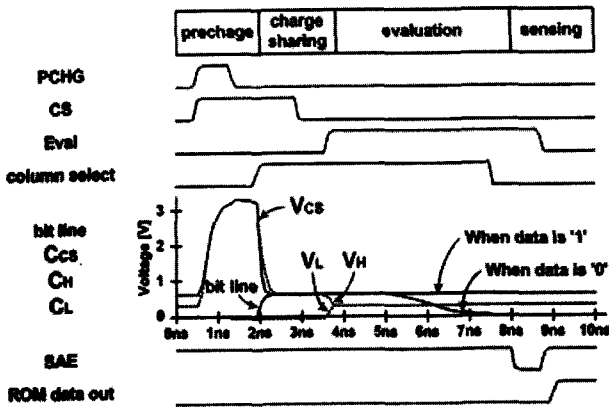


그림 9. SCCS-ROM의 시뮬레이션 파형  
 Fig. 9. Simulated waveforms of the SCCS-ROM.

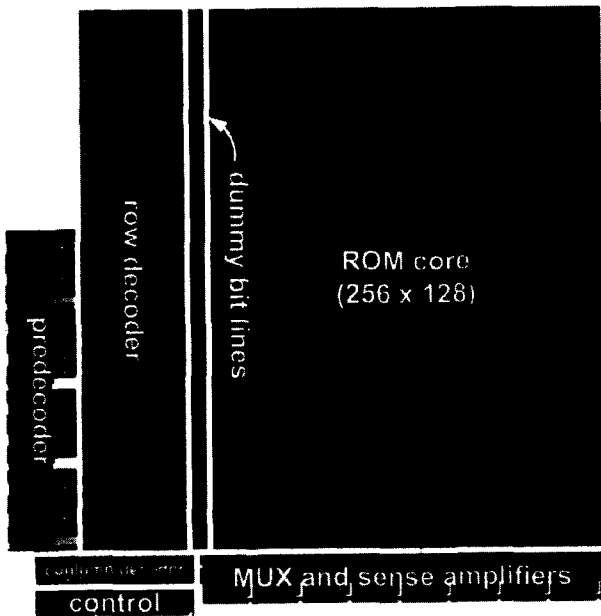


그림 10. 레이아웃  
 Fig. 10. Layout.

0.18 mm<sup>2</sup>과 7.8ns이다. 0.35um CMOS 공정과 HSPICE models을 사용하여 시뮬레이션이 수행되었다.

비교된 롬들은 기존의 저전력 기법들을 사용한 롬 (conventional ROM, CV-ROM)과 전하공유 롬 (charge-sharing ROM, CS-ROM)이다<sup>[1],[4]</sup>. CV-ROM은 계층적 워드라인(hierarchical word line)과 선택적 프리차지(selective precharge), NMOS 프리차지(NMOS pre-charge), 디퓨전 프로그래밍 롬 코어(diffusion programming ROM core)등의 기법들을 사용하여 롬의 전력 소모를 줄였다.

CV-ROM에서는 전력 소모를 줄이기 위하여 비트라인을 NMOS 트랜지스터를 사용하여 비트라인을 충전한다. 따라서 비트라인의 스윙전압을  $V_{DD}-V_T$ 이다. CS

-ROM과 SCCS-ROM의 비트라인의 스윙전압은 감지 증폭기에서의 필요한 전압 차의 두 배이다. 시뮬레이션에서는 감지증폭기에서 필요한 최소 전압 차를 400mV라고 가정하였다. 따라서 CS-ROM과 SCCS-ROM의 비트라인의 스윙전압은 800mV이다.

그림 8는 롬 각 부분에서의 전력 소모량을 나타낸다. 시뮬레이션 결과에서 SCCS-ROM의 비트라인과 컨트롤 회로에서 소모되는 전력이 CS-ROM의 81%와 92%이다. 전체적으로 SCCS-ROM은 CS-ROM의 소모전력을 91.6%만을 소모한다. 그러나 SCCS-ROM의 면적과 속도는 CS-ROM과 같다.

### 참고 문헌

- [1] Edwin de Angel, Earl E. Swartzlander, Jr. "Survey of Low Power Techniques for ROMs," International Symposium on Low Power Electronics and Design, 1997, pp. 7-11.
- [2] M. M. Khellah, M. I. Elmasry, "Low-Power Design of High-Capacitive CMOS Circuits Using a Shared-capacitor charge-sharing Scheme," IEEE International Solid-State Circuits Conference, 1999, pp. 286-287.
- [3] Byung-Do Yang and Lee-Sup Kim, "A Low Power Charge Recycling ROM Architecture," *IEEE Transactions on Very Large Scale Integration Systems*, Vol. 11, No. 4, pp. 590-600, Aug. 2003.
- [4] Byung-Do Yang and Lee-Sup Kim, "A Low Power ROM using Charge Recycling and Charge Sharing Techniques," *IEEE Journal of Solid-State Circuits*, Vol. 38, No. 4, pp. 641-653, Apr. 2003.
- [5] M. Hiraki, et al, "Data-Dependent Logic Swing Internal Bus Architecture for Ultra low-Power LSI's," *IEEE Journal of Solid-State Circuits Conference*, Vol. 30, No. 4, Apr. 1995, pp. 397-402.
- [6] Byung-Do Yang and Lee-Sup Kim, "Low power charge sharing ROM using dummy bit lines," *Electronics letters*, Vol. 39, No. 14, pp. 1041-1042, 2003. 7

저 자 소 개



양 병 도(정회원)

1999년 한국과학기술원 전자전산학과 전기및전자공학 전공 졸업 (공학사).

2001년 한국과학기술원 전자전산학과 전기및전자공학 전공 졸업 (공학석사).

2001년~현재 한국과학기술원 전자전산학과 전기및전자공학 전공 박사과정.

<주관심분야: 저전력/고성능 디지털 회로 설계, 저전력 메모리 설계>



김 이 섭(정회원)

1982년 서울대학교 전자공학과 학사.

1986년 Stanford University 전자공학과 석사.

1990년 Stanford University 전자공학과 박사.

1990년~1993년 Toshiba Corporation 연구원.

1993년~현재 한국과학기술원 전자전산학과 전기및전자공학 전공 교수.

<주관심분야: 3D Graphics 프로세서 및 하드웨어 설계, 고성능/저전력 디지털 IC 설계>

