

디지털 위상 고정 루프를 이용한 계전기용 정밀 주파수 측정 장치

論 文

53A-7-1

Design of the Power System Frequency Measurement Module for the Relay using the Digital Phase Locked-Loop

尹永碩* · 催逸興** · 李相閔*** · 黃東煥[§] · 李相禎^{§§} · 朴壯洙^{§§§}

(Young-Seok Yoon · Il-Heung Choi · Sang-Yoon Lee · Dong-Hwan Hwang ·
Sang Jeong Lee · Jang Soo Park)

Abstract - The relay measures the frequency of the power system in order to detect faults and separate them from the system. Many estimation algorithms for the relay have been proposed to accurately measure the frequency. This paper proposes a new frequency measurement method using the digital phase locked-loop(DPLL) for the relay of the power system. The proposed method is configured with a DPLL scheme and verified through computer simulations and experimental tests. In order to cope with noises in the power system, filters are included in the input signal processing part and the frequency comparator. MATLAB is used for computer simulations and an experimental setup with a CPU and an FPGA(Field Programmable Gate Array) is constructed. The loop filter of the DPLL is run in the CPU software to adjust parameters and others are in the FPGA. Experimental tests are performed for a function generator and the power system. Results show that the proposed method is appropriate to the frequency measurement for the relay.

Key Words : Frequency measurement, Power system, Relay, Phase locked-loop

1. 서 론

전력 계통에서 안정한 전력을 공급하는 것은 매우 중요하며 전압 및 주파수를 감시함으로써 오류의 검출이 가능하다고 알려져 있다[1-3]. 특히 주파수 감시를 통하여 계통의 고장을 빠르고 정확하게 검출하고 이를 차단함으로써 계통의 안정성을 유지할 수 있다. 최근에 발생하는 정전 사고 사례를 분석한 결과로부터 계통 주파수의 변동에 대한 관찰을 통해 고장 발생 지역을 검출하고 이를 계통으로부터 차단함으로써 대규모 정전 사고를 미연에 방지할 수 있음이 확인되고 있다[3]. 이러한 이유로 계통의 주파수 측정을 위한 알고리즘들이 꾸준히 연구되어 왔으며 SIEMENS, GE, ABB, Alstrom과 같은 업체에서 생산하는 계전기에서는 비교적 뛰어난 주파수 측정 성능을 보여주고 있다[4-18, 22].

이미 잘 알려진 주파수 측정 방법으로 영교차점 방법(Zero Crossing Method)과 DFT(Discrete Fourier Transform)를 이용한 방법을 들 수 있다[4, 9, 22]. 영교차점 방법은 구현이 간단하지만 잡음이 첨가되어 있을 때 큰 오차를 유발할 수 있다. DFT를 이용한 방법은 많은 계산량을 요구

하므로 ADC의 분해능이 낮거나 CPU의 성능이 떨어질 경우, 요구되는 정확도를 만족할 수 없는 경우가 발생할 수 있으며 실시간 구현은 아직 완전하지 않은 것으로 알려져 있다.

본 논문에서는 디지털 위상 고정 루프를 이용한 새로운 형태의 계전기용 주파수 측정 장치를 제안하였다. 그리고 제안한 주파수 측정 장치의 실시간 실험을 통한 여러 가지 성능 평가로부터 제안하는 장치가 전력 계통 계전기의 주파수 측정에 적합함을 보이고자 한다. 제안하는 주파수 측정 장치는 디지털 위상 고정 루프의 기본 구성을 채택한다[19-21]. 기존의 여러 가지 계전기에 쉽게 적용하기 위해서 실시간으로 동작하는 독립된 모듈의 구성이 가능해야 하므로 이를 위해서 FPGA와 CPU를 이용한 구조를 제안하였다. FPGA를 도입함으로써 주파수 비교, 위상검출 및 DCO(Digitally Controlled Oscillator)등의 DPLL의 구성요소를 비교적 쉽게 하드웨어로 구현 가능하며, 차수등 여러 가지 파라미터를 가지는 루프 필터는 동작 시 조절 가능하도록 CPU 내의 소프트웨어에서 동작하도록 한다. 계통 입력에 잡음이 발생했을 때 주파수 측정 성능에 미치는 영향을 줄이기 위하여 히스테리시스를 가지는 비교기를 도입하였다. 위상 분별기에서는 비교기의 히스테리시스 크기보다 큰 잡음에 대비한 저대역 필터 알고리즘을 포함한다. 주파수 정밀도 사양이 바뀔 경우, 외부 클럭과 루프 필터의 상수 등 일부만 수정하면 본 논문에서 제안하는 구조를 이용하여 쉽게 주파수 측정 장치를 구성할 수 있다. 따라서 외부 클럭 등 일부의 부품이나 프로그램의 상수만을 변경하면 전력계통 이외의 응용에도 적용가능하다.

제안한 주파수 측정 장치의 성능을 검증하기 위하여 모의 실험 및 실시간 실험을 수행하였다. 구현한 실험 장치에 합

* 正 會 員 : 三星電機(株) 基板事業部 主任研究員

** 正 會 員 : (株)네비콤 附設技術研究所 先任研究員 · 工博

*** 學生會員 : 忠南大 工大 電氣情報通信工學部 碩士課程

[§] 正 會 員 : 忠南大 工大 電氣情報通信工學部 副教授 · 工博

^{§§} 正 會 員 : 忠南大 工大 電氣情報通信工學部 教授 · 工博

^{§§§} 正 會 員 : LG產電(株) 電力知能化 研究團 研究團長

接受日字 : 2004年 1月 29日

最終完了 : 2004年 6月 2日

수 발생기의 출력을 인가한 후 주파수를 측정된 결과 및 실전력(實電力) 계통에 대한 실험 결과를 제시하였다. 함수발생기에 대한 실험으로부터 정확도(Accuracy)를 확인하였으며, 실전력 계통에 대한 실험으로부터 정밀도(Precision)를 확인하였다. 그 결과 제안한 주파수 측정 장치가 계전기에 적용 가능함을 확인하였다.

2. 주파수 측정

제안하는 주파수 측정 장치의 설계에 대하여 서술하기에 앞서 본 절에서는 주파수 측정 장치에서 이용한 위상 고정 루프의 기본 개념을 간략히 살펴보고자 한다.

2.1 위상 고정 루프[21]

그림 1은 아날로그 위상 고정 루프의 구조를 나타낸다. 입력과 VCO(Voltage Controlled Oscillator) 출력의 위상이 일치한다면 VCO의 출력 주파수는 입력 주파수와 같아진다. 이 때의 VCO 입출력 값을 이용하여 입력의 주파수 측정이 가능하다[19-21].

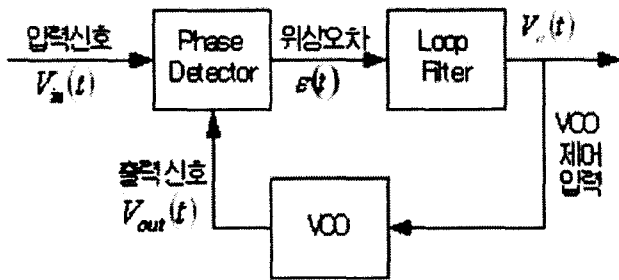


그림 1 아날로그 위상 고정 루프의 기본 구조
Fig. 1 Structure of analog phase locked loop

위상 고정 루프의 입력을 $V_e(t)$, 위상 분별기의 출력인 위상오차를 $\epsilon(t)$ 라 하고 루프 필터의 출력을 $V_o(t)$, VCO의 출력을 $V_{out}(t)$ 이라 하자. 이때 입력은 식(1)과 같이 나타낼 수 있다.

$$V_{in}(t) = A_i \sin [w_0 t + \theta_i(t)] \quad (1)$$

여기서 A_i 는 입력 진폭의 크기이고 w_0 는 각주파수, $\theta_i(t)$ 는 입력의 위상이다. VCO 출력은 식(2)와 같이 나타낼 수 있다.

$$V_{out}(t) = A_o \cos [w_0 t + \theta_o(t)] \quad (2)$$

여기서 $\theta_o(t) = K_v \int_{-\infty}^t V_o(\tau) d\tau$ 이다. A_o 는 VCO 출력 진폭의 크기이며 $\theta_o(t)$ 는 VCO 출력의 위상을 나타낸다. K_v 는 $\theta_o(t)$ 의 적분 이득이며 $V_o(t)$ 는 VCO의 입력 전압이다. 식

(1)과 식(2)의 두 신호를 곱하고 저역 통과필터를 거치면 식(3)과 같은 출력 $V_o(t)$ 를 얻을 수 있다.

$$V_o(t) = K_d A_i A_o \sin [\theta_i(t) - \theta_o(t)] \quad (3)$$

따라서 입력과 VCO 출력간의 위상 오차는 식(4)와 같다.

$$\theta_{err}(t) = \sin^{-1} \left(\frac{V_o(t)}{K_d A_i A_o} \right) = \theta_i(t) - \theta_o(t) \quad (4)$$

식(4)에서 위상 오차 $\theta_{err}(t)$ 로부터 VCO의 입력 전압이 결정되며 이를 이용하여 VCO의 출력 주파수의 결정이 가능하다.

2.2 디지털 위상 고정 루프

디지털 위상 고정 루프의 경우 아날로그 위상 고정 루프의 구성 요소를 디지털로 변환한 것으로 주파수를 측정하는 방법은 기본적으로 같다[19, 21].

디지털 위상 분별기는 위상 오차에 해당하는 시간을 측정하며 간단한 회로를 사용한다[19, 21].

디지털 루프 필터는 연속시간 영역에서 설계한 루프 필터를 이산시간 영역으로 변환한 형태가 된다[19]. 일반적으로 Matched-pole zero method, Bilinear transformation, Backward difference 등의 방법을 이용하며, PLD(Programmable Logic Device)나 CPU 내의 소프트웨어로 비교적 쉽게 구현할 수 있다[19, 21].

설계 사양에 따라 출력 주파수 분해능의 결정이 가능하고 일정한 출력 주파수를 가지는 기준 발진기의 출력을 이용하여 원하는 출력 주파수를 생성할 수 있으며, 기준 발진기의 출력 주파수 사양에 따라 DCO의 출력 주파수에 대한 정밀도 예측도 가능하다[20, 23].

3. 주파수 측정 장치 설계

그림 2에 본 논문에서 제안하는 주파수 측정 장치의 구조를 나타내었다.

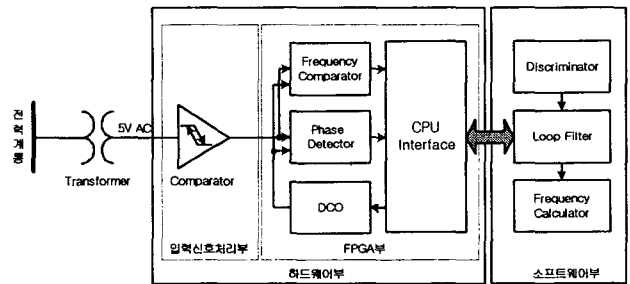


그림 2 제안하는 주파수 측정 장치의 구조
Fig. 2 Overall structure of proposed frequency measurement module

3.1 입력 신호 처리부

입력 신호 처리부는 그림 3과 같이 히스테리시스(Hysteresis)를 가지는 비교기를 사용하여 입력을 단일 비트 이산화시킨다. 그 결과 비교기의 Dead Zone을 넘지 않는 잡음에 대해서는 필터링이 가능하다.

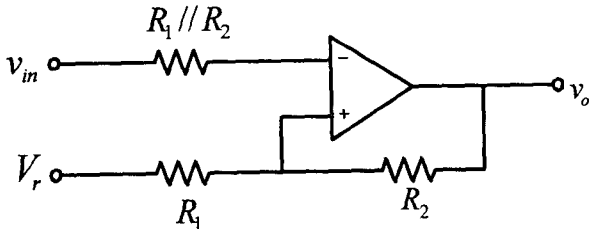


그림 3 입력 신호 처리부
Fig. 3 Input signal processing part

전력 계통에서 고장 발생 시 전압과 주파수가 동시에 변하므로 아날로그 입력을 디지털로 변환하는 과정에서 2-비트 이상의 ADC(Analog to Digital Converter)를 사용하게 되면 주파수 측정 시 전압의 변화에 의한 오차가 발생할 수 있다. 1-비트 ADC를 이용하여 아날로그 입력을 단일 비트 이산화하면 구형파로 변환되므로 비교기의 히스테리시스에 의해 일부 고주파 성분의 필터링이 가능하다. 그러나 비교기의 Dead Zone을 벗어나는 잡음이 입력에 포함되어 있는 경우에는 이를 제거할 수 있는 저역 통과 필터가 필요하다.

3.2 FPGA부

본 논문에서 제안하는 방법으로 주파수를 측정하기 위해서는 입력 신호 처리부로부터 단일 비트 이산화된 입력과 DCO 출력간의 정확한 주파수 오차와 위상 오차를 측정할 수 있어야 한다. 또한, 발진기의 출력이 입력의 위상을 정확히 추종할 수 있어야 한다. 이를 위한 FPGA의 구조를 그림 4에 나타내었다.

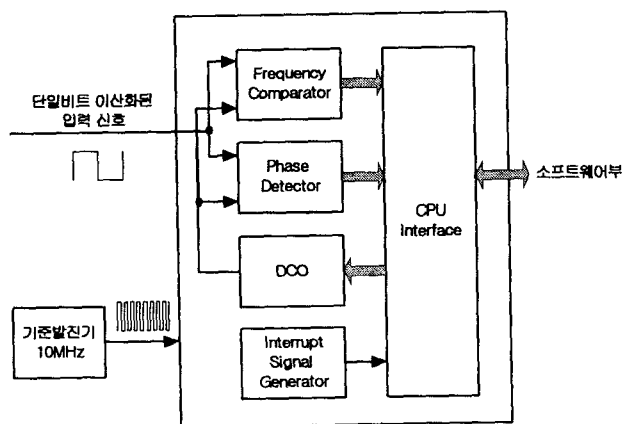


그림 4 FPGA부의 구조
Fig. 4 Structure of FPGA part

3.2.1 주파수 비교기

그림 5는 주파수 비교기의 구조를 나타낸다. 주파수 비교기는 저역 통과 필터와 입력의 매 주기를 측정하는 누산기(Accumulator)로 구성된다.

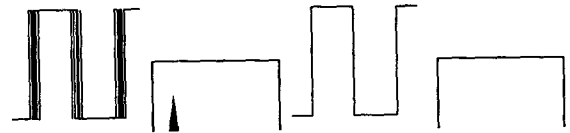


그림 5 주파수 비교기의 구조
Fig. 5 Structure of frequency comparator

비교기의 Dead Zone을 넘는 잡음이 입력에 포함되어 있는 경우에 단일비트 이산화 된 후의 입력은 그림 6과 같이 고주파를 포함한다. 이 경우 저역 통과 필터 기능이 필요하다.

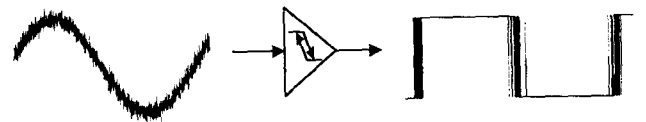


그림 6 비교기의 Dead Zone을 넘는 잡음을 포함한 입력에 대한 비교기 출력
Fig. 6 Output of comparator with noisy input

그림 7은 저역 통과 필터 기능을 설명한다. 전력 계통의 정격 주파수인 50Hz 또는 60Hz에 대해서 크게 벗어나는 고주파 성분은 필터링하도록 한다. 본 논문의 모사 및 실험에서는 80Hz 이상의 주파수에 대해서 필터링을 하도록 하였다. 그림 7에서 보는 바와 같이 t_1, t_2, t_3, t_4 의 시간의 반만큼의 시간을 잡음이 없는 입력의 영 교차점이라고 판단하도록 하였다. 그러나 반주기 동안의 신호에 대해서 잡음의 존재 여부를 판단하도록 해야 하므로 이 시간만큼의 지연이 발생한다.

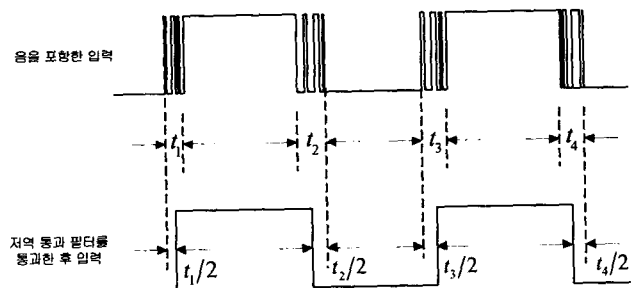


그림 7 디지털 저역 통과 필터
Fig. 7 Digital low-pass filter

그림 8은 주파수 비교기에서 입력의 매 주기를 측정하는 방법을 보여준다. 기준 발진기를 이용하여 주기를 측정하고 이를 이용하여 루프 필터에서 주파수 오차에 대한 보상치를 생성한다.

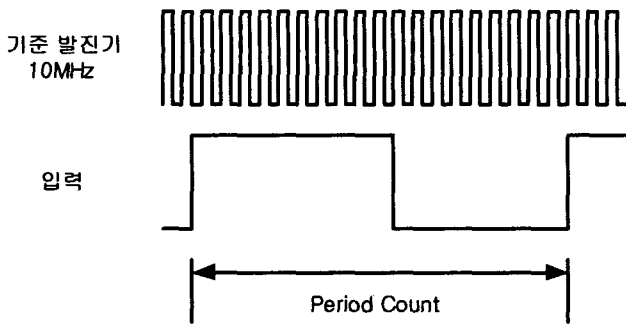


그림 8 전력 계통 입력의 주기 측정
Fig. 8 Period count for input of power system

3.2.2 위상 분별기

그림 9는 위상 분별기의 구조를 나타낸다. 입력의 상승 에지(Rising Edge)부터 DCO 출력의 상승 에지까지의 시간을 누산기(Accumulator)에서 측정하여 위상 오차를 출력한다[19][21][23].

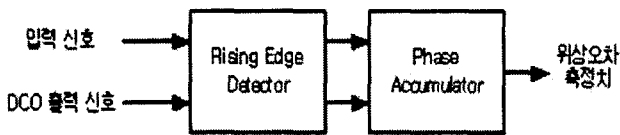


그림 9 위상 분별기의 구조
Fig. 9 Structure of phase discriminator

3.2.3 DCO(Digitally Controlled Oscillator)

그림 10은 DCO의 구조를 나타낸다[20]. DCO는 요구되는 사양에 적합한 분해능 가져야 한다. 본 논문에서 수행한 실험 장치에서는 40비트의 누산기를 가지는 DCO를 구성하여 약 0.9μHz의 분해능을 가지도록 하였다. DCO의 초기 주파수가 60Hz가 되도록 증가값을 십진수 6597069로 설정하였다.

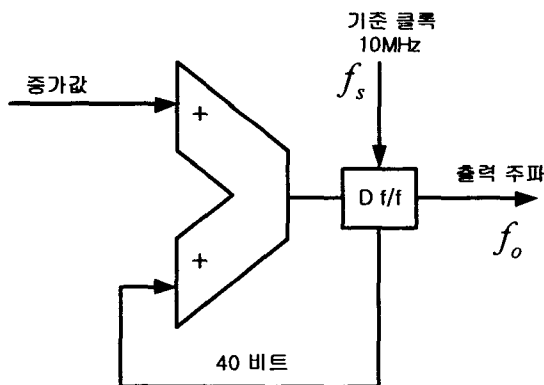


그림 10 DCO의 구조
Fig. 10 Structure of DCO

3.2.4 CPU 인터페이스

FPGA부의 주파수 비교기 및 위상 분별기의 측정치를 CPU에 전달하고 CPU로부터 계산된 DCO의 출력 주파수 값을 전달 받는 역할을 한다. 본 논문의 실험에서는 DSP의 일종인 TI(Texas Instrument)사의 TMS320VC33-120MHz를 CPU로 사용하였다[24].

3.3 소프트웨어

그림 11에 전체 소프트웨어의 구조를 나타내었다. 소프트웨어는 판별기와 루프 필터로 구성되며, FPGA부의 측정치를 주파수 오차와 위상 오차로 변환하여 필터링 후 주파수를 계산하는 과정 등을 수행한다.

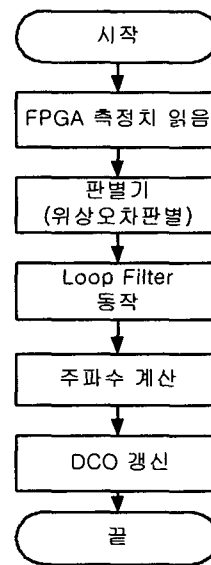


그림 11 소프트웨어부의 구조
Fig. 11 Structure of software

3.3.1 판별기

판별기는 식(5)을 이용하여 주파수 비교기와 위상 분별기로부터의 측정치를 DCO의 출력 주파수에 대한 주파수 오차와 위상 오차로 변환한다.

$$\frac{1}{T_m} : \frac{1}{T_{DCO}} = f_{err} : 2\pi \quad (5)$$

여기서 T_m 은 주파수 비교기의 측정치를 나타내고 T_{DCO} 는 DCO의 현재 출력 주파수를 기준 발진기의 클럭 수로 변환한 값을 나타내며 f_{err} 는 주파수 오차를 나타낸다. 주파수 DCO의 출력 주파수는 알고 있으므로 DCO의 주파수에 대한 입력 신호의 주파수 오차를 계산할 수 있다.

식 (6)은 위상 분별기의 위상 오차 측정치를 위상 오차량으로 변환하는 식을 나타낸다.

$$f_{DCO} : 2\pi = P_m : \theta_{err} \quad (6)$$

여기서 f_{DCO} 는 DCO의 현재 출력 주파수를 나타내고 P_m 은 위상 오차 측정치를 나타내며 θ_{err} 는 위상 오차를 나타낸다.

3.3.2 루프 필터

루프 필터는 위상 고정 루프의 특성을 결정하므로 주파수를 추종하는 과정에서 오버슈트가 발생하지 않고 빠른 응답 속도를 갖도록 설계한다. 시스템 사양에 따라 차수를 달리 할 수 있는데, 본 논문에서는 3차 위상 고정 루프가 되도록 하였다. 식(7)은 3차 위상 고정 루프의 전달 함수를 나타내고 그림 12는 이에 대한 계단 응답을 나타낸다. 오버슈트는 0.4%이하로, ζ 는 0.707, w 는 1, α 는 3000으로 설정한 것이다.

$$\begin{aligned}
 H(s) &= \frac{F(s)}{s + F(s)} \\
 &= \frac{(\alpha + 2\zeta w)s^2 + (2\zeta w\alpha + w^2)s + \alpha w^2}{(s + \alpha)(s^2 + 2\zeta ws + w^2)} \quad (7) \\
 &= \frac{3001s^2 + 4243s + 3000}{s^3 + 3001s^2 + 4243s + 3000}
 \end{aligned}$$

여기서, $F(s)$ 는 루프 필터 함수를 나타낸다.

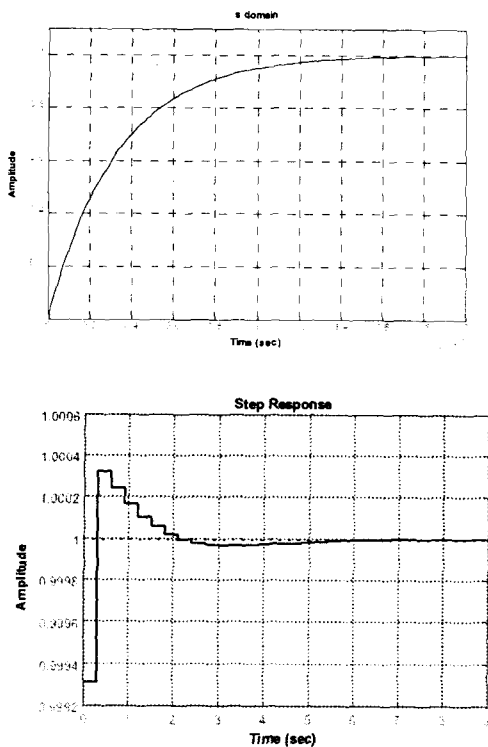


그림 12 아날로그 및 디지털 위상 고정 루프의 계단 응답
Fig. 12 Step response of analog and digital phase locked loop

3.3.3 주파수 계산

식 (8)은 그림 10에서의 DCO 증가값을 나타낸다[20]. 루프 필터의 출력에 따라 DCO의 입력을 갱신시켜 준다.

$$\text{DCO의 증가값} = \frac{f_{out} \cdot 2^N}{f_s} \quad (8)$$

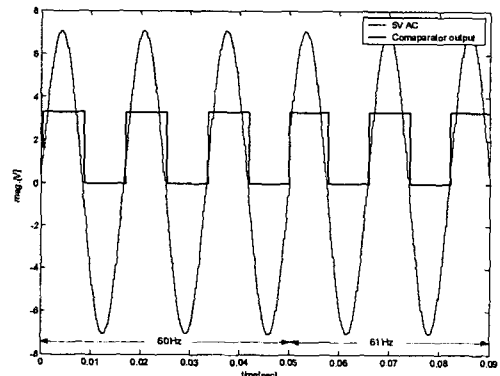
여기서 f_{out} 은 DCO의 출력 주파수를 나타내며 N 은 누산기의 비트수를 나타내고 f_s 는 기준 클럭의 주파수를 나타낸다.

4. 모의 실험

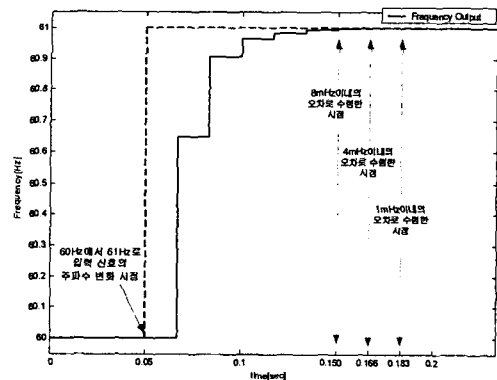
본 논문에서 제안하는 주파수 측정 장치의 검증을 위하여 MATLAB™을 이용한 모의 실험을 수행하였다. 본 절에서는 전력 계통에서 발생 가능한 여러 가지 상황을 모사한 결과를 제시한다.

4.1 잡음이 없는 입력에 대한 실험

그림 13은 MATLAB™으로 생성한 5V AC 아날로그 입력과 비교기를 통과한 후의 입력을 함께 나타낸다. 0.05초 이후에 잡음이 없는 60Hz AC 입력을 61Hz로 변화시켰다. 이 입력을 이용하여 실험을 수행한 결과를 그림 16 (b)에 나타내었다. 실험은 0.5초간 수행하였으며 주파수가 변화한 시점의 1/60초 이후부터 주파수를 정상적으로 추종하는 결과를 나타낸다. 0.18초 후에 1mHz 이내의 오차로 수렴함을 알 수 있다.



(a) +1Hz만큼 주파수 변화 시 입력



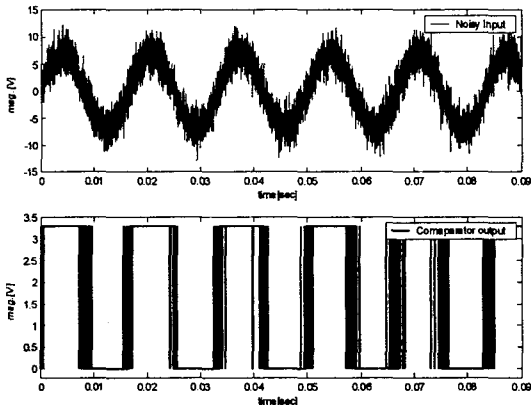
(b) 모의 실험 결과

그림 13 60Hz 주파수에서 +1Hz만큼의 주파수 변화 시 입력과 이를 이용한 모의 실험 결과

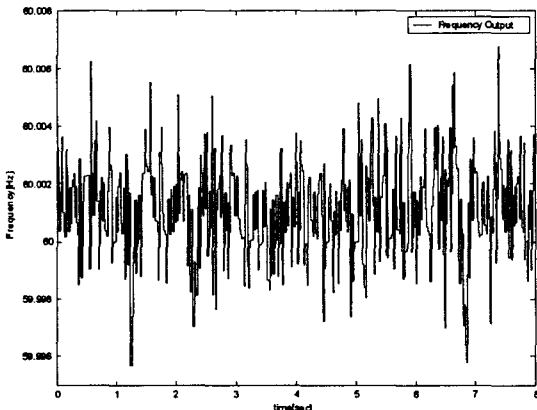
Fig. 13 Simulation result at 60Hz with 1Hz frequency deviation

4.2 잡음을 포함한 입력에 대한 실험

그림 14는 잡음을 포함하고 있는 입력을 MATLAB™을 이용하여 생성하고 이 입력에 대해 8초간 실험한 결과를 보여 준다. 정격 주파수 60Hz를 가지는 5V AC 신호에 비교기의 Dead Zone(0.825V)을 넘는 1.8V(1σ) 전압의 백색 잡음을 포함하는 입력을 생성하였다. 모의 실험 결과는 60Hz의 주파수에 대해서 최대 6.8mHz의 오차를 보이고 있다.



(a) 백색 잡음을 포함한 입력



(b) 모의 실험 결과

그림 14 백색 잡음을 포함한 입력에 대한 모의 실험 결과

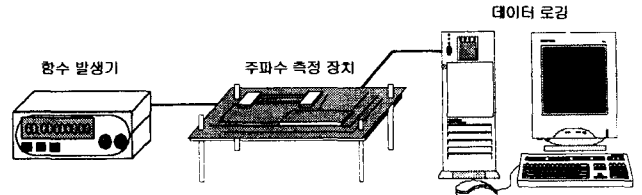
Fig. 14 Simulation result of input with white noise

5. 실험 및 성능 평가

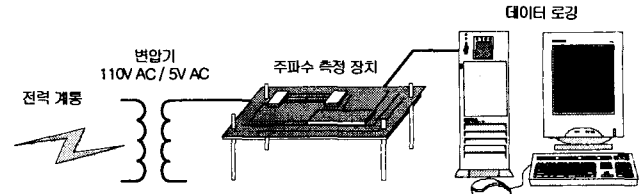
제안한 장치의 성능을 시험하기 위하여 함수 발생기의 출력에 대해 주파수를 측정된 결과와 실제전력 계통에 대한 실험 결과를 제시한다.

5.1 실험 장치 구성

그림 15는 함수 발생기의 출력과 실전력 계통에 대한 실험 장치 구성을 나타낸다. 함수 발생기의 출력과 실전력 계통에 대해 측정 장치에서 주파수를 측정하고 이 결과를 PC에서 관찰 가능하도록 구성하였다.



(a) 함수 발생기에 대한 실험 구성



(b) 실전력 계통에 대한 실험 구성

그림 15 실험 장치 구성

Fig. 15 Experimental setup

실험에 사용한 함수 발생기는 HP사의 HP33120A 제품이며 사양은 표 1에 나타내었다.

표 1 함수 발생기의 사양

Table 1 Specification of function generator

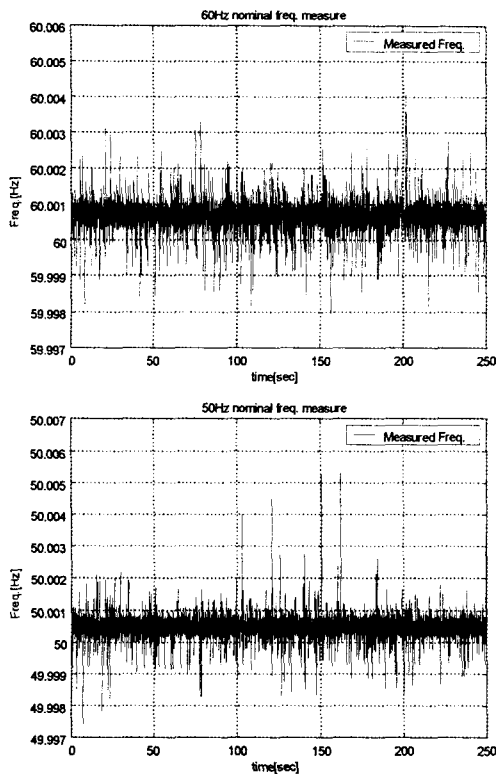
항 목	내 용
주파수 범위	100μHz~15MHz
출력 전압 범위	50mVpp~10Vpp
분해능	10μHz
정확도	10ppm in 90 days 20 ppm in 1 year (18~28°C)
온도 상수	< 2ppm/°c
Aging	< 10ppm/year

5.2 주파수 측정 실험 결과

본 절에서는 함수 발생기의 출력에 대한 실험과 실전력 계통에 대한 실험 결과를 서술한다. 함수 발생기의 출력 주파수를 고정 또는 변화 시키면서 측정된 결과와 주파수 측정 속도에 대해서 수행한 실험 결과를 제시한다. 실전력계통은 실험실에 연결된 110V AC 전원을 사용하였다. 이에 대한 주파수 변동에 따른 정확도의 검토는 불가능하지만 본 논문에서 제안하는 주파수 측정 장치의 실제계통에 대한 동작 검토의 결과로 제시하였다.

5.2.1 함수 발생기의 출력에 대한 실험 결과

그림 16은 함수 발생기의 출력에 대한 실험 결과이다. 함수 발생기의 출력 주파수를 정격 주파수인 60Hz, 50Hz로 설정한 상태로 250초간 측정된 결과를 나타낸다. 실험 결과로부터 매우 정밀하게 주파수를 측정하고 있음을 알 수 있다.



(a) 60Hz 및 50Hz의 정격 주파수에 대한 실험 결과

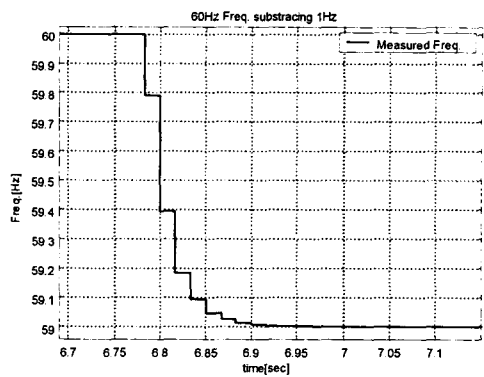
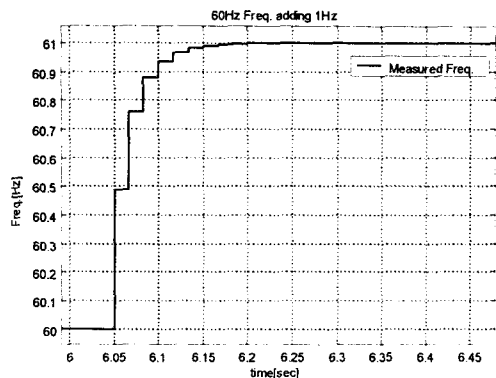
설정 주파수	평균	표준 편차
50Hz	50.0001Hz	0.2mHz
60Hz	60.0006Hz	0.2mHz

(b) 실험 결과

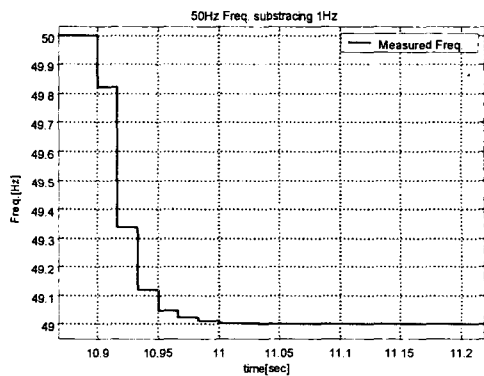
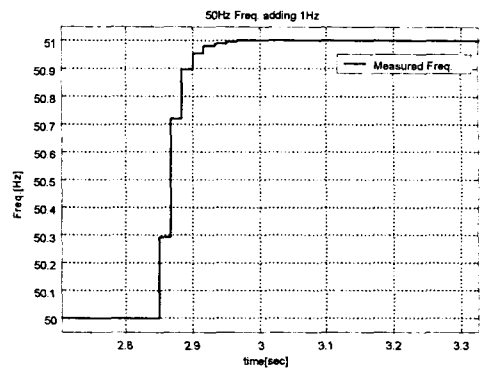
그림 16 정격 주파수에 대한 실험 결과

Fig. 16 Experimental result at nominal frequency

그림 17은 정격주파수에 대해 각각 $\pm 1\text{Hz}$ 만큼 함수발생기의 출력에 주파수 변화를 주었을 때 실험한 결과이다. 고성능 상용 계전기의 주파수 측정 응답 속도에 준하여 5mHz이내의 주파수 오차로 수렴하는 시간을 표 2에 나타내었다. 이 실험 결과로부터 주파수 변동이 발생했을 경우에 과도응답 구간에서 주파수 추종 시 오버슈트가 발생하지 않고 정확하게 주파수를 추종하고 있음을 확인할 수 있다.



(a) 60Hz에서 $\pm 1\text{Hz}$ 만큼 주파수 변화 시 실험 결과



(b) 50Hz에서 $\pm 1\text{Hz}$ 만큼 주파수 변화 시 실험 결과

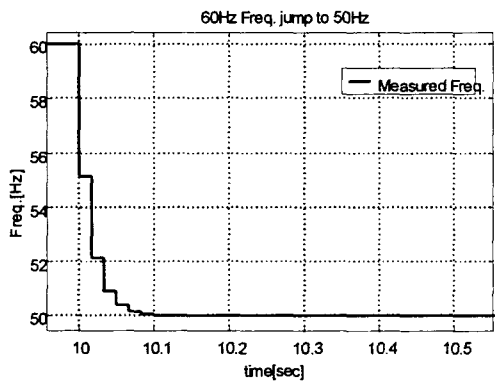
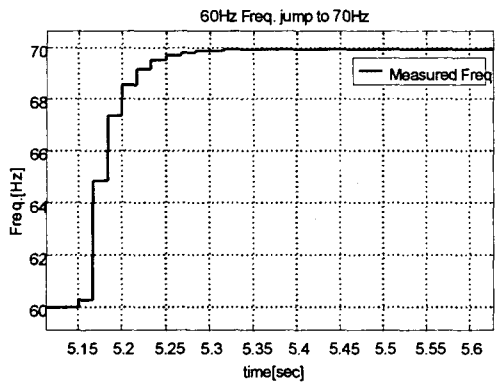
그림 17 정격 주파수에 $\pm 1\text{Hz}$ 만큼의 주파수 변화 시 실험 결과

Fig. 17 Experiment result at nominal frequency with 1Hz frequency deviation

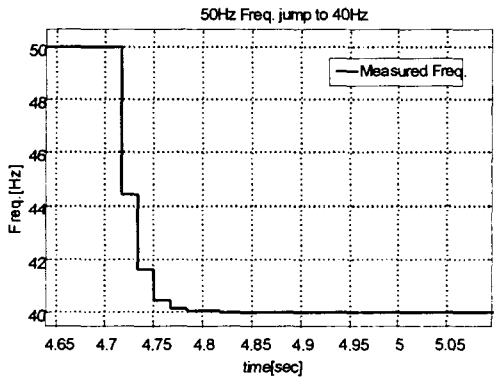
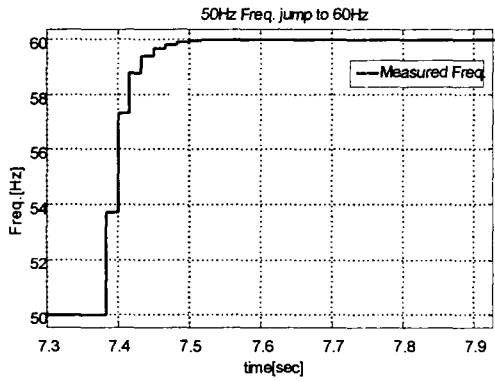
표 2 정격 주파수에 $\pm 1\text{Hz}$ 만큼 주파수 변화 시 응답 속도
Table 2 Response speed of at nominal frequency with 1 Hz frequency deviation

주파수 변화	측정 속도(5mHz이내의 오차)
60Hz \Rightarrow 61Hz	150.0msec
60Hz \Rightarrow 59Hz	150.0msec
50Hz \Rightarrow 51Hz	133.3msec
50Hz \Rightarrow 49Hz	150.0msec

주파수 측정 장치의 측정 범위를 시험하기 위하여 정격 주파수에 대해 $\pm 10\text{Hz}$ 만큼 주파수 변화를 주었을 때 실험한 결과를 그림 18에 나타내었다. 표 3은 이 실험에 대한 응답 속도에 대한 결과를 나타내며 실험 결과로부터 주파수 측정 장치가 사양을 잘 만족하고 있음을 알 수 있다.



(a) 60Hz에서 ±10Hz만큼 주파수 변화 시 실험 결과



(b) 50Hz에서 40Hz로 주파수 변화 시 실험 결과

그림 18 정격 주파수에 ±10Hz만큼의 주파수 변화 시 실험 결과

Fig. 18 Experiment result at nominal frequency with 10Hz frequency deviation

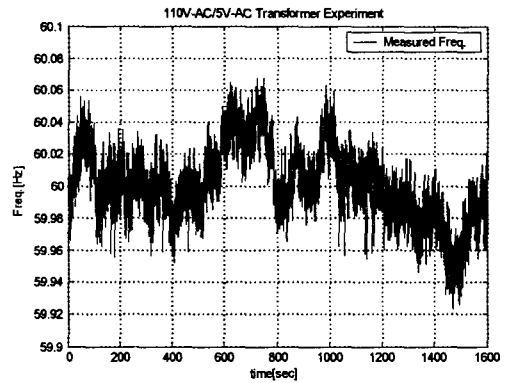
표 3 정격 주파수에 ±10Hz만큼의 주파수 변화 시 응답 속도

Table 3 Response speed of at nominal frequency with 10 Hz frequency deviation

주파수 변화	측정 속도(5mHz 이내의 오차)
60Hz ⇒ 70Hz	700msec
60Hz ⇒ 50Hz	633.3msec
50Hz ⇒ 60Hz	550msec
50Hz ⇒ 40Hz	333.3msec

5.2.2 실전력 계통에 대한 실험 결과

110V AC 전원을 5V AC로 변환해주는 변압기를 이용하여 실험한 결과를 그림 19에 나타내었다. 실험은 1600초 동안 수행한 결과이며 실전력 계통에 대한 주파수 측정 결과로부터 계전기에 적용 가능함을 알 수 있다.



(a) 실전력 계통에 대한 실험 결과

	평균	표준 편차
실험 결과	60.0008 Hz	0.0221 Hz

(b) 실험 결과

그림 19 실전력 계통에 대한 실험 결과

Fig. 19 Experimental result of real power system

6. 결론 및 추후과제

본 논문에서는 위상 고정 루프를 이용한 계전기용 주파수 측정 장치를 구현하기 위하여 위상 고정 루프의 구성 요소를 설계하였다. 디지털 위상 고정 루프를 이용한 주파수 측정 방법을 제안하고 모의 실험을 통하여 이를 검증 하였으며 실제 주파수 측정 장치를 구현하여 실험한 결과를 제시 하였다.

디지털 위상 고정 루프를 이용하여 구성한 장치의 실험 결과로부터 제안한 주파수 측정 장치는 계전기에 적용할 수 있음을 알 수 있었으며 추후 보다 빠른 응답 속도를 가지는 주파수 측정 알고리즘이 제안되어야 할 것이다. 최종적으로는 완전한 주파수 계전기로 구성되어 보다 신뢰성 있는 전력 설비의 구현이 이루어져야 할 것으로 생각한다.

참 고 문 헌

[1] 송길영, 최신 송배전 공학, 동일출판사, 서울, 2001.
 [2] 송길영, 신편 전력 계통 공학, 동일출판사, 서울, 1998.
 [3] 배주천, 김입경, "우리나라의 전력계통운영현황과 광역 고장 대책," 전기의 세계, 대한전기학회, 제52권 제11호, pp.50-54, 2003년 11월.
 [4] Tadeusz Lobos, Jacek Rezmer, "Real-Time Determination of Power System Frequency," IEEE Trans. on Instrumentation and Measurement, Vol.46, No.4, pp.871-881, Aug. 1997.
 [5] Vikram Kaura, Vladimir Blasko, "Operation of a Phase Locked Loop System Under Distorted Utility Conditions," IEEE Trans. on Industry Applications, Vol.33, No.1, pp.58-63, Jan./Feb. 1997.
 [6] Sidhu, Sachdev, "An Iterative Technique for Fast and Accurate Measurement of Power System Frequency," IEEE Trans. on Power Delivery, Vol.13, No.1, pp.109-115, Jan. 1998.
 [7] Miroslav M. Begović, Petar M. Jhurić, Sean Dunlap, Arun G. Phadke, "Frequency Tracking Power Networks in the Presence of Harmonics," IEEE Trans. on Power Delivery, Vol.8, No.2, pp.480-486, Apr. 1993.
 [8] Jun-Zhe Yang, Chih-Wen Liu, "A Precise Calculation of Power System Frequency," IEEE Trans. on Power Delivery, Vol.16, No.3, pp.361-366, Jul. 2001.
 [9] Wen Zhuo, Evangelia Micheli-Tzanakou, "A High Performance Continuous Data Flow Filter using Sliding Discrete Fourier Transform(DFT) and One Point Inverse DFT," Proceedings of IEEE International Conference on ITAB, pp.51-56, May 1998.
 [10] Dr. Tevfik Sezi, "A New Method for Measuring Power System Frequency," Proceedings of IEEE Transmission and Distribution Conference, Vol.1, pp. 400-405, Apr. 1998.
 [11] Jen-Shiun Chiang, Kuang-Yuan Chen, "The Design of an All-digital Phase-Locked Loop with Small DCO Hardware and Fast Phase Lock," IEEE Trans. on Circuits and Systems, Vol.46, No.7, pp.945-950, Jul. 1999.
 [12] A. Kóksal Hocaoglu, Michael J. Devancy, "A New Quadratic Form Based Frequency Measurement Algorithm," Proceedings of IEEE Technology Conference on Instrumentation and Measurement, Vol.2, pp.1065-1070, Jun. 1996.
 [13] 홍준희, 전자기 과도현상 해석을 위한 시간영역에서의 등가 축약법, 서울대학교 박사학위논문, 1995년.
 [14] SIEMENS, Numerical Voltage, Frequency and Overflux Protection. SIPROTEC 7RW600 V3.0 Instruction

Manual, 2001.
 [15] GE, DFF. Digital Frequency Relay, 1996.
 [16] ABB, SPAF 140 and SPAF 340 Frequency Relays, 2000.
 [17] ALSTROM, MiCOM P921,P922 & P923 Voltage and Frequency Relays, 2001.
 [18] Michael J. Werter, "A Digital Phase-Locked Loop for Frequency Detection," Proceedings of IEEE the 38th Midwest Symposium on Circuits and Systems, Vol.2, pp.1252-1255, Aug. 1995.
 [19] Roland E. Best, Phase-Locked Loops, 4th Edition, McGraw-Hill, 1999.
 [20] Elliot D. Kaplan, Understanding GPS: Principles and Applications, Artech House, 1996.
 [21] Donald R. Stephens, Phase-Locked Loops For Wireless Communications Digital And Analog Implementations, Kluwer Academic Publishers, 1998.
 [22] Olli Vainio, Seppo J. Ovaska, "Digital filtering for robust 50/60 Hz zero-crossing detectors," IEEE Trans. on Instrumentation and Measurement, Vol.45, No.2, pp.426-430, Apr. 1996.
 [23] 이상정 외, U3 시스템설계, 연구개발보고서, 충남대학교, 2002년 9월.
 [24] Texas Instrument, TMS320VC33 DIGITAL SIGNAL PROCESSOR SPRS087D, 2002.

저 자 소 개



윤영석 (尹永碩)

1976년 8월 24일생. 2002년 충남대학교 전자공학과 학사. 2004년 동대학원 석사. 2004년~현재 삼성전기(주) 기판사업부 주임연구원

Tel : 82-41-861-7624

Fax : 82-41-861-1334

E-mail : ys1004.yoon@samsung.com



최일홍 (崔逸興)

1974년 3월 14일생. 1997년 충남대학교 전자공학과 학사. 1999년 동대학원 석사. 2003년 동대학원 박사. 2003년~현재 (주) 네비콤 선임연구원

Tel : +82-42-868-4536

Fax : +82-42-868-4501

E-mail : iltobi@navicom.co.kr



이 상 운 (李 相 閔)

1976년 11월 10일생. 2002년 충남대학교
전자공학과 학사, 2002년~현재 동대학원
석사 과정

Tel : 82-42-821-7706

Fax : 82-42-823-5436

E-mail : tkddbbs@cslab.cnu.ac.kr



이 상 정 (李 相 禎)

1956년 8월 15일생. 1979년 서울대학교 전
자공학과 학사. 1981년 동대학원 석사.
1987년 서울대학교 제어계측공학과 박사.
1988년~현재 충남대학교 전기정보통신공
학부 교수

Tel : 82-42-821-6582

Fax : 82-42-823-5436

E-mail : eesjl@cslab.cnu.ac.kr



황 동 환 (黃 東 煥)

1962년 10월 29일생. 1985년 서울대학교
전기공학과 학사. 1987년 한국과학기술원
전기공학과 석사. 1991년 동대학원 박사.
1996년~현재 충남대학교 전기정보통신공
학부 부교수

Tel : 82-42-821-5670

Fax : 82-42-823-5436

E-mail : dhhwang@cnu.ac.kr



박 장 수 (朴 壯 洙)

1966년 6월 15일생. 1998년 한양대학교
전기공학과 학사. 1989년~1997년 LG산전
(주) 중앙연구소. 1997년~현재 LG산전
(주) 전력지능화 연구단 연구단장

Tel : 043-261-6527

Fax : 043-261-6630

E-mail : jspark@lgis.com