

主 題

# IMT-2000 진화 시스템 기술 소개

LG전자(주) 김중현, 이기현, 최고희, 최진성

차 례

- I. 서 론
- II. 1xEV-DV 기지국 모뎀 기술 소개
- III. HSDPA 기지국 모뎀 기술 소개
- IV. 결론 및 향후 전망

## 요 약

1xEV-DV와 HSDPA는 이동통신 환경에서 단말기별 무선 구간의 상태나 QOS의 정책에 따라 적절한 MCS를 할당함으로써 고속 packet data 서비스를 가능하게 하는 표준이다.

이 논문에서는 LG 전자가 개발한 1xEV-DV와 HSDPA의 기지국 모뎀 하드웨어, 모뎀 소프트웨어 및 채널카드에 대해 설명한다. Processor와 DSP의 역할을 중심으로 두 채널카드의 유사성 및 차이점에 대해 논의한다.

Both the 1xEV-DV and HSDPA are advanced standards which can make high speed packet data services come true in mobile communications environment. Both specifications look similar in a point of allocating their radio access resources based on

the real-time variation of wireless channels. This paper introduces BTS modems and channel cards for 1xEV-DV and HSDPA developed by LG Electronics, Inc.

주제어: 3GPP, 3GPP2, HSDPA, 1xEV-DV

## 1. 서 론

3GPP2 1xEV-DV(1x Evolution-Data & Voice)와 3GPP HSDPA(High Speed Downlink Packet Access)는 각기 동기 및 비동기 IMT-2000의 진화기술로서 고속 데이터전송 및 이를 기반으로 하는 각종 무선인터넷 어플리케이션을 가능케 하기위한 향상된 무선전송기술로서, 이동통신 환경에서 단말기별 무선 구간의 상태나 QOS의 정책에 따라 적절한 MCS(Modulation and Coding Set)를 할당함으로써 가장 최적의

고속 packet data 서비스를 가능하게 하는 표준 기술이다.

이 논문에서는 동기식 비동기식 IMT-2000 및 1xEV-DO 개발에 이어 LG전자가 개발한 1xEV-DV과 HSDPA 시스템에 대해서 기지국 모뎀전반에 걸친 구조 및 핵심기능소개와 이 모뎀이 들어가는 채널카드에 대한 개괄적인 특징과 구조 중심으로 소개하고 비교해본다.

2장에서는 1xEV-DV의 모뎀과 채널카드에 대해 알아본다. 3장에서는 HSDPA의 모뎀과 채널카드에 대해 살펴본다. 그리고 4장에서 결론을 맺는다.

## 2. 1xEV-DV 기지국 모뎀 기술 소개

이 장에서는 모뎀 하드웨어, 모뎀 소프트웨어와 채널카드로 나누어 각각의 구조, 특징에 대해서 살펴본다.

### 2.1 1xEV-DV 기지국 모뎀 하드웨어

그림 2는 1xEV-DV 모뎀 하드웨어의 최상위

구조도이다. 1xEV-DV 모뎀의 구조는 크게 CDMA subsystem, Processor subsystem으로 구성된다. CDMA subsystem은 CDMA 프로세싱을 위한 부분으로서 Transmitter, Searcher, Demodulator, Decoder로 구성된다. Processor subsystem은 모뎀 외부의 Host Processor와 DSP 인터페이스를 담당하며, DPRAM, DSP 인터페이스 블록, Host Processor 인터페이스 블록, 인터럽트 (interrupt) 블록으로 구성된다. 이외에 모뎀과 모뎀 사이의 RPC 및 Sector Power 을 공유하기 위한 Chip-to-Chip 통신 블록이 있다.

1xEV-DV 기지국 모뎀은 크게 4개의 외부 인터페이스를 가진다.

- Host Processor Bus
- DSP Bus
- Chip-to-Chip Bus
- TX/RX Data Interface

1xEV-DV 기지국 모뎀에서 지원되는 Forward Link 채널들은 다음과 같다.

- Pilot Channels: F-PICH, F-TDPICH,

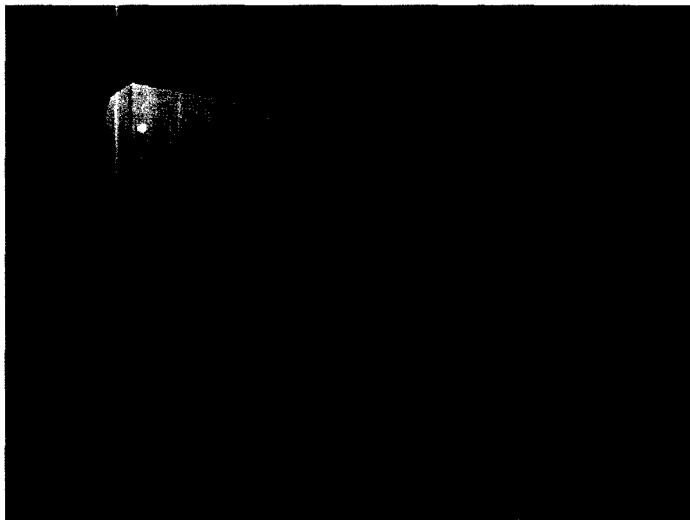


그림 1. xEV-DV 기지국 모뎀

F-APICH, F-ATDPICH

- Control Channels: F-SYNC, F-PCH, F-BCH, F-CACH, F-CCCH, F-CPCCH, F-QPCH, F-PDCCH
- Traffic Channels: F-DCCH, F-FCH, F-SCH, F-SCCH, F-PDCH

또한 지원되는 Reverse Link 채널들은 다음과 같다.

- Access Channels: R-ACH, R-EACH, R-CCCH
- Traffic Channels: R-DCCH, R-FCH, R-SCH, R-SCCH, R-ACKCH, R-CQICH

1xEV-DV 기지국 모델에서 지원되는 기능들

은 다음과 같다.

- Forward Link 64 개의 TX 자원
- 역방향 32 개의 RX 자원
- Forward Link 12 sector / 12 안테나 동시 지원
- Reverse Link 12 sector / 24 안테나 동시 지원
- TX 자원의 증가 없이 Forward Link 6 sector STS/OTD 지원
- R-FCH/R-DCCH에 RX 자원 증가 없이 R-CQICH와 R-ACKCH 지원
- 한 모뎀당 8개의 307.2 Kbps F-SCH 지원
- 한 모뎀당 4개의 307.2 Kbps R-SCH 지원
- 한 모뎀당 6개의 F-PDCH 지원
- 다음 slot (1.25 ms)에 대한 Look-Ahead

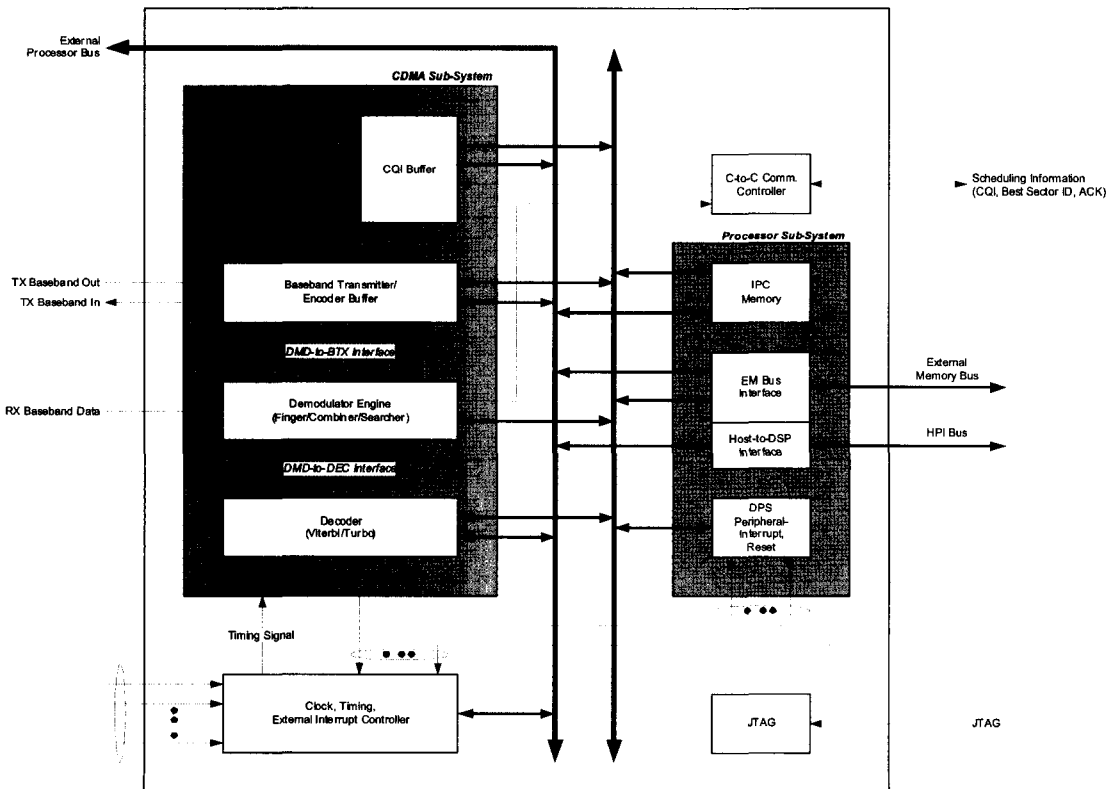


그림 2. 1xEV-DV 모뎀 하드웨어의 최상위 구조

Power 계산

- IS-95A/B의 R-ACH와 R-FCH에 대한 demodulator의 구조 개선으로 수신 성능 향상.
- Chip-to-Chip communication ports을 이용하여 여러 개의 모뎀 사이의 F-CPCCH를 위한 RPC bit 공유
- CHIPx2 Rx sample에 대한 interpolation 수행
- Asynchronous external processor interface 지원
- 125km의 셀 반경 지원
- 전체 128 개의 finger에 대해 user당 1개에서 8개까지 finger를 dynamic하게 할당.
- 고속 데이터 서비스를 위한 보다 효율적인 자원 관리 지원
- Pilot gating/FCH Gating 지원
- ERAM (Enhanced Rate Adaptation Mode) 지원

- Flexible/Variable data rate 지원
- CSH (Code Combined Soft Handoff) 지원

2.2 1xEV-DV 기지국 모뎀 소프트웨어

그림 10는 1xEV-DV 모뎀 소프트웨어의 최상위 구조도이다. 모뎀 소프트웨어는 크게 Host Processor가 수행하는 Host 부분과 DSP가 수행하는 DSP 부분으로 나누어 진다.

모뎀 소프트웨어의 Host 부분에서 담당하는 일들은 다음과 같다.

- 모뎀의 전반적인 제어 및 초기화
- DSP 소프트웨어 download
- Forward Link 채널 제어
- Forward Link 데이터 Write
- Reverse Link 데이터 Read
- IR buffer 관리
- DSP와 통신

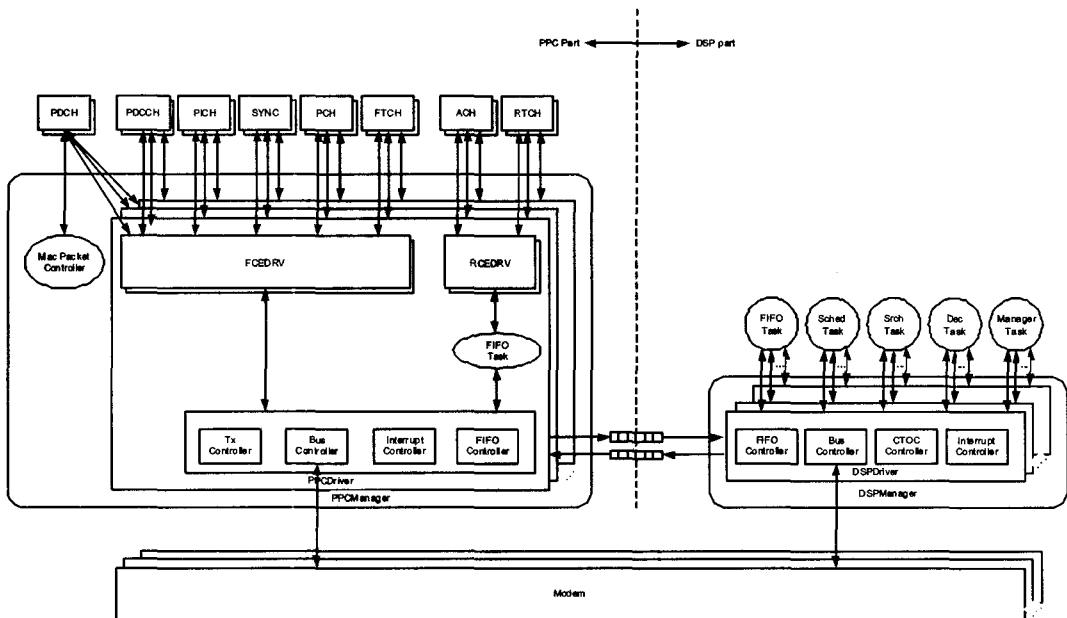


그림 3. 1xEV-DV 모뎀 소프트웨어의 최상위 구조

모뎀 소프트웨어의 DSP 부분에서 담당하는 일들은 다음과 같다.

- Searcher Scheduling
- Multipath에 대한 Finger 할당
- Rate Determination
- Cell Switching Detection
- F-PDCH를 위한 User Selection
- F-PDCH를 위한 MCS Selection
- F-PDCH를 위한 HARQ
- F-CPCCH의 Forward Power Control
- Host Processor와 통신

### 2.3 1xEV-DV 기지국 채널 카드

그림 11은 1xEV-DV 채널카드의 최상위 구조도이다. 이 채널카드는 1장만으로도 1-FA/3-Sector에 필요한 채널자원을 수용할 수 있도록 설계된다. 채널카드는 1개의 Host Processor와 1개의 DSP, 그리고 6개의

1xEV-DV 기지국 모뎀을 탑재한다. Host Processor는 Host Processor Bus를 통해 6개의 모뎀과 연결된다. DSP는 DSP Bus를 통해 6개의 모뎀과 연결된다. 또한 6개의 모뎀은 서로 사이에 Chip-to-Chip Bus를 공유한다.

1xEV-DV 채널카드의 특징은 다음과 같다.

- Forward Link 384 개의 TX 자원 수용
- Reverse Link 192개의 RX 자원 수용
- Forward Link 12개의 안테나 인터페이스
- Reverse Link 24 개의 안테나 인터페이스
- 1-FA/3-Sector 분량의 F-PDCH를 하나의 채널카드에 수용함으로써, Fast Soft Cell Switching 을 채널카드만으로 자체 처리
- 서로 다른 모뎀에 할당된 F-CPCCH와 R-FCH/R-DCCH 사이의 RPC bit을 Chip-to-Chip Bus를 통해 전달
- 1개의 DSP가 6개의 모뎀에 있는 Searcher

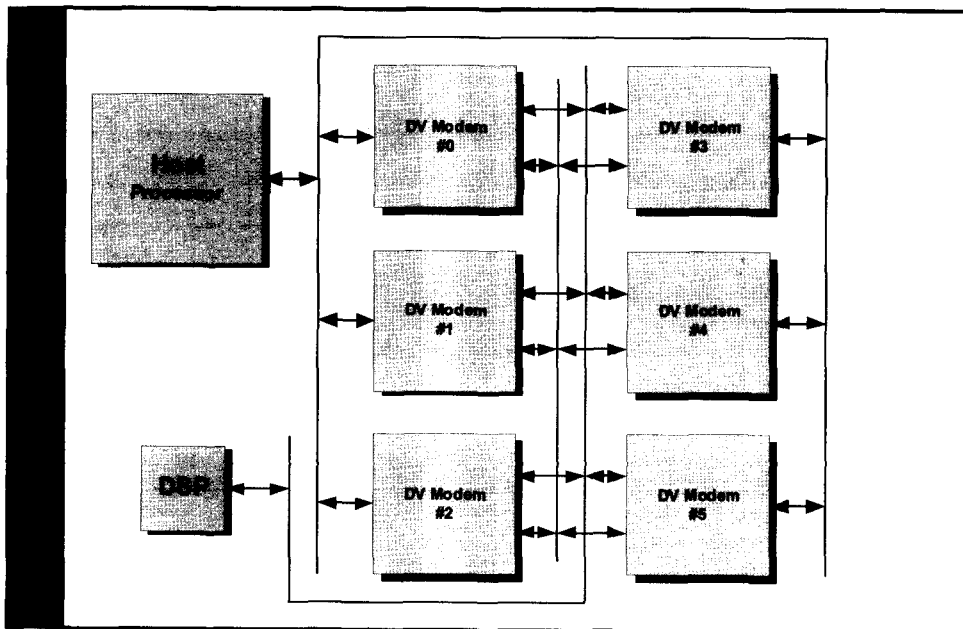


그림 4. 1xEV-DV 채널카드의 최상위 구조

를 운영함으로써, Searcher Load를 6개의 모뎀으로 분산 처리. 서로 다른 모뎀의 Searcher와 RAKE Receiver를 연결시킬 수 있음.

- 채널 카드 단위의 Sector별 Look-Ahead Slot Power를 구함으로써, 다음 slot에

F-PDCCH 및 F-PDCH에 할당 가능한 Power를 미리 구할 수 있음.

### 2.4 1xEV-DV 기지국 시험결과

이 장은 Code Domain Analyzer와 Signal Generator를 사용하여 실험한 결과를 보여준다.



그림 5. F-PDCH의 Constellation (각각 QPSK, 8-PSK, 16QAM)

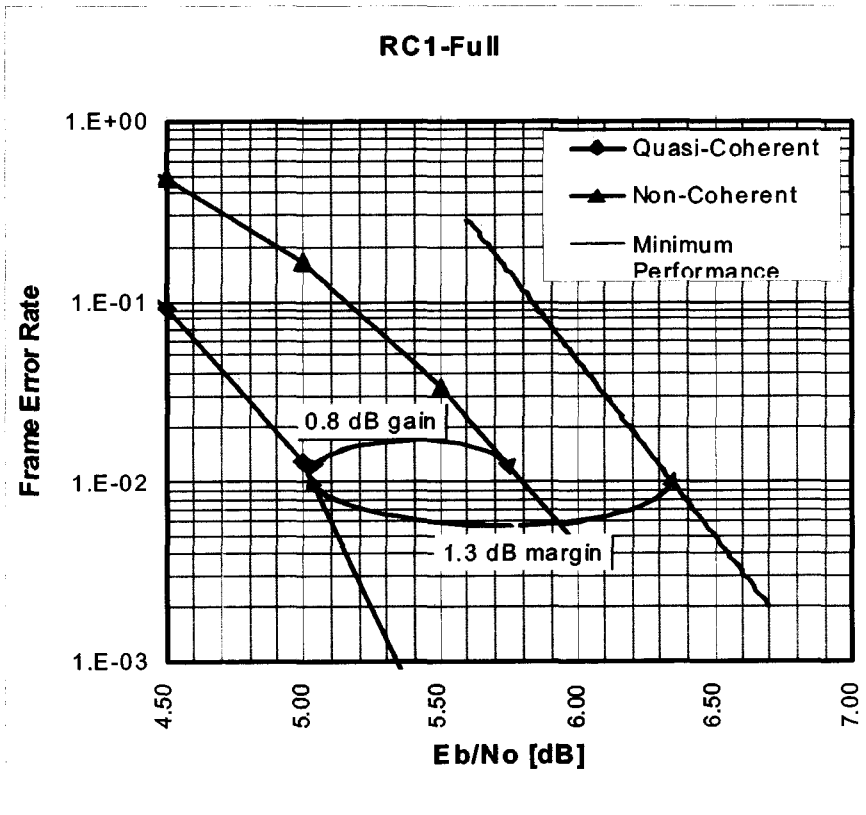


그림 6. AWGN 성능 시험 결과 (R-FCH, RC1, AWGN, 1-Path)

그림 5은 F-PDCH에 대해 각각 QPSK, 8-PSK, 16QAM의 변조 방식 별로 Constellation을 측정한 것이다.

1xEV-DV 기지국 모델은 R-PICH없이 동작하는 R-ACH와 RC1/2의 R-FCH의 성능 향상을 위해 Quasi-Coherent Receiver를 가지고 있다. 그림 6을 보면, 1xEV-DV 기지국 모델은 AWGN 환경에서 R-ACH와 RC1/2의 R-FCH에 대해 MPS (minimum performance specification) 보다 1.3 dB의 margin을 가지며, 기존의 non-coherent receiver보다 0.8 dB의 성능 향상을 보인다[3]. 또한 2-Path 이상의 시험 환경에서 기존 receiver 대비 1.0dB의 성능 향상을 확인할 수 있다.

1xEV-DV 기지국 모델에는 각 채널 별로 독립적인 Digital AFC Loop을 가지고 있다. 그림 7은 Signal Generator의 Carrier frequency를

-600 Hz에서 600 Hz까지 변화시켜 가면서 성능을 측정한 것이다. AFC가 없는 경우, 약 250 Hz의 frequency error에 대해서 성능이 10배 나빠진다. 그러나 AFC를 동작 시킬 때는 -600 Hz ~ 600Hz의 frequency error에 대해서 성능이 유지됨을 알 수 있다.

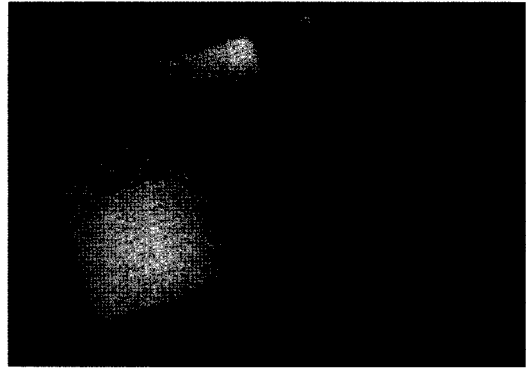


그림 8. HSDPA 기지국 모델

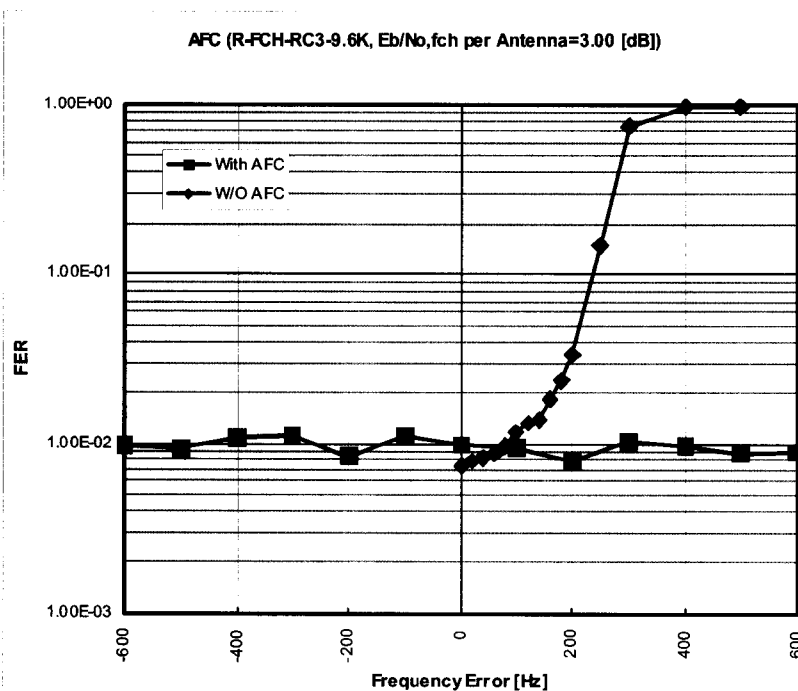


그림 7. AFC 성능 시험 결과 (R-FCH, RC3, AWGN, 1-Path)

### 3. HSDPA 기지국 모뎀 기술 소개

#### 3.1 HSDPA 기지국 모뎀 하드웨어

그림 9는 HSDPA 모뎀 하드웨어의 최상위 구조도이다. HSDPA 모뎀의 구조는 Transmitter, Searcher, Demodulator 그리고 Decoder로 구성된다. DSP는 모뎀의 DSP 인터페이스를 통해 모뎀의 전체 제어를 담당한다. 모뎀은 Host Processor로부터의 직접적인 제어를 받지 않지만, Host Processor와 DSP 사이의 통신을 위한 DPRAM을 내장하고 있다.

HSDPA 기지국 모뎀에서 지원되는 Physical 채널들은 다음과 같다.

- CPICH, SCH, AICH, CSICH
- P-CCPCH, S-CCPCH, PRACH, PCPCH,

PDSCH, DPDCH, DPCCH, HS-PDSCH, HS-SCCH

HSDPA 기지국 모뎀에서 지원되는 Transport 채널들은 다음과 같다.

- BCH, PCH, FACH, RACH, CPCH, DSCH, DCH, HS-DSCH

HSDPA 기지국 모뎀에서 지원되는 주요 기능들은 다음과 같다.

- Down Link 72 개의 TX 자원
- Up Link 48 개의 RX 자원
- 한 모뎀당 6개의 384 Kbps DL DCH 지원
- 한 모뎀당 4개의 384 Kbps UL DCH 지원
- 한 모뎀당 1개의 10 Mbps DL HS-DSCH 지원
- Down Link 12 sector / 24 안테나 동시 지원

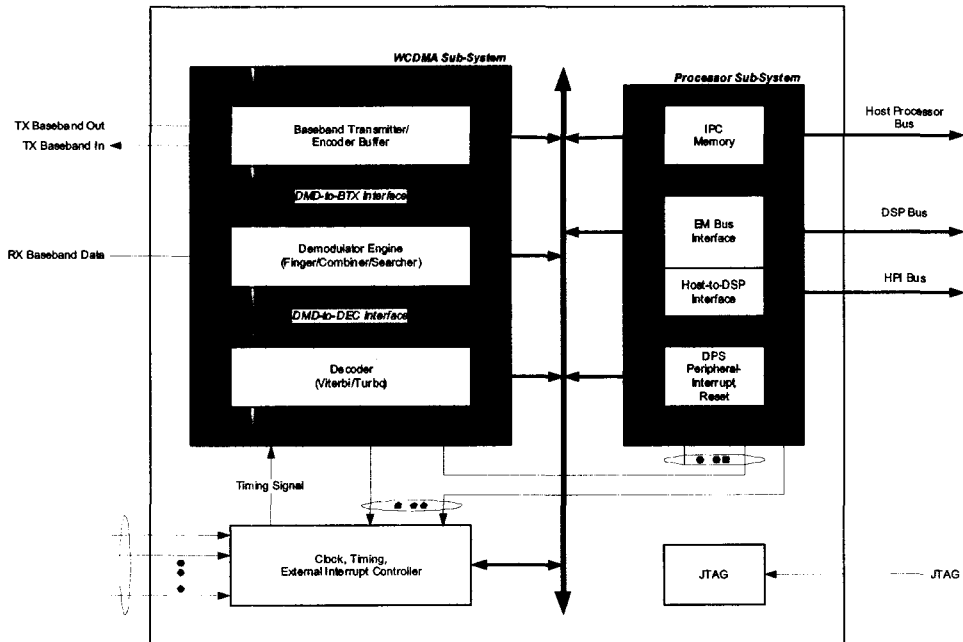


그림 9. HSDPA 모뎀 하드웨어의 최상위 구조



- Up Link 12 sector / 24 안테나 동시 지원
- Down Link TSTD, STTD, Closed-Loop TD 지원
- SSdT 지원
- DL/UL Compressed Mode 지원
- DL Power Balancing 지원
- DL Limited Power Increase 지원

### 3.2 HSDPA 기지국 모뎀 소프트웨어

그림 10은 HSDPA 모뎀 소프트웨어의 최상위 구조도이다. 모뎀 소프트웨어는 L1-DSP가 수행하는 L1 부분과 HS-DSP가 수행하는 HS 부분으로 나누어진다.

모뎀 소프트웨어의 L1 부분에서 담당하는 일들은 다음과 같다.

- 모뎀의 전반적인 제어 및 초기화
- DL/UL 채널 제어
- DL 데이터 Mux 및 Write
- UL 데이터 Read 및 Demux

- Searcher Scheduling
- Multipath에 대한 Finger 할당
- HS-DSP와의 통신
- Host Processor와의 통신

모뎀 소프트웨어의 HS 부분에서 담당하는 일들은 다음과 같다.

- MAC-d와 MAC-hs 사이의 Flow Control
- HS-DSCH의 Congestion Control
- HS-DSCH을 위한 User Selection
- HS-DSCH을 위한 Resource Management
- HS-DSCH을 위한 HARQ
- IR buffer 관리
- TFRC Selection

### 3.3 HSDPA 기지국 채널카드

그림 11는 HSDPA 채널카드의 최상위 구조도이다. 채널카드는 1개의 Host Processor와 1개의 HS-DSP, 3개의 HSDPA 모뎀과 3개의 L1-DSP

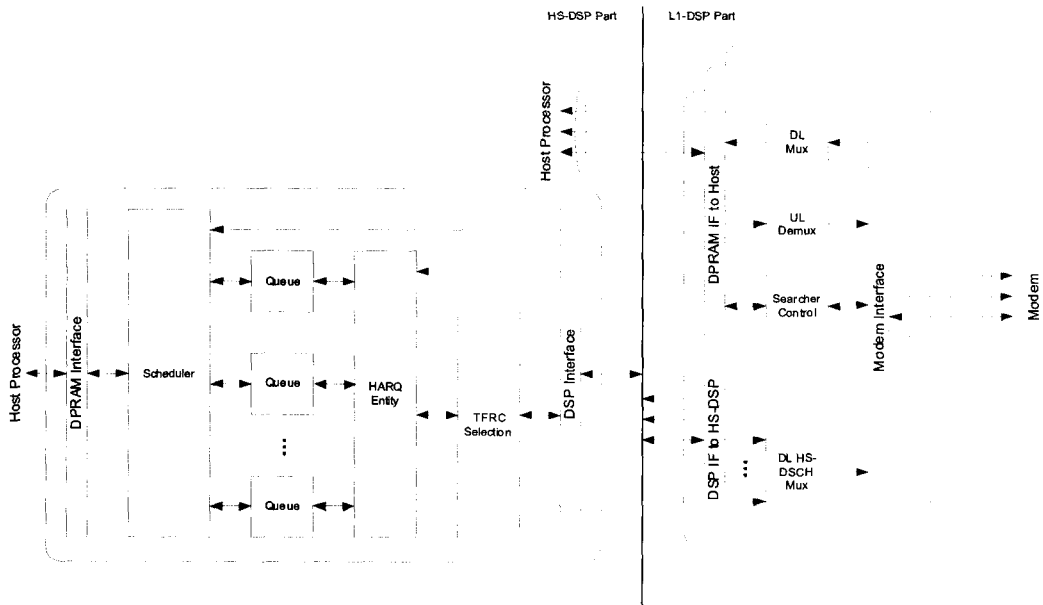


그림 10. HSDPA 모뎀 소프트웨어의 최상위 구조

로 구성된다. Host Processor는 Transport Layer를 담당하며, HS-DSP와 L1-DSP에 대한 관리 및 데이터 전달 등의 역할을 수행한다. HS-DSCH에 대해서는 Host Processor와 HS-DSP 그리고 L1-DSP 사이의 경로가 형성된다. 나머지 채널들에 대해서는 Host Processor와 L1-DSP 사이의 경로가 형성된다.

HSDPA 채널카드의 특징은 다음과 같다.

- Down Link 216 개의 TX 자원
- Up Link 144 개의 RX 자원
- DL/UL 24개의 안테나 인터페이스 지원
- 한 채널카드 당 3개 Sector 분량의 HS-DSCH 지원

#### 4. 결론 및 향후 전망

이 논문에서는 1xEV-DV와 HSDPA의 기지국 모뎀 및 채널카드에 대해 설명하였다.

1-FA/3-Sector의 채널을 1 장의 채널카드에서 수용할 수 있도록 모뎀 하드웨어, 모뎀 소프트웨어 및 채널카드를 설계함으로써 Fast Soften Cell Switching을 지원 할 수 있었다.

두 채널카드 모두 cdma2000-Rev.C 표준과 WCDMA R5 표준의 유사성 만큼이나 비슷한 점이 많지만, 각 프로세서들의 역할에 대해서는 차이를 보인다. 1xEV-DV 채널카드의 Host Processor는 전반적인 제어를 담당하며, 모뎀에 대한 직접적인 데이터 접근을 책임진다. DSP는 MAC의 일부 기능 및 제어 역할만을 수행한다. HSDPA 채널카드의 Host Processor는 역시 전반적인 제어를 담당하며, 데이터는 모뎀이 아닌 L1-DSP나 HS-DSP와 주고 받는다. L1-DSP는 데이터 가공에 일부 참여하며, 모뎀과 직접 데이터를 주고 받는다. 두 채널카드의 차이는 데이터 프로세싱을 하드웨어에 의존하느냐, 아니면 DSP가 유연하게 데이터 프로세싱의 일부를 처리하느냐

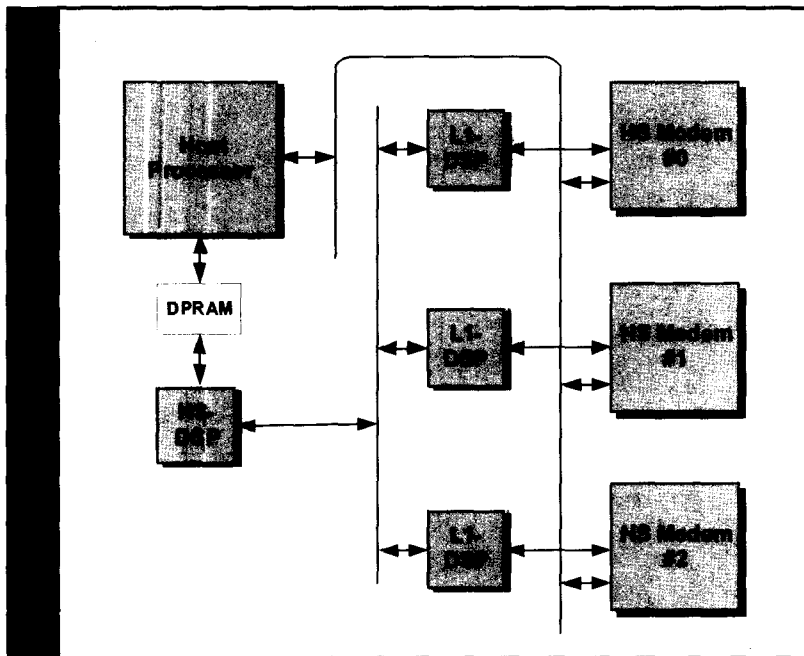


그림 11. HSDPA 채널카드의 최상위 구조

나는 시스템 구조 설계에 관한 문제에서 발생한 것이며, 이는 cdma2000과 WCDMA의 표준화 경향도 일부 반영되었다고 볼 수 있다.

향후 cdma2000 기지국 모델 개발은 1xEV-DV (Rev.D)나 1xEV-DO (Rev.A)을 지향할 것이며, Qualcomm사가 독주하고 있는 1xEV-DO의 Enhanced Broadcast Multicast 방식에 대해 주목할 필요가 있다. UMTS 기지국 모델 개발은 WCDMA R6 을 지향할 것이다. 두 가지 모델 모두 Smart Antenna나 MIMO의 구현을 고려할 것으로 보이며, SDR을 이용하여 한 플랫폼에서 여러 방식의 모델을 지원하는 방안도 고려될 것으로 보인다.

### 참 고 문 헌

[1] 3GPP2, C.S0002-C: Physical Layer Standard for cdma2000 Spread Spectrum Systems, May 2002.

[2] 3GPP2, C.S0003-C: Medium Access Control Standard for cdma2000 Spread Spectrum Systems, May 2002.

[3] 3GPP2, C.S0010-B: Recommended Minimum Performance Standards for cdma2000 Spread Spectrum Base Stations, December 2002.

[4] 3GPP2, C30-20030217-037R1, 1xEV-DV Evaluation Methodology (V10), February 2003.

[5] 3GPP2, C30-20030107-008, January 2003.

[6] 3GPP, TR 25.877 v5.0.0 HSDPA Iub/Iur protocol aspects.

[7] 3GPP, TS 25.308 UTRA High Speed Downlink Packet Access (HSDPA); Overall description; Stage 2 3GPP,TR25.802.

[8] 3GPP, TS25.201 v5.0.0, UTRAN physical layer, general description.

[9] 3GPP, TS25.211 v5.0.0, UTRAN physical channels and mapping of transport channels onto physical channels (FDD).

### 약 어 표

1xEV-DO	1x Evolution Data Only
1xEV-DV	1x Evolution Data & Voice
AFC	Automatic Frequency Control
AWGN	Additive White Gaussian Noise
BCMCS	Broadcast Multicast Service
CCSH	Code Combined Soft Handoff
DCH	
DM CQI	Differential Mode Channel Quality Indicator
DPRAM	Dual Port Random Access Memory
ERAM	Enhanced Rate Adaptation Mode
FA	Frequency Assignment
Full CQI	Full Mode Channel Quality Indicator
F-CPCCH	Forward Common Power Control Channel
FER	Frame Error Rate
F-PDCH	Forward Packet Data Channel
F-PDCHCF	Forward Packet Data Channel Control Function
HARG	Hybrid-ARQ
HS-DSCH	
IR	Incremental Redundancy
MBMS	Multimedia Broadcast Multicast Service
MCS	Modulation and Coding Set
MIPS	Million Instructions per Second
MRC	Maximal Ratio Combining
R-ACKCH	Reverse Acknowledgement Channel
R-CQICH	Reverse Channel Quality Indicator Channel
R-PICH	Reverse Pilot Channel

RC Radio Configuration  
 ROT Rise of Thermal  
 SSTD ite Selection Diversity Transmit  
 RPC Reverse Power Control  
 SDR Software Defined Radio  
 TFRC  
 TSTD  
 STTD



**최 고 희**

~ 현재: LG전자 이동통신기술연  
 구소 책임연구원

<관심분야> WCDMA, GSM/GPRS, SOC



**김 종 현**

1987.3 ~ 1991.2: 연세대학교 전  
 자공학과 학사  
 1991.3 ~ 1993.2: 연세대학교 대  
 학원 전자공학과 석사  
 1993.3 ~ 1997.2: 연세대학교 대  
 학원 전자공학과 박사

1997.1 ~ 현재: LG전자 이동통신기술연구소 책  
 임연구원

<관심분야> cdma2000, DS-CDMA, MAC



**최 진 성**

1987. 2: 서울대학교 제어계측공  
 학과 (학사)  
 1994. 2: University of Southern  
 California Electrical  
 Engineering (석사)  
 1998. 2: University of Southern

California Electrical Engineering (박사)

1987~1989: LG정보통신 TDX교환기 연구단  
 1989~1992: 상보컴퓨터 소프트웨어 사업본부  
 1998~1999: LG종합기술원  
 1999~2001: LG전자 차세대통신연구소 책임 연구원  
 2001~ 현재: LG전자 이동통신기술연구소 소장

<관심분야> IMT-2000, 무선인터넷, All IP



**이 기 현**

1989: 서강대학교 전자공학과 학  
 사  
 1993: 서강대학교 대학원 전자공  
 학과 석사  
 1998: 서강대학교 대학원 전자공  
 학과 박사

~ 현재: LG전자 이동통신기술연구소 책임연구원

<관심분야> 무선통신, 적응신호처리, 동영상 처리