

논문 2004-41SD-8-1

박막 게이트 산화막을 갖는 n-MOSFET에서 SILC 및 Soft Breakdown 열화동안 나타나는 결함 생성

(Trap Generation during SILC and Soft Breakdown Phenomena in n-MOSFET having Thin Gate Oxide Film)

이 재 성*

(Jae-Sung Lee)

요 약

두께가 3 nm인 게이트 산화막을 사용한 n-MOSFET에 정전압 스트레스를 가하였을 때 관찰되는 SILC 및 soft breakdown 열화 및 이러한 열화가 소자 특성에 미치는 영향에 대해 실험하였다. 열화 현상은 인가되는 게이트 전압의 극성에 따라 그 특성이 다르게 나타났다. 게이트 전압이 (-)일 때 열화는 계면 및 산화막내 전하 결함에 의해 발생되었지만, 게이트 전압이 (+)일 때는 열화는 주로 계면 결함에 의해 발생되었다. 또한 이러한 결함의 생성은 Si-H 결함의 파괴에 의해 발생할 수 있다는 것을 중수소 열처리 및 추가 수소 열처리 실험으로부터 발견하였다. OFF 전류 및 여러 가지 MOSFET의 전기적 특성의 변화는 관찰된 결함 전하(charge-trapping)의 생성과 직접적인 관련이 있다. 그러므로 실험 결과들로부터 게이트 산화막으로 터널링되는 전자나 정공에 의한 Si 및 O의 결함 파괴가 게이트 산화막 열화의 원인이 된다고 판단된다. 이러한 물리적 해석은 기존의 Anode-Hole Injection 모델과 Hydrogen-Released 모델의 내용을 모두 포함하게 된다.

Abstract

Experimental results are presented for gate oxide degradation, such as SILC and soft breakdown, and its effect on device parameters under negative and positive bias stress conditions using n-MOSFET's with 3 nm gate oxide. The degradation mechanisms are highly dependent on stress conditions. For negative gate voltage, both interface and oxide bulk traps are found to dominate the reliability of gate oxide. However, for positive gate voltage, the degradation becomes dominated mainly by interface trap. It was also found the trap generation in the gate oxide film is related to the breakage of Si-H bonds through the deuterium anneal and additional hydrogen anneal experiments. Statistical parameter variations as well as the "OFF" leakage current depend on both electron- and hole-trapping. Our results therefore show that Si or O bond breakage by tunneling electron and hole can be another origin of the investigated gate oxide degradation. This plausible physical explanation is based on both Anode-Hole Injection and Hydrogen-Released model.

Keywords : SILC, soft breakdown, interface trap, oxide trap, deuterium

I. 서 론

전자 회로의 빠른 동작 속도와 낮은 전력 소비를 실현하기 위해서 MOSFET의 게이트 산화막의 두께는 점

점 얇아지고 있다. 나노(nano) 단위의 두께를 갖는 박막 게이트 산화막은 집적 회로내의 구동 전류 및 전압에 의해 전기적 스트레스(stress)를 받게 되어 물성 변화가 발생하게 된다. 스트레스에 의한 산화막의 절연 특성 변화는 산화막내에 전자나 정공에 대한 불순물 결함(trap)의 생성이 원인이 된다. 결함 형성에 대한 물리적 모델은 여러 가지가 있으나 Anode-Hole Injection(AHI) 모델과 Hydrogen-Released(HR) 모델이 가장 알려져 있다^[1-3]. 전자 결함(electron trap)의 생성은 AHI 모델

* 정회원, 위덕대학교 정보통신공학부
(Division of Information and Communication Engineering, Uiduk University)

※ 본 논문은 한국과학재단의 연구지원 (No. 2001-1-30200-017-1)에 의하여 연구되었습니다.

접수일자: 2003년9월23일, 수정완료일: 2004년7월16일

에서는 큰 에너지를 갖는 정공이 원인이 되며, HR 모델에서는 산화막내에 존재하는 수소 결합이 원인이 된다.

스트레스에 의해 나타나는 박막 게이트 산화막의 열화 현상으로는 스트레스 유도 누설 전류(stress-induced leakage current : SILC), soft breakdown (SBD), 및 hard breakdown (HBD)이 있다^[4-8]. SILC에서는 결함의 생성과 소멸이 동시에 발생하며, trap assisted tunneling (TAT) 개념에 의해 낮은 구동 전압에서 누설 전류가 증가하게 된다. 많은 결함 밀도가 게이트 산화막에 국부적으로 분포하면, multi-step TAT 개념에 의해 누설 전류는 더욱 증가하게 된다. 이러한 과정에서 soft breakdown 현상이 나타나게 된다.

Soft breakdown이 발생하면 MOSFET의 게이트의 잡음이 증가하는 것으로 일반적으로 알려져 있다^[9, 10]. 잡음 현상은 열화된 게이트 산화막내에서 전자나 정공의 재결합-생성이 반복되기 때문에 나타난다. Soft breakdown 과정에서 보다 많은 에너지(Joule energy) 소비가 결함들 사이에서 이루어지면 hard breakdown으로 발전하게 된다. Hard breakdown에서는 게이트 산화막이 완전하게 절연성을 잃어버리기 때문에 이는 소자의 파괴를 의미한다. 그러나 박막의 게이트 산화막에서 나타나는 SILC 및 soft breakdown 열화 동안에는 소자는 여전히 동작하게 된다. 그러므로 이러한 열화가 MOS 소자 및 회로의 전기적 동작에 미치는 영향에 대해서는 아직 많은 연구가 필요한 상태이다.

본 논문에서는 박막의 게이트 산화막을 열화시켜 열화 정도에 따른 MOSFET의 전기적 특성 변화를 조사하여 MOSFET의 열화의 기준을 찾고자 한다. 이를 위해 게이트 산화막의 두께가 3 nm인 n-MOSFET를 제조하여 정전압을 게이트에 인가하여 hard breakdown 과정까지 열화를 진행시켰다. SILC 및 SBD 과정에서 나타나는 n-MOSFET의 특성 변화를 조사하였으며, 스트레스 게이트 전압의 극성을 바꾸었을 때 나타나는 열화 특성도 조사하였다. 소자의 전기적 특성 변화와 게이트 산화막내 결함의 생성과의 관련성을 분석하여, 열화 진행동안 나타나는 결함의 분포를 예측하고자 하였다.

II. 실험 방법

기본적인 CMOS 공정을 사용하여 게이트 산화막의 물리적 두께가 약 3 nm인 MOS 소자를 제조하였다.

n-MOSFET의 경우에 채널의 크기는 $W/L=20/0.15$ 이며, 실제 채널 길이(effective channel length)는 약 $0.1 \mu\text{m}$ 이었다. 게이트 산화막은 $\text{H}_2\text{-O}_2$ 분위기에서 성장시킨 후, NO 열처리를 통해 제조되었다. 금속 배선 접촉부분은 Co 실리사이드를 사용하여 접촉 저항을 줄였다. 금속 배선 형성 후, 후속 열처리는 수소(H_2) 분위기에서 행하였다. 또한 산화막내 결함 생성과 수소 결합과의 관계를 조사하기 위해 추가적으로 중수소(D_2) 열처리 및 수소 열처리를 행하였다. 소자의 정전압 스트레스는 게이트 단자에 (+) 또는 (-) 극성의 전압을 인가하고, 나머지 단자들은 접지 상태에서 행하였다. 그림 1은 n-MOSFET에 대한 스트레스 구성 및 측정된 각 전류 성분을 나타내고 있다.

게이트 전압이 약 -4.5V 일 때부터 Fowler-Nordheim (FN) 터널링이 게이트 산화막을 통해 발생하여 실리콘 계면에서 전자-정공 쌍 생성에 의한 전류가 나타났다. Soft breakdown이 발생하는 시점은 게이트 전류가 잡음(noise) 형태로 나타나고, 그 값이 $3 \text{ nA}/\mu\text{m}^2$ 이상 흐를 때로 정하였다. Hard breakdown이 발생하는 시점은 SILC 또는 soft breakdown 이후 지속적인 열화로 인해 게이트 전류가 급격하게 증가할 때로 정하였다. 게이트 산화막의 열화 과정동안 특정 시간마다 스트레스 동작을 멈춘 후 MOSFET의 파라미터들을 측정하였다. 계면 결함 밀도 증가(interface state density : ΔNit)와 산화막 고정 전하 밀도 증가(trapped-oxide charge : ΔNot)는 문턱 전압의 이동(ΔV_{th})으로부터 계산되었다. 관계식 $\Delta V_{\text{th}} = \Delta V_{\text{Nit}} + \Delta V_{\text{Not}}$ 와 문턱(threshold) 전류와 midgap 전류의 측정으로부터 각 결함 밀도를 얻을 수 있다^[11]. 결함에 대한 에너지 분포

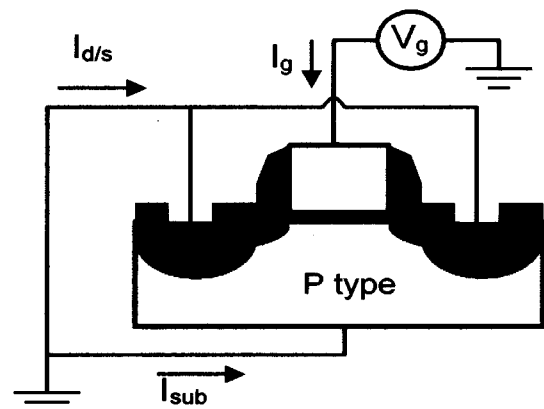


그림 1. 전압 스트레스 및 각 전류 측정을 위한 구성 회로

Fig. .1. The configuration for voltage stress and current measurement.

및 시간에 따른 생성에 대한 계산은 K. Hess 등이 제안한 방법을 사용하였다^[12].

III. 실험 결과 및 고찰

그림 2는 그림 1의 구성으로 n-MOSFET에 $V_g = -4.5V$ 스트레스를 가하는 동안 나타나는 소자의 각 전류 성분을 나타내었다. Soft breakdown 및 hard breakdown은 약 1200초 및 2950초 (그림에서는 나타나지 않음)의 스트레스 시간에서 각각 나타났다. 그림에서 soft breakdown이 발생하면 잡음 형태의 전류 성분이 나타남을 알 수 있다. 각 전류 성분들은 $I_g = I_{ds} + I_{sub}$ 로 나타낼 수 있다. 드레인/소오스로 흐르는 전류인 I_{ds} 는 대부분 터널링 전자에 의한 전류이며, I_{sub} 는 실리콘 계면에서 생성되는 정공에 의한 전류이다. 본 실험의 소자에서는 스트레스 전압인 $V_g = -4.5V$ 에서 이미 impact ionization 현상이 발생된다. 게이트 누설 열화동안에는 계면에서 생성되는 "hot" 정공이 기관으로 흘러나가기 때문에 I_{sub} 는 대부분 음의 방향을 갖게 된다. 그러나 soft breakdown동안에는 이러한 "hot" 정공들이 게이트 산화막내의 결함을 통해 게이트 전극으로 흐르기 때문에 I_{sub} 는 양의 방향을 갖게 된다. 스트레스 전압의 극성에 따른 열화를 비교 관찰하기 위해서는 음의 게이트 전압을 인가하였을 때 관찰된 게이트 전류와 동일한 크기의 전류가 흐르는 양의 게이트 전압에서 스트레스를 가해야 한다. 양의 게이트 전압 $V_g = +4.25V$ 를 인가하였을 때 $V_g = -4.5V$ 의 경우와 동일한 크기의 게이트 전류가 흘렀다. 그러나 스트레스 전압을 $V_g = +4.25V$

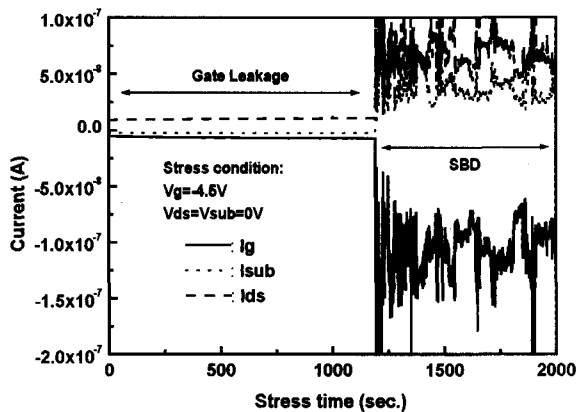
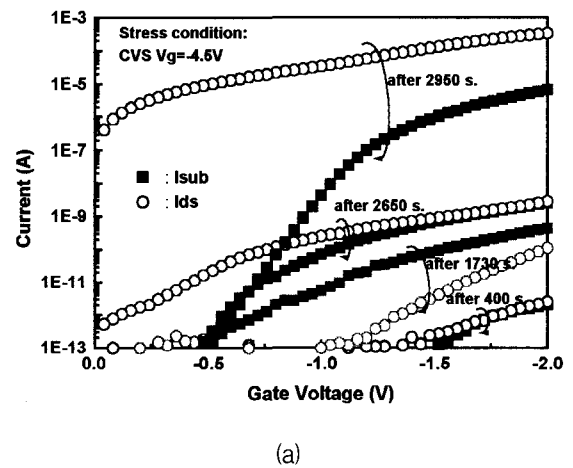


그림 2. 게이트 누설 및 SBD 동안 열화가 진행됨에 따라 측정된 누설 전류 ($V_g = -4.5V$)

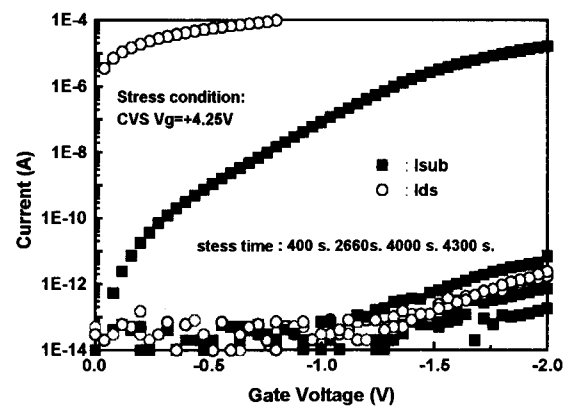
Fig. 2. Time evolution of leakage current during gate leakage and SBD ($V_g = -4.5V$).

로 선택하여 스트레스를 행하였을 때, 그림 2에서 나타난 soft-breakdown 현상은 발견하기 힘들었다.

스트레스 전압인 $V_g = -4.5V$ 및 $+4.25V$ 를 각각 인가하면서 n-MOSFET를 hard breakdown까지 열화를 진행시켰을 때 측정된 각 소자의 전류(I_{ds} , I_{sub})-전압 특성을 그림 3에 나타내었다. 열화가 진행된 각 소자는 accumulation mode의 게이트 전압에서 측정되었다. 음의 게이트 전압의 경우에 게이트 누설, soft breakdown, 및 hard breakdown의 진행 과정을 뚜렷하게 관찰할 수 있으며, 양의 게이트 전압의 경우에는 게이트 누설 열화에서 hard breakdown 열화로 바로 진행되었다. 게이트 산화막내에서 hard breakdown 열화가 발생하면 낮은 게이트 전압에서도 많은 드레인/소오스 전류를 관찰할 수 있었다. 이는 드레인/소오스와 게이트 단자의



(a)



(b)

그림 3. 열화 과정동안 측정된 n-MOSFET의 I_g , I_{ds} , 및 I_{sub} 전류의 증가

(a) $V_g = -4.5V$ (b) $V_g = 4.25V$

Fig. 3. The increase of I_g , I_{ds} , and I_{sub} current for n-MOSFET during constant voltage stress.

(a) $V_g = -4.5V$ (b) $V_g = 4.25V$

overlap에 존재하는 게이트 산화막에 완전한 전도성 통로가 형성되었음을 의미한다.

그림 4는 $V_g = -4.5V$ 에서 스트레스를 행하였을 때, 열화 과정에 따라 변화하는 I_{ds} 및 I_{sub} 를 각각 나타낸다. 그림 3(a)에서 나타난 전류 변화를 스트레스 시간에 대해서 나타내었다. 게이트 누설 열화 단계에서는 I_{sub} 가 I_{ds} 보다 많이 흐르며, soft breakdown 열화가 시작되면 I_{ds} 의 증가가 시작된다. 그리고 hard breakdown 열화가 나타나는 시기에는 I_{ds} 뿐 아니라 I_{sub} 의 증가도 나타난다. 열화 진행에 따른 I_{ds} 및 I_{sub} 전류 성분의 변화로부터 게이트 누설 열화는 impact ionization에 의해 생성된 "hot" 정공이 원인이 되며, soft breakdown 열화는 게이트 산화막내로 터널링(tunneling)되는 전자가 원인이 된다고 판단된다. 그러므로 게이트 누설은 AHI 모델로써 설명될 수 있는 반면 soft breakdown은 다른 열화 모델(HR 모델)로써 설명될 것으로 기대된다.

HR 모델을 본 소자에 적용하기 위해서, 제조된 n-MOSFET를 중수소에서 후속 열처리 한 후 정전압 스트레스를 가하여 열화를 진행시켰다. 그림 5는 제조된 n-MOSFET를 추가로 3 시간동안 중수소 분위기에서 열처리를 행한 후, $V_g = -4.5V$ 로 스트레스를 가하는 동안 측정된 각 전류 성분의 변화를 나타낸다. Soft breakdown 및 hard breakdown은 약 2780초 및 3200초의 스트레스 시간에서 각각 나타났다. 그림 2와 비교하면 중수소 열처리를 행함으로써 soft breakdown 열화가 보다 늦게 발생하였으며 그 기간도 짧게 나타나고 있음을 알 수 있다.

이러한 현상은 soft breakdown 동안 발생하는 게이

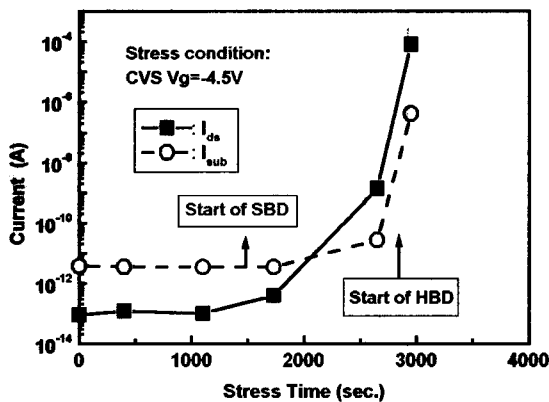


그림 4. 음(negative)의 스트레스 게이트 전압에서 열화가 진행됨에 따른 I_{ds} 및 I_{sub} 전류 변화

Fig. 4. The measured I_{ds} and I_{sub} current during negative-biased voltage stress.

트 산화막내에 존재하는 Si-H(D) 결합과 FN 터널링되는 전자의 상호 반응에 의해 설명될 수 있다. HR 모델에 의하면 양극(anode)에 존재하는 Si-H 결합이 큰 에너지의 전자들에 의해 파괴되어 산화막내에 많은 결함을 생성하게 된다^[1,13]. 그리고 실리콘/게이트산화막 계면에서 Si-H 결합 대신에 Si-D 결합이 존재할 때, 이러한 결함의 생성이 효과적으로 억제된다는 결과가 있었다^[14]. 이러한 사실들과 실험 결과로부터, 중수소 열처리를 행하여 Si-D 결합을 실리콘 계면에 생성함으로써 soft breakdown의 원인이 되는 결함 생성을 억제시킬 수 있었다. Soft breakdown이 소오스/드레인과 게이트의 overlap 부분에서 많이 발생하는 이유는 게이트용 다결정 실리콘 전극 형성 시 가장자리 주변의 게이트 산화막이 다른 영역보다 손상을 받기 쉽기 때문이다. 그러므로 채널 길이가 짧을수록 overlap 부분이 전체 길이에서 차지하는 비율이 높아져 soft breakdown 기간이 짧거나 나타나지 않을 수도 있다^[9].

그림 6은 $V_g = -4.5V$ (a) 및 $V_g = +4.25V$ (b)에서 각각 스트레스가 진행되었을 때 측정된 n-MOSFET의 전기적 특성 변화를 나타낸다. 게이트 전극에서 전자가 주입될 때($V_g = -4.5V$), 게이트 누설 및 soft breakdown 열화를 통해 소자의 특성은 연속적으로 열화되고 있다. 이는 SBD 동안에도 계속적으로 결함이 생성되어 게이트 산화막내에 결함 전하(trapping-charge)들이 증가하고 있음을 의미한다. 게이트 전압이 0 V일 때 측정된 I_{ds} 인 'OFF 전류(I_{off})'는 인가되는 스트레스 전압의 극성에 따라 상반된 결과를 보인다. SILC 및 soft breakdown 열화동안에 측정되는 I_{off} 전류의 증가는

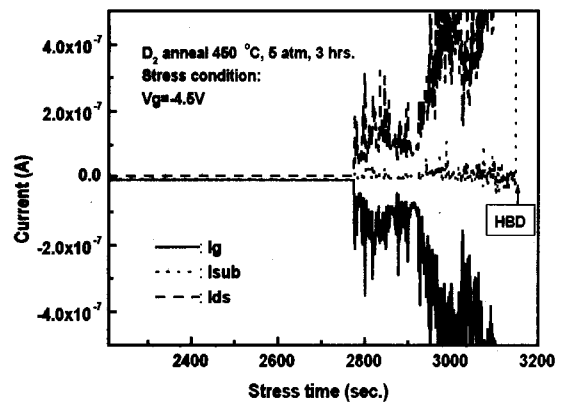
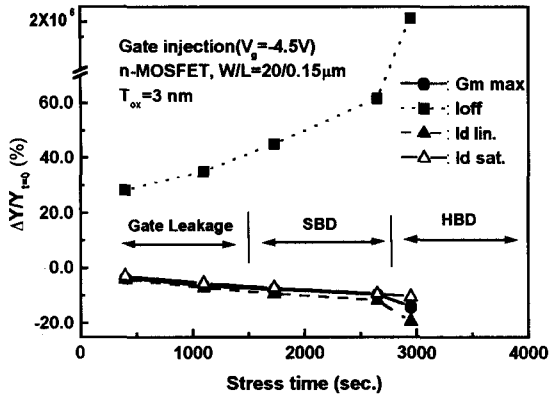
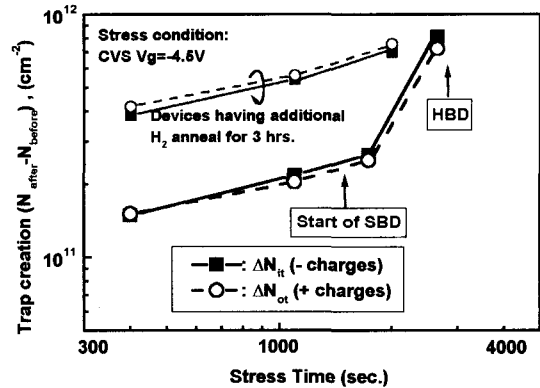


그림 5. 중수소 열처리를 행한 n-MOSFET에서 열화가 진행됨에 따라 측정된 누설 전류($V_g = -4.5V$)

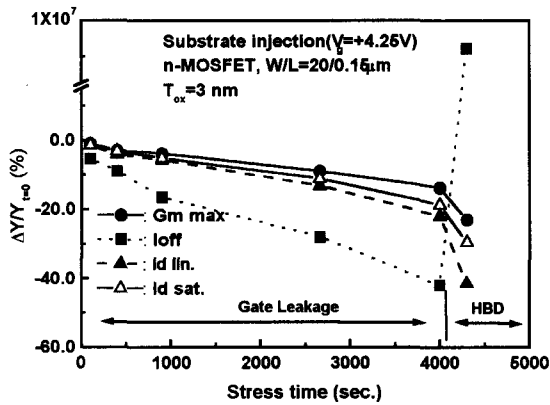
Fig. 5. Time evolution of leakage current on n-MOSFET treated by deuterium annealing($V_g = -4.5V$).



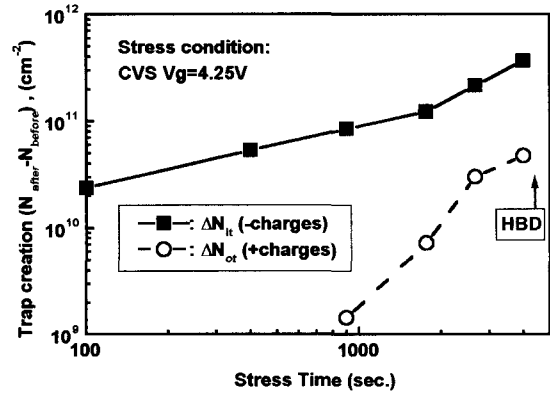
(a)



(a)



(b)



(b)

그림 6. 일정한 게이트 전압에서 스트레스가 진행될 때 측정된 n-MOSFET의 전기적 특성 변화
(a) $V_g = -4.5V$ (b) $V_g = 4.25V$
Fig. 6. The characteristics of n-MOSFET with the constant gate voltage stress.
(a) $V_g = -4.5V$ (b) $V_g = 4.25V$

그림 7. 스트레스 전극의 극성에 의존하는 계면 결함 및 산화막내 포획 전하의 증가. 그림 (a)에서는 추가 수소 열처리된 소자에 대한 특성도 나타내었다.
(a) $V_g = -4.5V$ (b) $V_g = +4.25V$
Fig. 7. Increase of interface trap and oxide charge-trapping depending on stress polarity. Fig 7(a) also includes the characteristics for device that annealed additionally in hydrogen ambient.
(a) $V_g = -4.5V$ (b) $V_g = +4.25V$

gate-induced drain current(GIDL)현상에 의해 설명된다^[15]. 스트레스 게이트 전압이 (-) 극성일 때는 양 (positive) 전하들이 게이트와 소오스/드레인의 overlap 지역의 게이트 산화막에 많이 존재하게 되고, 스트레스 게이트 전압이 (+) 극성일 때는 이 지역에 음(negative) 전하들이 많이 존재하게 된다. Hard breakdown이 진행되면 Ioff 전류는 스트레스 전압 극성에 무관하게 매우 높은 값으로 나타난다. 이는 overlap 지역의 게이트 산화막에 완전한 전도성 통로가 형성되어 많은 누설 전류가 게이트와 소오스/드레인 사이에 흐르기 때문이다.

중수소 열처리를 행 한 소자의 경우 soft breakdown 발생 시점이 다르기 때문에 그 전기적 특성 변화를 그림 6과 직접적으로 비교하기는 힘들었다. 그러나 전체 열화 과정에서 소자의 전기적 특성 변화는 수소 열처리

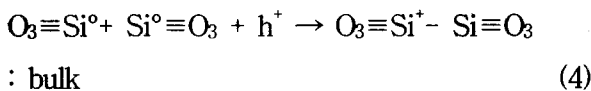
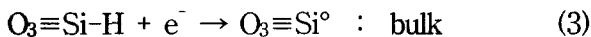
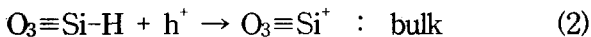
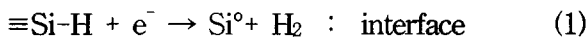
소자와 비슷하게 나타났다.

두 스트레스 전압 조건에서 열화에 따른 문턱 전압의 이동(ΔV_{th})에서는 $V_g = +4.25V$ 경우에 보다 많이 나타났다. 문턱 전압의 변화는 게이트 산화막내에 존재하는 전하 밀도와 직접적인 관련이 있다. 그림 7은 스트레스 조건이 $V_g = -4.5V$ (a)와 $V_g = +4.25V$ (b)일 때 열화가 진행됨에 따라 측정된 전체 계면 결함의 증가(ΔN_{it})와 게이트 산화막내에 포획된 전하의 증가(ΔN_{ot})를 각각 나타낸다. 그림에서 나타난 ΔN_{it} 는 midgap 전압과 문턱 전압사이 존재하는 값이다.

그림 7(a)와 7(b)에서 ΔN_{it} 는 (-) 전하를 갖는 accep

tor-like 결함이며, 게이트 산화막으로 유입되는 전자의 에너지 및 그 양과 관련이 있다. ΔN_{ot} 는 (+) 전하를 갖는 결함이며, 주로 게이트 산화막으로 유입되는 정공들이 포획되어 (+) 전하를 띄게 된다. 유입되는 정공들은 스트레스 조건이 $V_g = -4.5V$ 일 때는 impact ionization에 의해 공급되며, 스트레스 조건이 $V_g = +4.25V$ 일 때는 게이트 전극의 가전자 대역에서 공급된다. $V_g = -4.5V$ 인 경우, 계면으로 유입되는 터널링 전자 수에 비례하여 정공이 impact ionization에 의해 생성됨으로 ΔN_{it} 와 ΔN_{ot} 는 비슷한 증가 경향을 보인다. 그러나 $V_g = +4.25V$ 인 경우에는 두 전극의 페르미 레벨(Fermi level)의 차이가 작기 때문에, 터널링되는 전자에 의한 impact ionization 발생이 어려워져 정공의 생성을 무시할 수 있다. 그림 7(a)에서 게이트 산화막내의 수소 결함과 열화와의 상관관계를 알아보기 위해 추가로 수소 분위기에서 열처리를 행한 소자에 대해서도 그 결과를 나타내었다. 추가 수소 열처리에 의해 게이트 산화막내에 Si-H 결함이 많아지면 계면 결함과 산화막내 포획 전하가 증가함을 알 수 있다.

그림 7의 결과로부터 계면 결함은 터널링되는 전자와 관련이 있고, 게이트 산화막내에 포획된 전하는 터널링되는 정공에 의해 생성됨을 알 수 있었다. 정전압 스트레스 동안 계면과 게이트 산화막내에서 생성될 수 있는 결함들을 수소 결함과 관련된 화학 반응식으로 나타내었다.



식에서 Si° 는 계면에서는 dangling bond로 존재하며, 산화막내에서는 중성 전자 포획 결함(neutral electron trap)으로 존재한다. 이들은 정공의 포획을 유도하게 된다. Si^+ 는 (+) 전하를 띄는 산화막내 고정 전하가 된다. 특히, 식 (3)에서 나타나는 Si° 는 다른 연구 결과에서는 E' center라고 명명하기도 한다^[16,17]. 식 (1)의 전자(e^-)는 터널링에 의한 전자이며, 식 (2)의 정공(h^+)은 AHI 모델로부터 발생한 정공이 될 수 있다. 그러므로 식 (1)-(4)는 AHI와 HR 모델의 기본적인 개념을 만족시키고 있다. 그림 5에서 나타난 중수소 열처리 결과는 식 (1)-(3)에 Si-H 대신 Si-D 결함을 대치함으로써 설명

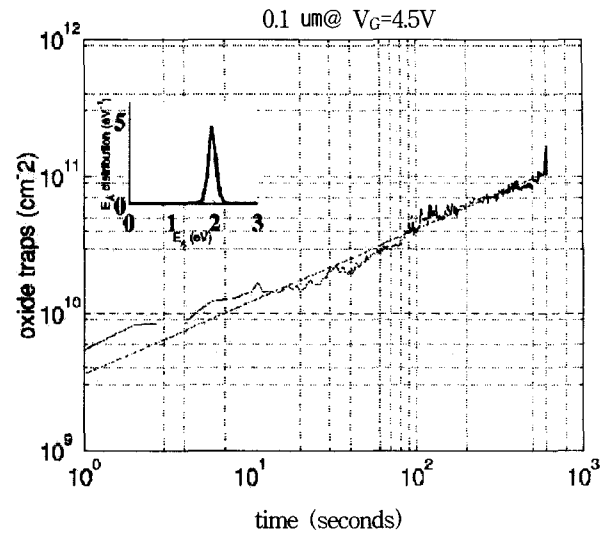


그림 8. 제안된 모델로 계산된 스트레스 동안 생성되는 산화막 결함 밀도와 그 에너지 분포. (Leff=0.1 μ m, n-MOSFET)

Fig. 8. Oxide trap generation during the stress and its energy distribution calculated by the suggested model. (Leff=0.1 μ m, n-MOSFET).

할 수 있다.

정전압 스트레스 동안 생성되는 포획 전하량을 K. Hess 등이 제안한 모델^[12]을 사용하여 계산하였다. 식 (5)는 포획 전하량을 계산하기 위해 사용된 기본적인 개념을 나타낸다.

$$J_G \sim J_{G0} + \Delta J_G \sim J_{G0}[1 + (kN_{ot})/a] \quad (5)$$

식에서 J_{G0} 는 스트레스 이전의 게이트 전류이며, k , N_{ot} 및 a 는 결함생성 변수, breakdown이 시작되는 결함 밀도, 및 스트레스동안 생성되는 단위 결함의 표면적을 각각 나타낸다.

그림 8은 식 (5)를 사용해서 계산된 게이트 산화막내에 존재하는 포획 전하량을 스트레스 시간 (SILC 영역)에 따라 나타내었다. 그림 7(a)에서 사용된 동일 소자의 동일한 스트레스 조건에서 측정된 게이트 전류를 J_G 값으로 사용하였다. 포획 전하량의 시간 의존성으로부터 계산된 포획 결함의 분포함수(distribution function)도 함께 나타내었다. 생성된 트랩들의 activation 에너지는 약 1.8 eV이며, 기존에 발표된^[12] E' center보다 높은 에너지를 보여준다. 그리고 포획 전하의 생성도 그림 7(a)의 측정값에 비해 다소 낮게 나타났다. 이러한 차이는 K. Hess가 제안한 모델에서는 계면 결함 생성을 게이트 산화막의 열화 과정에 포함시키지 않았고, soft breakdown에 대한 고려가 없었기 때문에 발생하였다.

IV. 결 론

전압에 의한 스트레스 동안 나타나는 박막 게이트 산화막의 게이트 누설 및 soft breakdown 열화 단계는 "hot" 정공의 생성, 전자 결함(electron trap)의 생성, 및 전도 통로(conduction path)의 형성이 포함된다. 게이트 전압이 (-)일 때 이러한 현상을 쉽게 관찰할 수 있지만, (+)일 경우에는 두 전극사이의 페르미 레벨(Fermi level)의 차이가 작기 때문에 "hot" 정공의 생성이 어려워 soft breakdown을 발견하기 힘들었다. 그러나 게이트 산화막으로 터널링되는 전자나 정공에 의한 Si-H 결함의 파괴가 결함 생성의 다른 원인이 될 수 있으므로 (+) 게이트 전압의 스트레스에서도 게이트 산화막의 열화가 관찰되었다. 스트레스 동안 관찰된 게이트 누설 전류의 증가는 soft breakdown 초기에는 trap assisted tunneling (TAT) 개념으로 설명할 수 있고, soft breakdown이 hard breakdown으로 발전하는 단계에서는 게이트 전극과 소오스/드레인 전극의 overlap 지역의 전도성 통로(fused-conduction path)의 형성으로 설명할 수 있었다.

참 고 문 헌

- [1] D. J. DiMaria and E. Cartier, "Mechanism for stress-induced leakage currents in thin silicon dioxide films", *J. Appl. Phys.*, vol. 78, No. 6, pp. 3883-3894, 1995.
- [2] K. F. Schuegraf and C. Hu, "Hole injection SiO₂ breakdown model for very low voltage lifetime extrapolation," *IEEE Trans. Electron Devices*, vol. 41, no. 5, pp. 761-766, 1994.
- [3] E. Rosenbaum and L. F. Register, "Mechanism of stress-induced leakage current in MOS capacitors", *IEEE Trans. Electron Devices*, vol. 44, pp. 317-323, Feb. 1997.
- [4] M. Houssa, T. Nigam, P. W. Mertens, and M. M. Heyns, "Model for the current-voltage characteristics of ultrathin gate oxides after soft breakdown", *J. Appl. Phys.*, vol. 84, No.8, pp. 4351-4355, 1998.
- [5] E. M. Vogel, D. W. Heh, J. B. Bernstein, and J. S. Suehle, "Impact of the trapping of anode hot holes on silicon dioxide breakdown," *IEEE Electron Device Lett.*, vol. vol.23, pp. 667-669, Nov. 2002.
- [6] E. Rosenbaum and J. Wu, "Trap generation and breakdown processes in very thin gate oxides", *Microelectronics Reliability*, vol. 41, pp.625-632, 2001.
- [7] H. Guan, M. F. Li, Y. He, B. J. Cho, and Z. Dong, "A thorough study of quasi-breakdown phenomenon of thin gate oxide in dual-gate CMOSFET's", *IEEE Trans. Electron Devices*, vol. 47, pp. 1608-1616, Aug.2000.
- [8] S. I. Takagi and M. Takayanagi, "Carrier transport properties of thin gate oxides after soft and hard breakdown", *Microelectronic Engineering*, vol. 59, pp. 5-15, 2001.
- [9] E. Wu, E. Nowak, J. Aitken, W. Abadeer, L. K. Han, and S. Lo, "Structural dependence of dielectric breakdown in ultra-thin gate oxides and its relationship to soft breakdown modes and device failure," in *IEDM Tech. Dig.*, pp. 187-190, 1998.
- [10] T. Sakura, H. Utsunomiya, Y. Kamakura, and K. Taniguchi, "A detailed study of soft- and pre-soft-breakdowns in small geometry MOS structures," in *IEDM Tech. Dig.*, 1998, pp. 183-186.
- [11] P.J. McWhorter and P.S. Winokur, "Simple technique for separating the effects of inter-face traps and trapped-oxide charge in metal-oxide-semiconductor transistors," *Appl. Phys. Lett.*, vol. 48, pp. 133-135, 1986.
- [12] K. Hess A. Haggag, W. McMahon, B. Fischer, K. Cheng, J. Lee, J. Lyding, "Simulation of Si-SiO₂ defect generation in CMOS chips: From atomistic structure to chip failure rates," in *IEDM Tech. Dig.*, pp. 93-96, 2000.
- [13] J. H. Stathis, "Percolation models for gate oxide breakdown," *J. Appl. Phys.*, vol. 86, pp. 5757-5766, 1999.
- [14] J. W. Lyding, K. Hess, and I. C. Kizilyalli, "Reduction of hot electron degradation in metal oxide semiconductor transistors by deuterium processing," *Appl. Phys. Lett.*, vol. 68, pp. 2526-2528, 1996.
- [15] T. Pompl, H. Wurzer, M. Kerber, R. C. W. Wilkins, and I. Eisele, "Influence of soft breakdown on NMOSFET device characteristics," in *Proc. IRPS*, pp.82-87, 1999.
- [16] P. M. Lenahan and J. F. Conley Jr., "What can electron paramagnetic resonance tell us about the Si-SiO₂ system?" *J. Vacuum Science and Technology B*, vol. 16, pp.2134-2154, 1998.
- [17] H. Uchida and T. Ajioka, "Electron trap center generation due to hole trapping in SiO₂ under Fowler-Nordheim tunneling stress," *Appl. Phys.*

Lett., vol.51, pp. 433-435, 1987.

— 저 자 소 개 —



이재성(정회원)

1987년 경북대학교 전자공학과 학사 졸업.

1989년 경북대학교 전자공학과 석사 졸업.

1996년 경북대학교 전자공학과 박사 졸업.

1996년 ~ 1998년 현대 전자, system IC 연구소 근무

2002년 ~ 2003년 University of Illinois at Urbana-Champaign,
Post-doc.

1998년 ~ 현재 위덕대학교 정보통신공학부 교수

<주관심분야 : 소자 및 회로 신뢰성 분석, 반도체 소자 설계>