

논문 2004-41SD-8-10

# Interpolation 기법을 이용한 3.3V 8-bit 500MSPS Nyquist CMOS A/D Converter의 설계

(A 3.3V 8-bit 500MSPS Nyquist CMOS A/D Converter Based on an Interpolation Architecture)

김 상 규\*, 송 민 규\*

(Sang-Kyu Kim and Min-Kyu Song)

## 요 약

이 논문에서는 Interpolation 구조를 이용한 3.3V 8-bit 500MSPS CMOS A/D 변환기를 설계하였다. 고속 동작의 문제를 해결하기 위해서 새로운 프리앰프, 기준 전압 흔들림을 보정하기 위한 회로, 평균화 저항을 제안하였다. 제안된 Interpolation A/D 변환기는 Track & Hold, 256개의 기준전압이 있는 4단 저항열, 128개의 비교기 그리고 디지털 블록으로 구성되어 있다. 제안된 A/D 변환기는 0.35 $\mu$ m 2-poly 4-metal N-well CMOS 공정이다. 이 A/D 변환기는 3.3V 에서 440mW를 소비하며, 유효 칩 면적은 2250 $\mu$ m  $\times$  3080 $\mu$ m을 갖는다.

## Abstract

In this paper, a 3.3V 8-bit 500MSPS based on an interpolation architecture CMOS A/D converter is designed. In order to overcome the problems of high speed operation, a novel pre-amplifier, a circuit for the Reference Fluctuation, and an Averaging Resistor are proposed. The proposed Interpolation A/D Converter consists of Track & Hold, four resistive ladders with 256 taps, 128 comparators, and digital blocks. The proposed A/D Converter is based on 0.35 $\mu$ m 2-poly 4-metal N-well CMOS technology. The A/D Converter dissipates 440 mW at a 3.3 Volt single power supply and occupies a chip area of 2250 $\mu$ m  $\times$  3080 $\mu$ m.

**Keywords :** CMOS Analog to Digital Converter

## I. 서 론

최근에는 거의 모든 시스템의 설계가 디지털 신호 처리 기법을 바탕으로 이루어지고 있다. 그러나 실제 인간이 듣고 보고 말하는 신호는 모두 아날로그 신호이기 때문에 모든 디지털 신호처리의 최초단계 및 마지막 단계에는 이 두 신호를 상호 바꾸어 주는 데이터 변환기가 필수적이다. 데이터 변환기는 크게 아날로그 신호를 디지털 신호로 바꾸어 주는 A/D 변환기와 디지털 신호를 아날로그 신호로 바꾸어 주는 D/A 변환기로 나눌 수

있는데, 그 중 A/D 변환기의 성능은 신호의 크기 변화 감지정도를 의미하는 분해능(Resolution)과, 신호수집의 시간간격을 의미하는 샘플링 주파수에 의해 평가된다. n-bit의 A/D 변환기에서는 입력된 아날로그 신호를 2<sup>n</sup> 단계의 수치신호로 변환시킨다. 따라서 8비트 변환기의 경우, 입력신호를 256개의 구간으로 나누고, 입력신호범위가  $\pm 0.5V$ 일 경우 A/D 변환기에 의해 발생할 수 있는 오차정도는 1/256이 되는 것을 알 수 있다. 과거에는 BJT 공정이나 BICMOS 공정을 사용하여 고속 A/D 변환기가 주로 설계되었으나 시스템의 전반적인 추세가 소형화, 경량화, 휴대화되어 가면서, 5V 전원 전압 사용과 많은 전력 소모로 인해 저 전압, 저 전력 소모가 요구되는 장비에는 적합하지 않게 되었다. 따라서 CMOS

\* 정희원, 동국대학교 반도체학과  
(Dept. of Semiconductor Science, Dongguk Univ.)  
접수일자: 2004년4월19일, 수정완료일: 2004년7월26일

공정을 사용하여 고속의 A/D 변환기를 설계함으로써 이러한 단점을 줄이고 DSP(Digital Signal Process)와 함께 온 칩화도 할 수 있다.<sup>[1]-[4]</sup>

A/D 변환기의 응용 분야는 이동통신 단말기, 광대역 모뎀 등과 같은 통신분야, HD(High Definition) TV, 캠코더, SET-TOP BOXES, 스캐너 등과 같은 영상신호 처리 분야, 음성인식, 비디오 그래픽 제어기 센서 등의 컴퓨터 분야 등 산업 전반에 널리 쓰이고 있다. 이러한 다양한 응용분야에 따라 적용되는 A/D 변환기의 사양과 구조가 결정된다. 본 논문에서는 500MHz의 샘플링 주파수에서 8-bit의 해상도를 얻기 위해 Flash 구조에 Interpolation 구조를 혼용한 형태의 Architecture를 사용하여 해상도의 증가에 따른 비교기 수의 증가와 고속의 샘플링에 의한 동작 및 전력소모 문제를 줄였다. 본 논문의 A/D 변환기는 Flash A/D 변환기의 장점을 살리면서 단점을 개선하기 위해 Interpolation A/D 변환기를 사용한다. 이 구조의 A/D 변환기는 같은 해상도의 Flash A/D 변환기에 비해 프리앰프의 수가 줄기 때문에 작은 입력 커패시턴스를 가지며 면적과 전력소모도 작다. 8-bit을 모두 Flash Type 으로 설계했을 때 요구되는 255개의 비교기 수를 총128개로 줄였다. 128개의 비교기만을 사용함으로써 인해 면적과 전력 소모에서 많은 이득을 얻을 수 있다. 또한 기본구조는 고속에서 동작하는 Flash 구조를 사용함으로써 인해서 속도에 대한 문제도 해결할 수가 있다.<sup>[4][5]</sup> 고속 동작의 문제점들을 해결하기 위하여 새로운 구조의 프리앰프, Reference Fluctuation을 보정하기 위한 회로, 비교기 자체의 Offset과 Feedthrough에 의한 오차를 최소화하기 위하여 Averaging Resistor와 SNR을 향상시키기 위한 Track & Hold를 설계하여 최종 결과를 얻는다. 본 논문의 내용을 정리하면 다음과 같다. II장에서는 제안하는 A/D 변환기의 세부적인 회로설계 내용과 각 블록에 대해 기술하였다. III장에서는 Full Chip에 대한 여러 가지 모의실험 결과를 통해 성능을 평가하였다. 그리고 IV장에서는 Chip Implementation 및 측정결과에 대해서 기술하고, 마지막으로 V장에서는 제안하는 A/D 변환기에 대한 전체적인 내용을 요약표를 통해 정리하였다.

## II. Interpolation 기법을 이용한 8Bit A/D 변환기의 설계

### 2.1 Interpolation A/D 변환기의 구조

Flash A/D 변환기는 고속으로 동작한다는 장점이 있

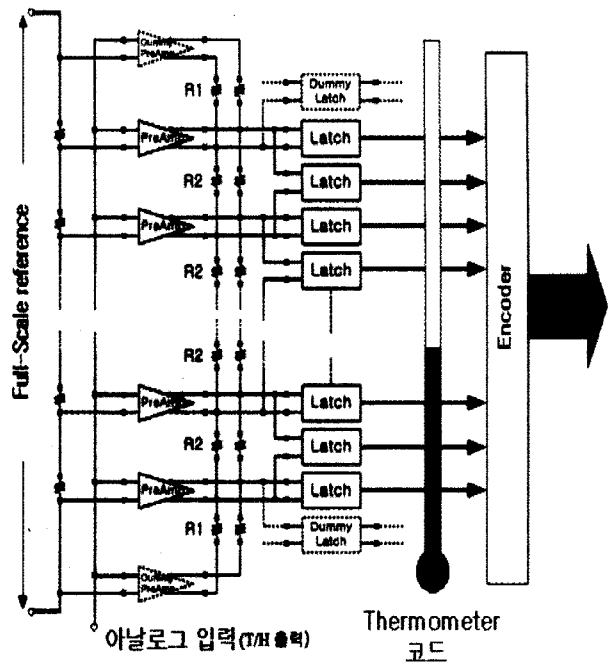


그림 1. Interpolation A/D 변환기의 전체 구조  
Fig. 1. Interpolation A/D Converter architecture.

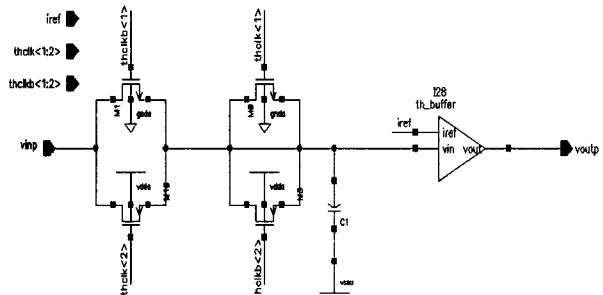


그림 2. Buffer를 삽입한 T/H회로.  
Fig. 2. Track & Hold Circuit with Buffer.

는 반면, 큰 입력 커패시턴스를 가지며, 전력소모가 크고 넓은 면적을 차지한다는 단점이 있다. 따라서 Flash A/D 변환기의 장점을 살리면서 단점을 개선하기 위해 Interpolation A/D 변환기를 사용한다. Interpolation A/D 변환기는 같은 해상도의 Flash A/D 변환기에 비해 프리앰프의 수가 줄기 때문에 작은 입력 커패시턴스를 가지며 면적과 전력소모도 작다.<sup>[6][7]</sup> 그림 1은 8-bit Interpolation A/D 변환기의 전체구조이다. 제안하는 T/H회로는 TG스위치와 TG dummy 스위치를 사용하였으며, 높은 sampling 주파수 때문에 Hold 커패시터가 연결된 open loop T/H를 사용하였다. 또한 인버터 체인을 이용하여 non-overlapping two phase clock을 사용하였으며, comparator에서 발생하는 잡음이 T/H회로에 주는 영향을 최소화하기 시키기 위해서 buffer를 삽입하였다. 그림 2는 본 연구에 사용된 T/H회로를 보

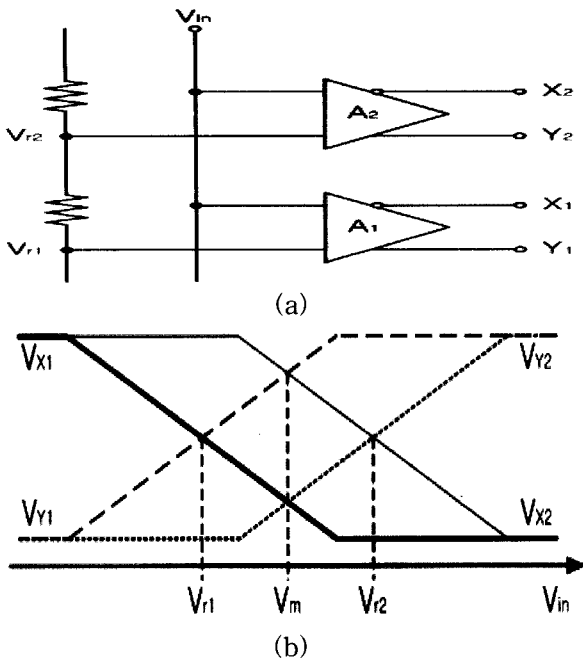


그림 3. 두 프리앰프 사이의 Interpolation.  
Fig. 3. Interpolation between two amplifiers.

여주고 있다.

그림 3은 인접한 두 프리앰프 사이를 Interpolation한 그림이다. 그림3 (a)에서 프리앰프 A1과 A2는 각각 아날로그 입력과 Vr1, Vr2를 비교한다. 그림3 (b)에서는 A1과 A2의 입력과 출력특성을 보여주고 있다. 프리앰프는 zero offset이라고 가정하면, 만약  $V_{in} = V_{r1}$  이면  $V_{x1} = V_{y1}$ 이고,  $V_{in} = V_{r2}$  이면  $V_{x2} = V_{y2}$  임을 알 수 있다. 더욱 중요한 것은  $V_{in} = V_m = (V_{r1} + V_{r2})/2$  이면  $V_{x2} = V_{y1}$  임을 알 수 있다. 즉,  $V_{x2}$ 와  $V_{y1}$ 사이의 차이의 극성은  $V_{in}$ 과  $V_m$  사이의 차이의 극성과 같다. 위의 결과는 Flash단에서 동일한 해상도가 프리앰프의 출력이 Interpolating에 의해서 증가할 수 있다는 것을 보여주고 있다.

그림 3 (b)은 두개의 인접한 프리앰프의 출력사이의 극성의 차이를 추가된 latch에 의해서 detecting하는 것을 보여주고 있다. 이러한 구조는 기본 Flash 구조와 비교하여 프리앰프의 개수는 반으로 줄일 수 있지만 latch의 개수는 동일하게 유지된다. 앞에서 설명한 Interpolation factor 2의 기법이 가능한 것은 latch의 입력으로 인가되는 모든 신호가 동시에 한 clock내에서 처리함으로써 가능하다. 이런 구조는 유효해상도를 두 배로 가져갈 수 있다. 따라서 3.3V 8bit 500MSPS 고속 A/D 변환기의 설계를 위하여 동작속도가 빠르면서 flash A/D 변환기에 비해 면적과 전력소비가 적은 Interpolation A/D 변환기를 채택하였다.

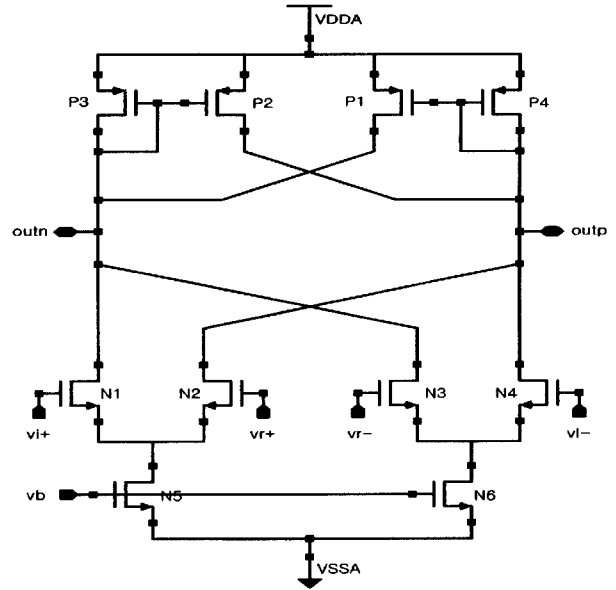


그림 4. 제안하는 Double Balanced 프리앰프.  
Fig. 4. Proposed Double Balanced Pre-Amp.

### 2.2 제안하는 프리앰프

그림 4는 본 연구에서 사용된 제안하는 Double Balanced 구조의 프리앰프이다. 기존의 프리앰프들의 장점을 혼합하여 설계한 앰프로써 기존 Double Balanced 구조의 프리앰프에 P1과 P2를 추가하여 증폭도(Av)를 높임으로써 동작속도와 전압이득을 최적화 하였고 차동 Analog 입력과 차동 기준전압을 하나의 프리앰프로 처리함으로써 고속 동작과 높은 선형성 및 저 전력을 만족 시킬 수 있다. 사용되는 시스템의 요구사항 및 다른 블록과의 관계에 따라 비교기는 다음 사항들을 고려하여 최적화해야 한다. 첫째, 비교기의 전압이득의 증가는 회로내의 시정수를 증가 시키므로 요구되는 동작속도를 제한하지 않는 범위에서 전압이득이 결정되어야 하고 둘째, 다단 비교기의 경우 각기 다른 시정수를 가진 여러 단으로 구현된 전체 단수는 전력 소모량 및 차지하는 면적을 증가 시키므로 서로간의 장, 단점을 고려한 설계가 이루어져야 한다.<sup>[4]</sup> 일반적으로 증폭도(Av)가 낮은 기존 Double Balanced 구조의 프리앰프는 증폭도를 높이고 래치에 의한 킥백 효과를 줄이기 위하여 다단의 프리앰프를 연결하여 사용하지만 이는 다단으로 구성되기 때문에 전력소모가 크고 각 단의 앰프의 -3dB BW의 차이로 옅색을 발생시킨다. 제안하는 Double Balanced 구조의 프리앰프는 차동입력을 처리하고 전압이득과 동작속도를 최적화 시켰으며 하나의 앰프로 처리함으로써 다단의 프리앰프를 사용할 때 발생할 수 있는 옅색과 큰 전력소모를 개선할 수 있다.

표 1. 제안하는 프리앰프 Specification.  
Table 1. The proposed Preamp Specification.

-3dB BW	500MHz
DC Gain	4.5
Input Cap.	44fF
Power Dissipation	3mW

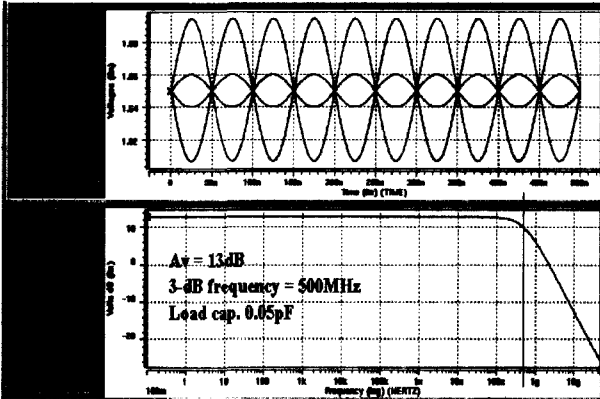


그림 5. 프리앰프의 모의실험 결과.  
Fig. 5. Simulation of Pre-Amp.

표 1에 프리앰프의 Specification을 정리 하였고 그림 5는 프리앰프회로의 시뮬레이션 결과이다. 증폭도(Av)는 13dB이고 3-dB BW는 500MHz를 만족시켜 Nyquist 주파수의 입력을 처리하기에 충분한 BW를 가지도록 설계되었다.

2.3 제안하는 Reference Fluctuation 보정회로

Analog 입력과 저항열에서 나오는 기준전압이 프리앰프에 인가될 때 입력의 Swing에 의해 기준전압이 불안정하게 흔들린다. 빠른 입력을 처리해야 하는 비교기의 프리앰프에서 기준전압의 흔들림은 비교기 성능에 큰 오차를 가져오게 된다. 이를 보정 하기위해 커패시터를 이용하는 방법이 있는데 이는 회로 전체의 면적을 증가시키고 layout상에서 구현하기 어렵게 만든다.

그림 6에 (a)는 본 연구에 사용된 Reference fluctuation을 보정하기위한 Transmission Gate (TG)이다. TG에 각각 VDD, VSS를 인가하여 기준전압을 통과 시키고 그림 6의 (b)처럼 프리앰프로 인가한다. 그러면 기준전압에는 TG의 기생 parallel 커패시터의 영향을 받아 흔들림이 보정된다. MOS에 존재하는 기생 커패시터는 기준 전압의 흔들림을 보정하고 W/L로 커패시터의 크기를 쉽게 조정 할 수 있으며 layout시 면적을 크게 줄일 수 있다. 식 1는 MOSFET의 기생 커패시터를 근

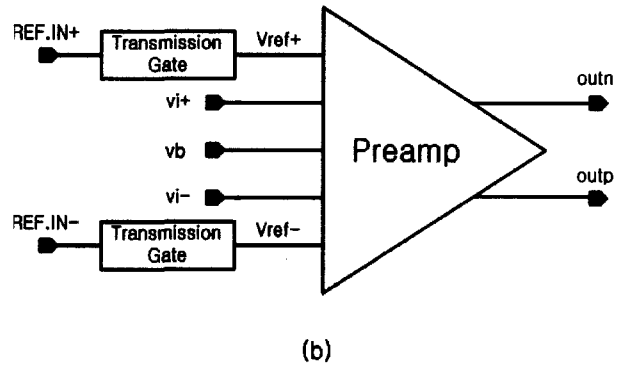
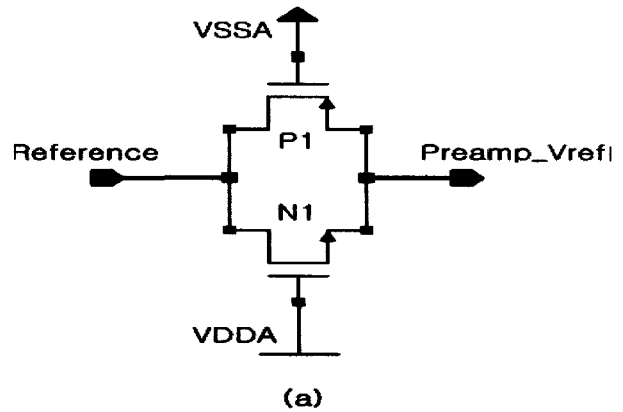


그림 6. 제안하는 Reference fluctuation 보정회로.  
Fig. 6. Proposed correction circuit of Reference fluctuation.

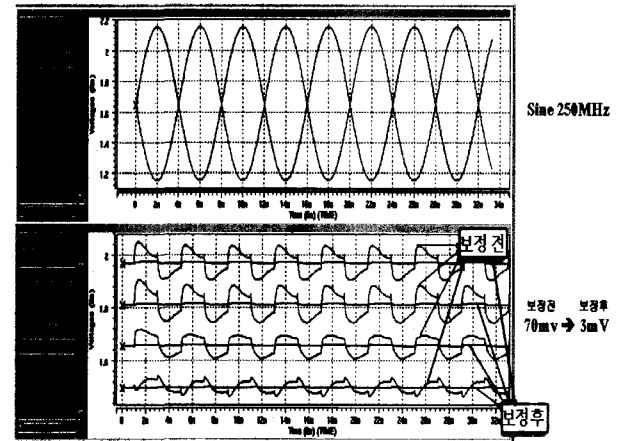


그림 7. Reference fluctuation 보정 모의실험 결과  
Fig. 7. Simulation of Reference fluctuation Correction.

사하여 계산한 것이다.

$$\frac{C_{gs} \times C_{gd} + C_{sb} \times C_{db}}{C_{gs} + C_{gd} + C_{sb} + C_{db}} + C_{gb} \tag{1}$$

그림 7은 Sine 250MHz의 입력을 프리앰프에 인가하였을 때 Reference fluctuation 보정회로인 TG의 유무에 따른 시뮬레이션결과를 보여주고 있다. 그림에서 보면 보정 전 70mV에서 보정 후 3mV이내로 들어오는 것을

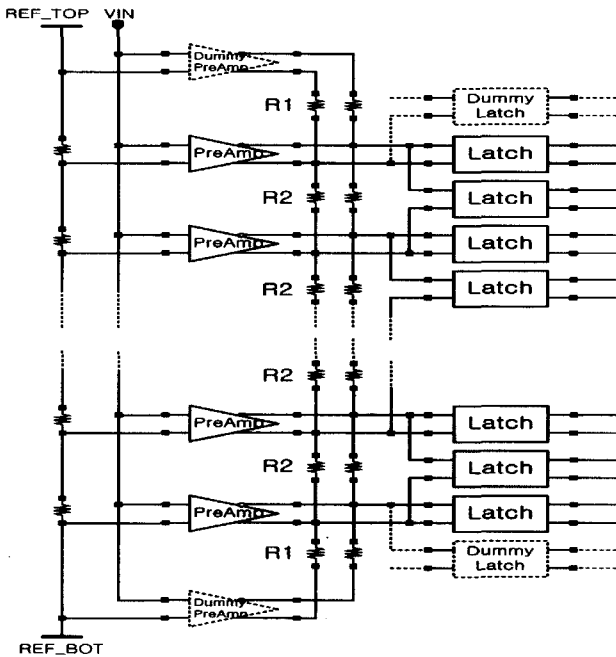


그림 8. Interpolation 구조에서의 평균화 저항 기법.  
Fig. 8. Averaging Resistor in Interpolation Architecture.

알 수 있다. 비교기가 정확하게 동작하기 위해서는 기준 전압의 흔들림은 1LSB 보다 작아야 한다. 제안하는 보정회로를 사용하여 3mV 이내로 1LSB를 만족하는 결과를 얻었다.

### 2.4 Interpolation 구조에서의 평균화 저항

그림 8는 본 연구에서 사용된 Interpolation 구조에서의 평균화 기법을 적용한 회로도이다. 그림8에서 보면 첫단과 끝단의 프리앰프는 중간에 있는 프리앰프와 달리 출력단 한쪽에는 래치와 연결이 되어있지 않다. 그러면 첫단과 끝단의 프리앰프의 한쪽 출력은 동일한 조건을 갖지 못하고 불필요한 Zero Crossing을 발생시킨다. 특히 입력의 Peak to Peak가 작거나 8비트의 이상의 고해상도를 요구할 때는 첫단과 끝단의 프리앰프의 출력이 영향을 더 크게 받는다. 따라서 그림8처럼 프리앰프가 받는 영향을 모두 똑같이 하기위하여 Dummy Latch 삽입을 제안한다.

또한 Dummy 프리앰프는 양 끝단의 프리앰프가 다른 프리앰프와 동일한 조건을 갖게 하기위한 역할을 한다. Dummy 프리앰프가 없으면 평균화 저항에 의해 양끝단의 프리앰프는 Zero Crossing이 Shift되는 현상이 발생한다.<sup>[9]</sup> Dummy 프리앰프에 들어가는 기준전압은 별도의 전압을 사용하지 않고 Ref-Top과 Ref-Bot의 전압을 인가한다. 이때 Dummy 프리앰프의 평균화저항 R1과 중간에 있는 프리앰프의 평균화저항 R2의 기준전압의

Offset condition simulation (8bit)

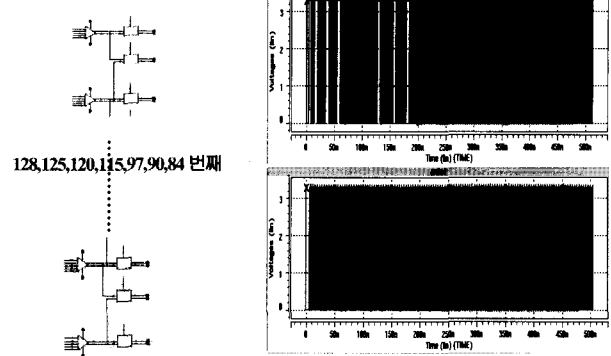


그림 9. 평균화저항 모의실험.  
Fig. 9. Simulation of Averaging Resistor.

차이가 1:2이다. 따라서 R1과 R2의 저항값도 R1:R2 = 1:2의 비율로 설정해준다.

그림 9은 8bit Interpolation A/D 변환기의 128개의 프리앰프 중 임의의 128, 125, 120, 115, 97, 90, 84번째 프리앰프 입력 MOS의 W/L을 변경시켜 오프셋을 발생시켰을 때 최하위의 LSB의 Error code발생을 확인하기 위한 모의실험 결과이다. 상단의 결과는 평균화 저항이 없을 때 Error code발생한 결과이고 하단의 결과는 평균화 저항으로 Error code가 없는 결과를 보여주고 있다.

### III. Full Chip 회로도 및 모의실험 결과

제안하는 8-Bit A/D Converter의 전체 모의실험 회로는 그림10과 같으며 전술한 바와 같이 Sampling Clock은 500MHz 신호를 인가하였고 차동 Analog 입력을 인가하였다. 전체 A/D 변환기의 동작여부를 확인하기 위해 Reference top =2.15V, Reference bottom =1.15V를 인가하였고, sampling clock은 500MHz를 인가하였다. A/D 변환기가 위와 같은 reference 전압에서 아날로그 입력 신호에 대하여 8-bit에 대한 모든 디지털 code로의 변환여부를 확인하기 위하여 ramp파형을 입력신호에 인가하였다. 256 디지털 code에 대한 결과를 확인 하기 위하여 512nsec이상의 모의실험을 하였으며 그림 11은 ramp파형이 인가되었을 때 A/D 변환기에서 256 code의 디지털 출력이 missing code없이 출력됨을 보여주고 있다.

전체 모의실험은 layout을 완료한 후 Post simulation을 하였다. 500MSPS에서 A/D 변환기의 Signal to Noise Distortion Ratio (SNDR) 와 Effective Number Of Bits (ENOB)를 구하기 위해서 FFT simulation을 실

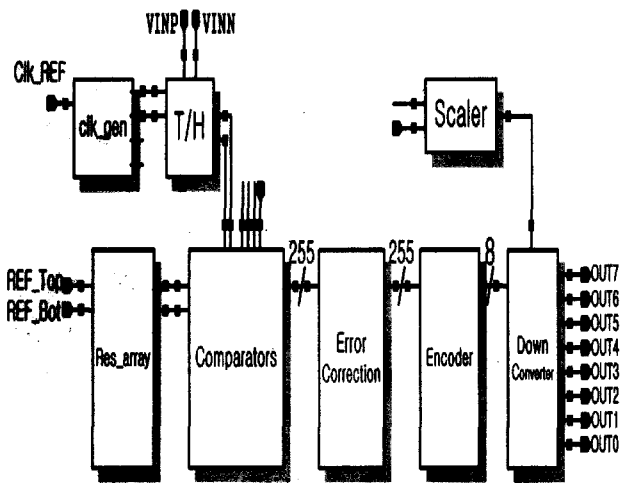


그림 10. 제안하는 Interpolation ADC 전체 회로도.  
Fig. 10. Proposed Interpolation A/D Converter Full Schematic.

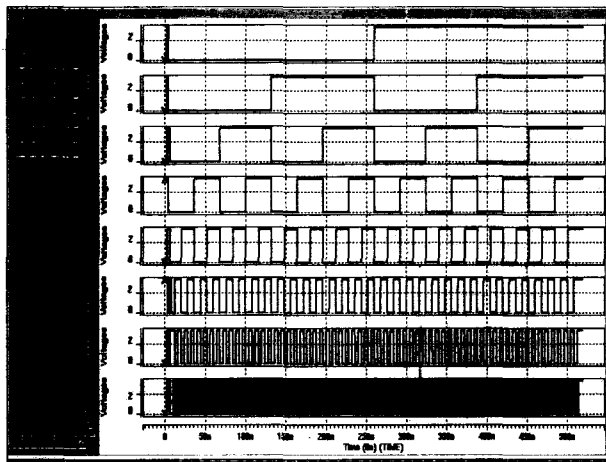


그림 11. A/D 변환기의 ramp 입력에 대한 출력.  
Fig. 11. A/D Converter Simulation result of ramp waver.

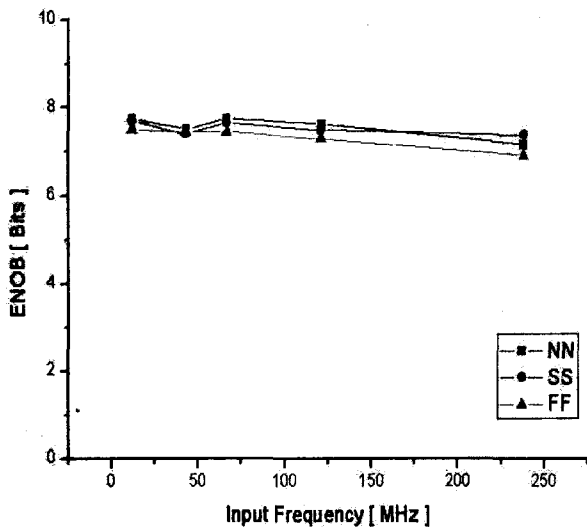


그림 12. A/D변환기의 ENOB 결과.  
Fig. 12. A/D Converter Simulation result of ENOB.

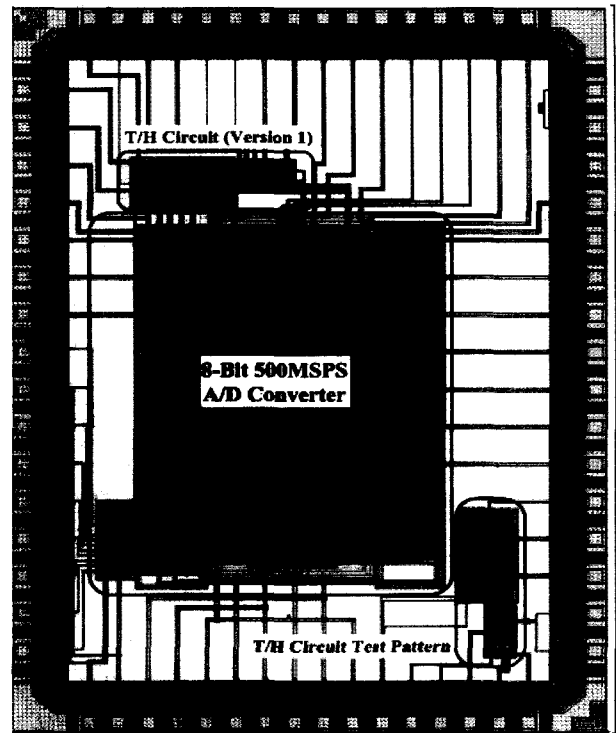


그림 13. 제안된 A/D변환기의 전체 레이아웃.  
Fig. 13. Proposed A/D Converter Full Layout.

시하였다.

그림 12은 설계한 8-Bit ADC에 입력 주파수와 공정 변수(NN, SS, FF)에 따른 ENOB의 변화를 그래프로 나타낸 것이다. Simulation 결과 SNDR이 47~49dB, ENOB 7.6~7.9Bit로 나타났다.

#### IV. Chip Implementation 및 측정 결과

그림 13에 Analog Block과 Digital Block의 Power Line을 분리한 전체 A/D 변환기의 Core Layout을 나타냈다.

기본적으로 모든 블록은 Power Line에 의한 상호 Noise를 줄이기 위해 별도의 전원을 쓰도록 했고 또한 Latch-up 현상을 줄이기 위해 가능한 많은 Well 및 Substrate Plug를 형성하였다. 전체 Layout된 A/D 변환기의 Core Size는 Power Guard-ring을 포함하여 2250um × 3080um 이다.

그림 14는 본 논문에서 제안한 A/D 변환기의 칩 측정 결과이다. 그림 14 (a)는 7MSPS, 44KHz sine wave 입력에 대한 디지털 출력의 복원 파형이다. 그림 14 (b)는 (a)를 FFT 취한 결과이다.

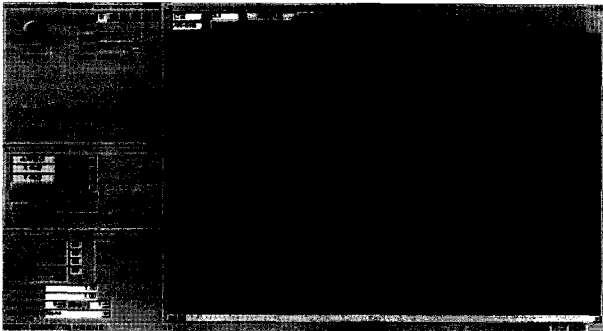


그림 14-(a). 복원 파형(7MSPS, Input:44KHz).  
Fig. 14-(a). Reconstruction Wave.

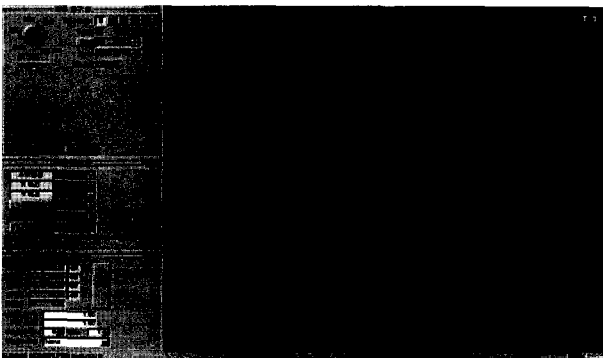


그림 14-(b). FFT 측정 결과(7MSPS, 44KHz).  
Fig. 14-(b). FFT Result.

### V. 결 론

본 연구의 목적은 고속 Interface를 위한 높은 변환 속도와 적은 전력 소모를 갖는 A/D 변환기의 개발이다. 일반적으로 고속의 A/D 변환기는 기존의 Full Flash 방식이 널리 사용되고 있으나 큰 칩 면적과 전력 소모를 가지는 단점을 극복하기 위해 본 연구에서는 Interpolation 기법을 사용하였다. 본 연구에서는 0.35um 2-poly 4-metal N-well CMOS 공정을 사용하여, 고속 동작을 목표로 한 3.3V 8bit 500MSPS CMOS A/D 변환기를 설계하였다. 설계된 칩의 Post simulation을 통하여 각 부분의 성능을 평가하였으며, 제안한 A/D 변환기의 결과는 SNDR이 42~44dB, ENOB 6.9~7.2Bit로 나타났다. 설계된 칩의 유효 칩 면적은 2250um x 3080um이다. 그림13에 In/Output Pad를 포함한 8bit 고속 A/D 변환기의 전체 Layout을 나타내었다. 표 2는 본 연구에서 설계된 A/D 변환기의 사양 및 레이아웃 결과 도표이다.

표 2. 설계된 A/D 변환기의 사양 및 측정 결과.  
Table 2. The Designed Specification of A/D Converter and measurement result.

분해능	8 비트
변환속도	500MSPS
전원 전압	단일 3.3V
아날로그 입력 범위	1V <sub>PP</sub> (Diff.=2V <sub>PP</sub> )
공정	0.35um, 2-poly, 4-metal N-well CMOS
DNL 및 INL	< ±1LSB
SNR	44dB
전력소모 (A/D 변환기 Core)	440mW (NN)
유효 칩 면적	2250um×3080um

### 참 고 문 헌

- [1] David A. Johns and Ken Martin, "Analog Integrated Circuit Design", John Wiley & Sons Inc., 1997, pp. 463-486
- [2] Mikael Gustavsson, J. Jacob Wikner Nianxiang Nick Tan, "CMOS Data Converter for Communications", Kluwer Academic Publishers., 2000, pp. 87-124
- [3] R. Plassche and P. Baltus. "An 8-bit 100-MHz Full-Nyquist Analog-to-Digital Converter," IEEE J, Solid-State Circuits, vol. 23, n0.6, pp. 1334-1344, DEC. 1988.
- [4] 이승훈, 김범섭, 송민규, 최중호 공저, "CMOS 아날로그 / 혼성모드 집적 시스템 설계", 시그마프레스, 1999
- [5] David F. Hoeschele, Jr "Analog to Digital and Digital to Analog Conversion Techniques", John Wiley & Sons Inc. 1994
- [6] Behzard Razabi "Principles of Data Conversion System Design" IEEE PRESS, 1995. pp. 127-132.
- [7] Chuck Lane "A 10-Bit 60 MSPS FLASH ADC" BCTM, sept. 1989. pp. 44-47
- [8] R. Jacob Baker, Harry W. Li, David E. Boyce "CMOS circuit Design, Layout, and simulation" IEEE PRESS 1997 pp. 84-88.
- [9] Peter scholtens, Maarten Vertergt "A 6b 1.6GSample/s Flash ADC in 0.18um CMOS using Averaging Termination." in international Solid State Circuits Conference, pp. 168-169, IEEE, Feb. 2002.

저 자 소 개

김 상 규(정회원)

1995년~2002년 동국대학교  
반도체과학과 학사.

2002년~2004년 동국대학교  
반도체과학과 석사.

2004년~현재 (주)삼성전자  
연구원.

<주관심분야: 고성능 주파수합성기, CMOS 데이  
터 변환기 및 CMOS 혼성모드 집적회로 설계>

송 민 규(정회원)

1982년~1986년 서울대학교  
공과대학 학사.

1986년~1988년 서울대학교  
공과대학 석사.

1988년~1993년 서울대학교  
공과대학 박사.

현재 동국대학교 반도체과학과 부교수.

<주관심분야: CMOS 아날로그/혼성모드 집적 시  
스템 설계, 저전력 디지털 VLSI 설계>