

논문 2004-41SD-8-13

소스 전압을 높인 메모리 셀을 이용한 저전력 SRAM

(A Low Power SRAM Using Elevated Source Level Memory Cells)

양 병 도*, 김 이 섭*

(Byung-Do Yang and Lee-Sup Kim)

요 약

SRAM에서 쓰기 전력을 줄이기 위하여 소스 전압을 높인 메모리 셀을 이용한 저전력 SRAM을 제안하였다. 메모리 셀의 소스 전압을 GND에서 V_T 로 올리고 비트라인과 데이터버스의 프리차지 전압을 V_{DD} 에서 $V_{DD}-V_T$ 로 낮춤으로써 비트라인과 데이터버스의 스윙 전압을 줄였다. 이것은 면적의 증가와 속도 감소 없이 SRAM의 쓰기 전력을 크게 줄여준다. $8K \times 32$ 비트의 SRAM이 0.25 μ m CMOS 공정으로 제작되었다. 제작된 SRAM은 2.5V 전원과 300MHz 동작 주파수에서 쓰기 동작의 소모전력을 45% 줄였고, 최대 동작 주파수는 330MHz였다.

Abstract

A low power SRAM using elevated source level memory cells is proposed to save the write power of SRAM. It reduces the swing voltages of the bit lines and data bus by elevating the source level of the memory cells from GND to V_T and lowering the precharge level of the bit lines and data bus from V_{DD} to $V_{DD}-V_T$. It saves the write power of SRAM without area overhead and speed degradation. An SRAM with $8K \times 32$ bits is fabricated in a 0.25 μ m CMOS process. It saves 45% of the power in write cycles at 300MHz with 2.5V. The maximum operating frequency is 330MHz.

Keywords: VLSI, CMOS, SRAM, low power, and low swing

I. 서 론

휴대 전자 기기들에 대한 요구가 폭발적으로 증가함에 따라, VLSI 칩 설계에서 전력 소모를 줄이는 것은 매우 중요하게 되었다. 특히, VLSI 칩들에 들어가는 SRAM의 크기와 입출력 데이터의 비트가 증가하면서, 저전력 SRAM이 필요성은 더욱 커지고 있다. SRAM의 전력 소모를 줄이기 위하여 다양한 기법들이 제안되었다^[1]. 읽기 동작에서는 비트라인과 데이터버스의 스윙 전압을 줄임으로써 전력 소모를 크게 줄어들었다. 그러나, 쓰기 동작에서는 비트라인과 데이터버스의 스윙 전

압을 줄일 수 없고 스윙 전압이 전원 전압과 같다. 따라서, SRAM은 쓰기 동작에서 더욱 많은 전력을 소모한다.

최근에 쓰기 동작에서 비트라인과 데이터버스의 스윙 전압을 낮추어 전력 소모를 줄인 몇 가지 기법들이 제안되었다^{[2]-[4]}. Mai의 기법은 $V_{DD}/2$ 전원을 사용하여 비트라인을 프리차지 함으로써 스윙 전압을 $V_{DD}/2$ 로 줄였다^[2]. Mizuno의 기법은 워드라인이 선택된 동안 메모리 셀의 소스라인을 전원에서 분리시킨 후 워드라인의 전압이 GND로 돌아가면 소스라인을 GND에 연결하여 각 메모리 셀들이 감지 증폭기로 동작하도록 함으로써 스윙 전압을 $V_{DD}/10$ 로 줄였다^[3]. Hattori의 기법은 메모리 셀을 감지 증폭기 구조로 바꾸어 작은 스윙 전압을 감지할 수 있도록 함으로써, 스윙 전압을 $V_{DD}/6$ 로 줄였다^[4]. 이러한 저전력 쓰기 기법들은 스윙 전압을 크게 줄여준다. 그러나, Mai와 Mizuno의 기법은 로컬 워드라인 디코더들에 회로들을 추가시키고 Hattori의 기법은 기

* 정회원, KAIST 전자전산학과
(Dept. of Electrical Engineering & Computer Science, KAIST)

※ 본 연구는 한국과학재단과 미세정보센터의 지원을 받아 수행되었습니다.

접수일자: 2004년2월19일, 수정완료일: 2004년7월13일

존의 6 트랜지스터 메모리 셀이 아닌 7 트랜지스터 메모리 셀을 사용한다. 또한, 비트라인과 데이터버스의 충/방전하기 위한 DC-DC 변압기들을 필요로 한다. 따라서, 그 기법들은 면적 증가와 속도 감소를 가져온다.

본 논문은 비트라인과 데이터버스의 스윙전압을 줄여 쓰기 전력 소모를 줄이기 위하여 소스 전압을 높인 메모리 셀을 사용한 저전력 SRAM(a low power SRAM using elevated source level cells: ESLC-SRAM)이 제안한다. ESLC-SRAM은 한 개의 큰 NMOS 트랜지스터를 사용하여 메모리 셀의 소스 전압을 GND에서 V_T 로 올리고 NMOS 프리차지 트랜지스터를 사용하여 비트라인과 데이터버스의 프리차지 전압을 V_{DD} 에서 $V_{DD}-V_T$ 로 낮춘다. 이것은 비트라인과 데이터버스의 스윙 전압을 V_{DD} 에서 $V_{DD}-2V_T$ 로 줄임으로써 쓰기 전력을 줄여준다. 비록 이 기법에서 줄여든 전력 소모량은 이전의 저전력 기법들보다 적지만, 면적 증가와 속도 감소 없이 쓰기 전력을 크게 줄일 수 있다. 따라서, ESLC-SRAM은 효과적인 쓰기 전력을 줄이는 기법이다.

본 논문의 구성은 다음과 같다. II장에서는 제안된 ESLC-SRAM의 구조를 설명한다. III장에서는 제작된 칩의 실험 결과를 보여준다. IV장에서는 결론을 맺는다.

II. ESLC-SRAM의 구조

그림 1은 기존 SRAM (conventional SRAM: CNV-SRAM)과 제안된 ESLC-SRAM의 메모리 셀, 비트라인, 그리고 비트라인 프리차지 회로이다. CNV-SRAM의 메모리 셀의 pull-down NMOS 트랜지스터들은 GND에 연결되어 있는 반면에, ESLC-SRAM에서는 소스라인(source line)에 연결되어 있다. CNV-SRAM의 비트라인들은 PMOS 프리차지 트랜지스터들에 의하여 V_{DD} 로 프리차지 된다. 그러나, ESLC-SRAM의 비트라인들은 NMOS 프리차지 트랜지스터들에 의하여 $V_{DD}-V_T$ 로 프리차지 된다.

그림 2는 CNV-SRAM과 ESLC-SRAM의 쓰기 동작에서의 파형들을 보여준다. CNV-SRAM에서는 메모리 셀의 노드 A와 B의 전압이 각각 V_{DD} 와 GND이다. 비트라인들은 V_{DD} 로 프리차지 되어있다. 메모리 셀에 데이터를 쓰기 위해서는 한 쌍의 비트라인 중 하나는 GND로 방전되어야 한다. 따라서, 비트라인의 스윙 전압은 V_{DD} 이 된다. 그러나, ESLC-SRAM에서는 소스 전압(source level: V_{SL})을 높임으로써 비트라인의 스윙 전압을 낮추게 된다. 노드 A와 B의 전압이 각각 V_{DD} 와

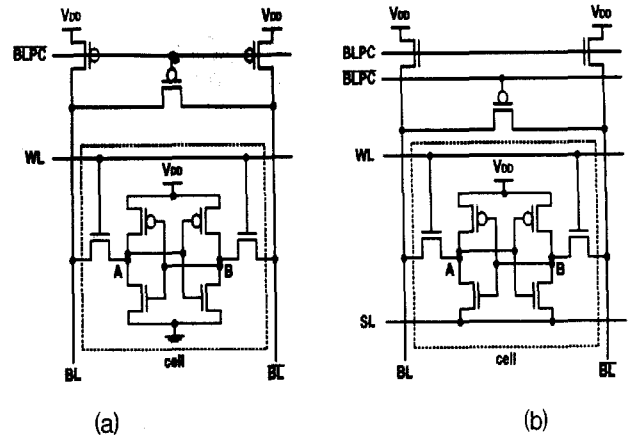


그림 1. 메모리셀과 비트라인 프리차지 회로 (a) 기존의 SRAM (b) ESLC-SRAM

Fig. 1. Memory cells and bit line precharge circuits of (a) conventional SRAM (b) ESLC-SRAM.

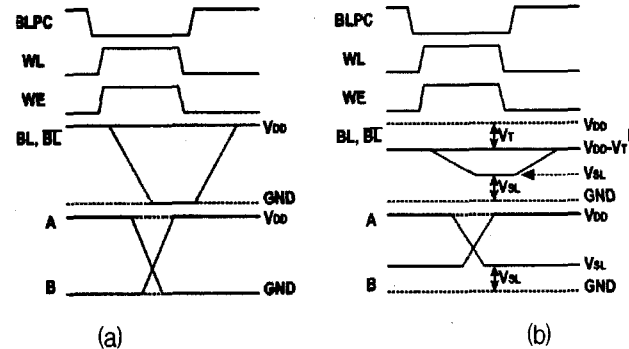


그림 2. 쓰기 동작에서의 파형들 (a) 기존의 SRAM (b) ESLC-SRAM

Fig. 2. Write cycle waveforms of (a) conventional SRAM (b) ESLC-SRAM.

V_{SL} 이다. 비트라인은 $V_{DD}-V_T$ 로 프리차지 된다. 비트라인의 스윙 전압은 V_{DD} 에서 $V_{DD}-V_T-V_{SL}$ 로 줄어들게 된다. 따라서, 스윙 전압을 소스 전압으로 쉽게 조절할 수 있다. 임의의 소스 전압을 만들기 위해서는 DC-DC 변압기가 필요하다. 그러나, 우리는 DC-DC 변압기 없이 간단하게 ESLC-SRAM을 구현하였다. 소스 전압을 높이기 위하여 하나의 NMOS 트랜지스터를 사용하였다. 물론 이것은 소스 전압을 NMOS의 문턱전압(V_T)으로 고정하지만, 한 개의 NMOS 트랜지스터로 DC-DC 변압기를 대체할 수 있다.

그림 3과 4는 ESLC-SRAM의 간단한 스케메틱과 전체 아키텍처를 보여준다. 메모리 셀들의 소스라인과 write drivers들은 모두 V_T 전압을 가진 VGND(virtual ground)에 연결되어 있다. 그림 5는 CNV-SRAM과 ESLC-SRAM의 시뮬레이션 파형들이다. 8Kx32비트의 두 개의 SRAM은 0.25um CMOS 공정으로 제작되었고 시뮬레이션은 2.5V 전원과 300MHz 동작 주파수에서

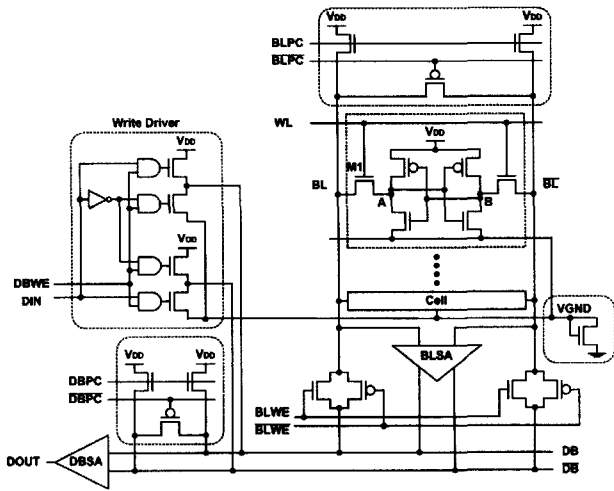


그림 3. ESLC-SRAM의 간단한 스케메틱
Fig. 3. Simplified schematic of ESLC-SRAM.

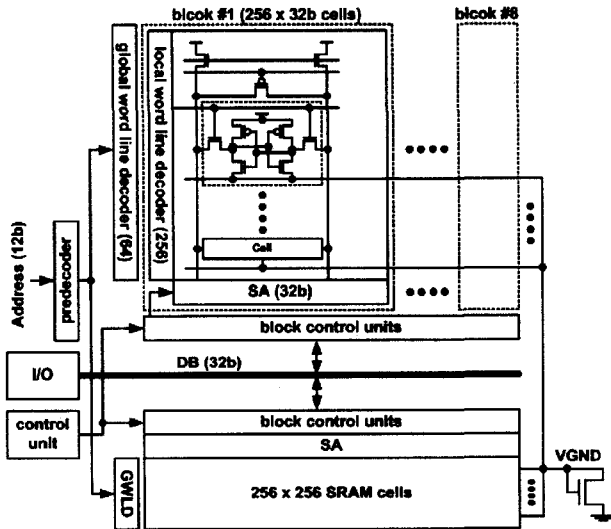
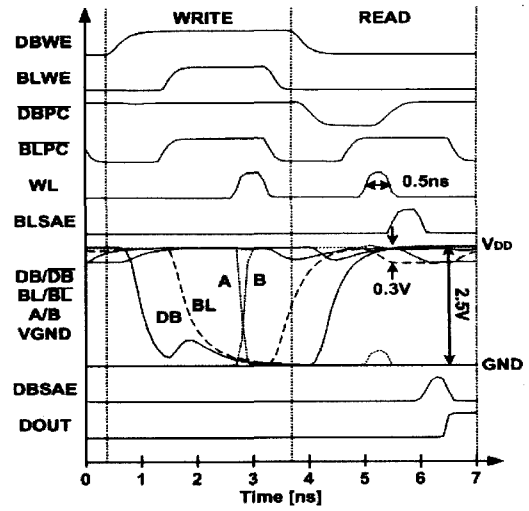


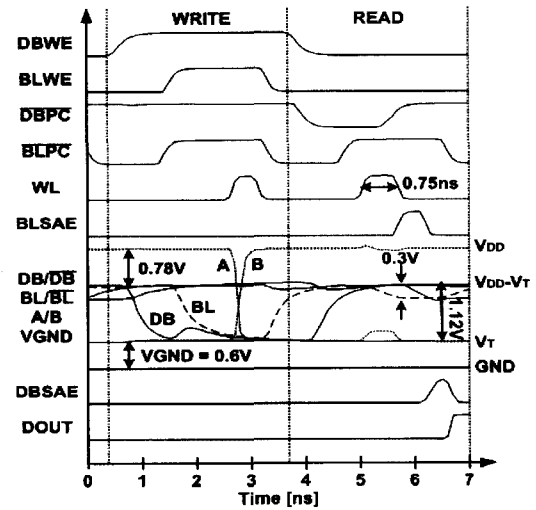
그림 4. ESLC-SRAM의 아키텍처
Fig. 4. ESLC-SRAM architecture.

수행되었다.

쓰기 동작에서 CNV-SRAM의 비트라인과 데이터버스의 스윙 전압은 V_{DD} 인 반면에 ESLC-SRAM의 스윙 전압은 $V_{DD}-2V_T$ 이다. 비트라인은 매번 $V_{DD}-V_T$ 로 프리차지 되지만 데이터버스는 이전의 전압을 유지한다. 한쌍의 데이터버스 라인 중 하나는 V_{DD} 에 연결되어 있는 write driver의 pull-up NMOS 트랜지스터에 의하여 $V_{DD}-V_T$ 로 충전된다. 다른 하나는 VGND에 연결되어 있는 write driver의 pull-down NMOS 트랜지스터에 의하여 V_T 로 방전된다. 또한, write driver의 pull-down NMOS 트랜지스터는 $V_{DD}-V_T$ 로 충전되어 있는 한쌍의 비트라인 중 하나를 V_T 로 방전한다. 따라서, 비트라인과 데이터버스의 스윙 전압도 그림 5(b)에서와 같이 $V_{DD}-2V_T$ 로 제한된다. ESLC-SRAM에서의 비트라인



(a)



(b)

그림 5. 스물레이션 파형들 (a) 기존의 SRAM (b) ESLC-SRAM

Fig. 5. Simulated waveforms of (a) conventional SRAM (b) ESLC-SRAM.

과 데이터버스에서의 전력 소모는 CNV-SRAM의 $(V_{DD}-2V_T)/V_{DD}$ 이 된다. 그러나, ESLC-SRAM의 쓰기 시간은 CNV-SRAM과 같다. 그 이유는 비트라인과 데이터버스에서의 delay는 스윙 전압이 아닌 RC time constant에 의하여 결정되기 때문이다.

읽기 동작에서 ESLC-SRAM의 비트라인과 데이터버스의 스윙 전압은 CNV-SRAM과 같은 매우 작은 전압이다. 스윙 전압을 같도록 하기 위해서는 ESLC-SRAM의 워드라인은 CNV-SRAM 보다 오랜 시간동안 메모리 셀에서 워드라인에 연결되어 있는 NMOS 트랜지스터를 켜야한다.

그림 3에서의 노드 A와 비트라인의 전압이 각각 V_T 과 $V_{DD}-V_T$ 일 때, 트랜지스터 M1의 V_{GS} 와 V_{DS} 은 각각

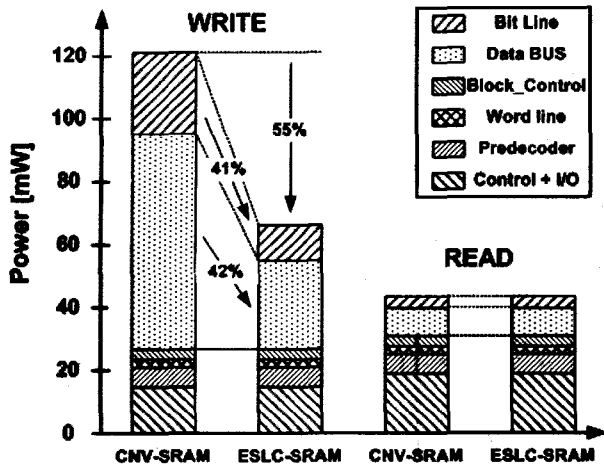


그림 6. 소모 전력
Fig. 6. Power consumptions.

$V_{DD}-V_T$ 와 $V_{DD}-2V_T$ 이다. CNV-SRAM의 경우, 노드 A와 비트라인의 전압이 각각 GND 과 V_{DD} 일 때, 트랜지스터 M1의 V_{GS} 와 V_{DS} 은 모두 V_{DD} 이다. 트랜지스터를 통하여 흐르는 전류의 양은 V_{GS} 와 V_{DS} 의 전압에 비례하기 때문에, M1을 통하여 흐르는 전류의 양은 ESLC-SRAM의 경우 CNV-SRAM보다 작게된다. 시뮬레이션에서는 그림 5에서와 같이 ESLC-SRAM의 워드라인이 CNV-SRAM에서보다 오랫동안 켜져있게 된다. ESLC-SRAM는 읽기 동작에서는 약간의 시간을 더 필요로 하였지만, SRAM에서 읽기 동작에 필요한 시간보다 쓰기 동작에 필요한 시간이 더 길기 때문에 전체적인 SRAM의 동작 속도는 같다. 쓰기 동작 속도가 읽기 동작 속도보다 더 느린 이유는 쓰기 동작에서에서는 비트라인과 데이터버스에서 큰 RC에 의한 delay를 가지기 때문이다.

그림 6은 CNV-SRAM와 ESLC-SRAM의 소모 전력을 보여준다. 8K×32비트의 두 개의 SRAM은 0.25um CMOS 공정으로 구현되었다. 소모 전력은 2.5V 전원과 300MHz 동작 주파수에서 측정되었다. 쓰기 동작에서 ESLC-SRAM의 비트라인과 데이터버스의 스윙 전압이 V_{DD} 에서 $V_{DD}-2V_T$ 로 줄어들어 ESLC-SRAM의 비트라인과 데이터버스는 CNV-SRAM의 소모 전력의 약 42%만을 소모한다. 쓰기 동작에서 ESLC-SRAM은 CNV-SRAM의 전체 소모전력의 약 55%만을 소모한다.

그림 7은 노이즈 마진을 보여준다. ESLC-SRAM의 노이즈 마진은 CNV-SRAM의 422mV에서 362mV로 줄어들었지만, ESLC-SRAM의 노이즈 마진은 외부의 노이즈들로부터 데이터를 보호하기에 충분하다. 약 14%의 노이즈 마진은 줄어든 반면에 비트라인과 데이

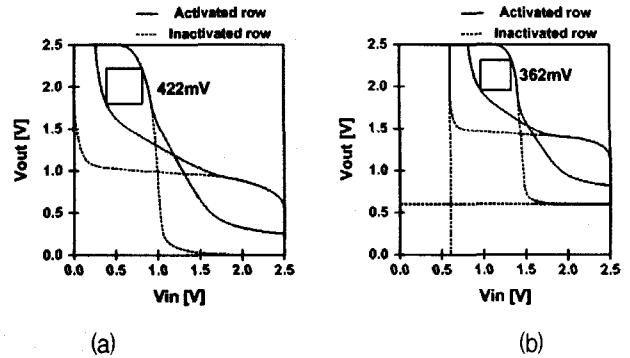


그림 7. 노이즈 마진 (a) CNV-SRAM (b) ESLC-SRAM
Fig. 7. Noise margins of (a) CNV-SRAM (b) ESLC-SRAM.

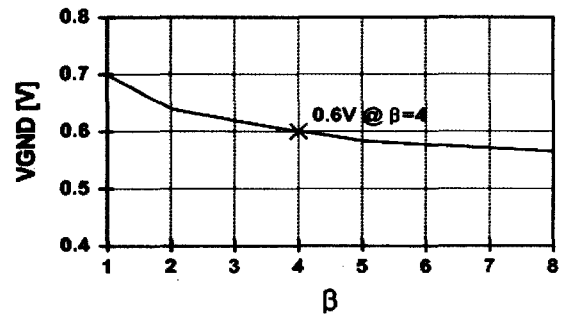


그림 8. β 에 따른 VGND의 변화
Fig. 8. VGND variation according to β .

터버스의 전력 소모는 58%가 줄었다.

그림 8은 β 에 따른 VGND의 변화를 보여준다. β 는 VGND의 전압을 만드는 NMOS 트랜지스터의 크기와 그림 3에 있는 write driver의 pull-down NMOS 트랜지스터들의 전체 크기의 비율이다. VGND는 2.5V 전원과 300MHz 동작 주파수에서 측정되었다. 시뮬레이션으로부터 VGND의 전압을 만드는 NMOS 트랜지스터의 크기는 write driver의 pull-down NMOS 트랜지스터들의 전체 크기의 4배로 결정되어 칩이 제작되었다. 그 크기는 VGND의 전압이 V_T 로 유지하기에 충분한 크기이다. 쓰기 동작에서 VGND의 전압이 안정적인 V_T 를 유지하는 VGND에 연결된 수많은 메모리 셀의 트랜지스터들에 의하여 VGND가 큰 커패시턴스를 가지기 때문에 가능하다. GND의 전압을 만드는 NMOS 트랜지스터의 크기는 SRAM 전체 크기에 비하여 무시할 정도로 작다.

표 1은 비트라인과 데이터버스의 스윙 전압을 줄임으로써 쓰기 동작의 전력 소모를 줄인 기법들을 사용한 SRAM들의 성능을 비교하였다^{[2]-[4]}. 표의 모든 데이터는 CNV-SRAM의 상대적 값이다. Mai의 기법은 $V_{DD}/2$ 의 전원을 사용하여 비트라인을 프리차지 함으로써 스윙 전압을 반으로 줄였다^[2]. 그러나, 비트라인을 $V_{DD}/2$ 로

표 1. SRAM 성능 비교

Table 1. SRAM performance comparisons.

	Swing voltages	Area	Delay	Noise Margin
CNV-SRAM	1.00	1.00	1.00	1.00
Mai's technique [2]	0.50	1.10	N/A	N/A
Mizuno's technique [3]	0.10	N/A	N/A	N/A
Hattori's technique [4]	0.17	1.11	1.05	0.75
ESLC-SRAM	0.45	1.00	1.00	0.86

표 2. 테스트 칩의 사양

Table 2. Features of the test chip.

Technology	0.25um CMOS
Supply Voltage	2.5V
Maximum Clock Frequency	330 MHz
Organization	8K 32 bits
Chip Core Area	5.51mm ² (2.96mm × 1.86mm)
Power (fclk = 300MHz)	66mW (at write) 43mW (at read)

프리차지 시키는 것은 읽기 동작 동안에서 누설 전류에 의한 셀의 안정성 감소시킨다. 이것은 셀의 PMOS에 연결되는 전압을 높임으로써 해결될 수 있지만 쓰기 동작을 어렵게 한다. 따라서, 선택된 워드라인에 연결되어 있는 셀들의 전원 전압을 쓰기 동작 동안에만 낮추어야 한다. 이를 위한 회로가 로컬 워드라인 디코더에 추가되어 SRAM의 면적이 10%정도가 증가하게 된다. 또한, 이 기법은 dual V_T CMOS 공정, V_{DD}/2을 위한 변압기, 높은 셀 전압을 위한 charge pump를 필요로 한다. Mizuno의 기법은 워드라인이 선택되어 있는 동안에는 소스라인에서 전원을 분리시킨 후 워드라인의 전압이 GND가 될 때 소스라인의 전압을 GND에 연결함으로써 메모리 셀을 감지 증폭기로 동작시킴으로써 스윙 전압을 V_{DD}/10로 줄인다^[3]. 이를 위하여 메모리 셀의 소스라인에 연결된 NMOS 트랜지스터들의 전체 크기의 1/3에서 1/2정도의 크기를 가지는 NMOS 트랜지스터가 워드라인 디코더에 추가되어야 한다. 또한, 비트라인을 V_{DD}/2로 프리차지하기 위한 전원을 만들기 위한 변압기가 필요하다. Hattori의 기법은 메모리 셀의 구조를 감지증폭기 형태로 만들어 작은 스윙의 전압을 감지하여 쓸수 있도록 하여 스윙 전압을 V_{DD}/6로 줄였다^[4]. 이것은 셀의 트랜지스터 수를 기존의 6개에서 7개로 증가시킨다. 따라서, 면적이 11% 증가하고 동작속도가 5% 감소한다. 추가적으로 쓰기 동작에서 비트라인과 데이터 버스를 작은 전압차이로 방전시킴으로써 스윙 전압을 낮추기 위한 변압기가 필요하다.

ESLC-SRAM은 비트라인과 데이터버스의 스윙 전압을 CNV-SRAM의 45%로 줄였다. ESLC-SRAM은 기

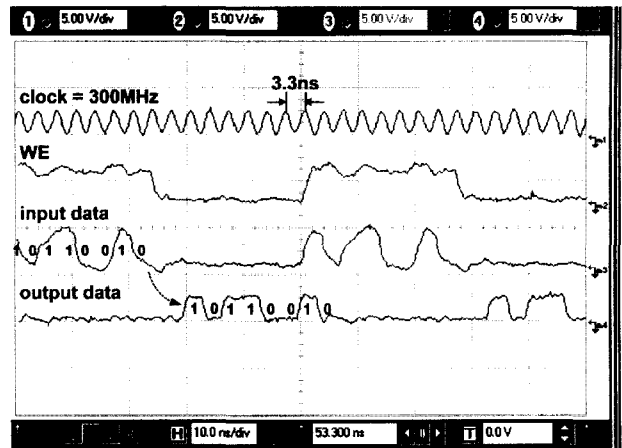


그림 9. 측정된 파형
Fig. 9. Measured waveforms.

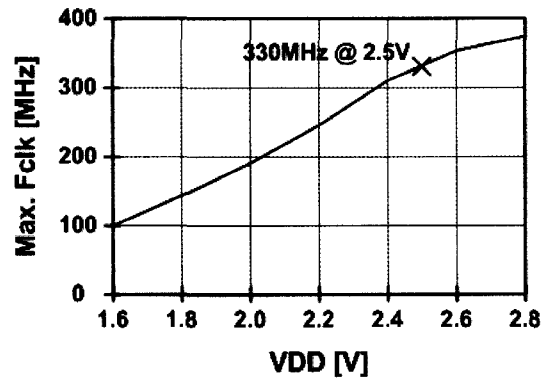


그림 10. 최고 동작 주파수 vs. V_{DD}
Fig. 10. Maximum operating frequency vs. V_{DD}.

존의 저전력 SRAM들에 비하여 스윙 전압이 크지만, ESLC-SRAM에서는 어떤 면적 증가나 속도 감소는 없다. 또한, 변압기도 필요로 하지 않고 노이즈 마진도 Hattori의 SRAM보다 크다. 따라서 ESLC-SRAM 효과적으로 쓰기 전력을 줄일 수 있는 기법이다.

III. 칩 제작 및 실험 결과

SRAM 칩은 0.25um CMOS 공정으로 제작되었다. 칩의 특징들은 표2에 정리되었다. 소모 전력은 2.5V 전압과 300MHz 동작주파수에서 측정하였다. SRAM은 쓰기와 읽기 동작에서 각각 66mW와 43mW의 전력을 소모하였다. 그림 9는 SRAM 칩의 측정 파형이다. I/O pad는 입력과 출력을 분리하여 구현되었다. 입력 데이터 패턴 '10110010'이 WE(write enable)가 '1'인 쓰기 동작에서 SRAM 칩에 저장되고, WE가 '0'인 읽기 동작에서 같은 패턴의 데이터가 출력된다. 그림 10은 전원 전압에 따른 최고 동작 주파수를 보여준다. V_{DD} = 2.5V

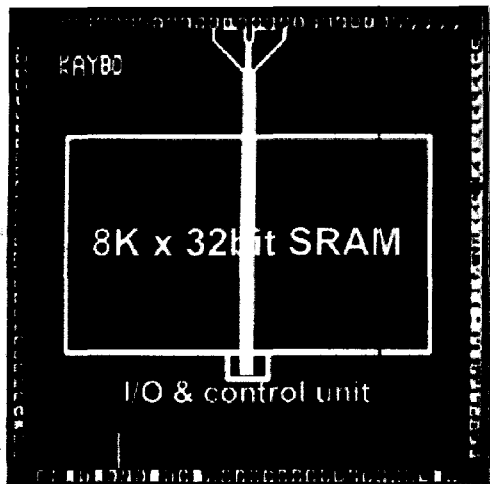


그림 11. 칩사진
Fig. 11. Chip micrograph.

에서의 최고 동작 주파수는 330MHz이다. 다양한 전원 전압에서 안정적으로 동작함을 알 수 있었다. 그림 11은 칩 사진이고 제작된 SRAM의 크기는 5.51mm^2 ($2.96\text{mm} \times 1.86\text{mm}$)이다.

IV. 결 론

SRAM에서 쓰기 전력을 줄이기 위하여 메모리 셀의 소스 전압을 높인 ESLC-SRAM이 제안되었다. 메모리 셀의 소스 전압을 GND에서 V_T 로 올리고 비트라인과 데이터버스의 프리차지 전압을 V_{DD} 에서 $V_{DD}-V_T$ 로 낮춤으로써 비트라인과 데이터버스의 스윙 전압을 V_{DD} 에서 $V_{DD}-2V_T$ 로 줄였다. 특히, ESLC-SRAM은 면적 증가 및 속도 감소 없이 쓰기 전력을 크게 줄였다. $8K \times 32$ 비트의 SRAM이 $0.25\mu\text{m}$ CMOS 공정으로 제작되었다.

제작된 SRAM은 2.5V 전원과 300MHz 동작 주파수에서 쓰기 동작의 소모전력을 45% 줄였고 그것의 최대 동작 주파수는 330MHz였다.

참 고 문 헌

- [1] K. Itoh, K. Sasaki, and Y. Nakagome, "Trends in low-power RAM circuit technologies," Proc. IEEE, vol. 83, pp. 524-543, Apr. 1995
- [2] K. W. Mai, et. al., "Low Power SRAM Design Using Half-Swing Pulse-Mode Techniques," IEEE J. Solid-State Circuits, vol. 33, pp. 1659-1671, Nov. 1998.
- [3] H. Mizuno and T. Nagano, "Driving source-line cell architecture for sub-1-V high-speed low-power applications," IEEE J. Solid-State Circuits, vol. 31, pp. 552-557, Apr. 1996.
- [4] S. Hattori and T. Sakurai, "90% Write Power Saving SRAM Using Sense-Amplifying Memory Cell," Symp. on VLSI Circuits, pp. 46-47, 2002.

저 자 소 개



양 병 도(정회원)

1999년 한국과학기술원 전자전산학과 전기및전자공학 전공 졸업 (공학사).

2001년 한국과학기술원 전자전산학과 전기및전자공학 전공 졸업 (공학석사).

2001년 ~ 현재 한국과학기술원 전자전산학과 전기및전자공학 전공 박사과정.

<주관심분야: 저전력/고성능 디지털 회로 설계, 저전력 메모리 설계>



김 이 섭(정회원)

1982년 서울대학교 전자공학과 학사.

1986년 Stanford University 전자공학과 석사.

1990년 Stanford University 전자공학과 박사.

1990년 ~ 1993년 Toshiba Corporation 연구원.

1993년 ~ 현재 한국과학기술원 전자전산학과 전기및전자공학 전공 교수.

<주관심분야: 3D Graphics 프로세서 및 하드웨어 설계, 고성능/저전력 디지털 IC 설계>