

## 차세대 기가비트 이더넷 스위치 기술

백정훈(동아방송대학), 주범순(한국전자통신연구원)

### I. 서론

이더넷 특유의 범용성과 라인 속도의 포위딩 기능을 제공하는 고성능 네트워크 프로세서의 등장으로 메트로 이더넷의 핵심 장비로 선보인 이더넷 스위치는 메트로 영역에서의 성공 여세를 몰아 코어 영역 까지 적용범위를 확장하고 있다.

이러한 이더넷 스위치의 시장 변화에 따라 세계 유수의 이더넷 스위치 벤더는 스위칭 용량에 있어서는 수 Tbps ~ 수십 Tbps, 라인 인터페이스 및 패킷 처리 능력에 있어서는 10 기가비트 이더넷을 넘어 이것의 후속 버전인 40 기가비트 이더넷 혹은 100 기가비트 이더넷을 수용하면서 캐리어 수준의 신뢰도를 제공하는 차세대 이더넷 스위치 개발을 가속화하고 있는 실정이다.

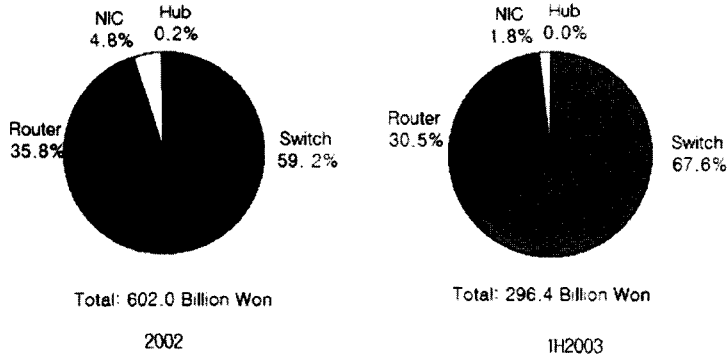
본 고에서는 스위칭 능력의 대용량화, 라인 인터페이스 및 패킷 처리의 고속화, 그리고 기능의 지능화로 특징지을 수 있는 차세대 이더넷 스위치의 방향성에 초점을 맞추어 차세대 이더넷 스위치에 요구되는 요소 기술을 분석하고 이러한 기술 장벽을 넘어 차세대 이더넷 스위치 시장을 선점하기 위한 세계 유력 벤더의 핵심 기술을 소개한다.

본 고는 II 절에서 이더넷 스위치 시장 추세를 분석하고 이를 기반으로 차세대 이더넷 스위치의 방향성을 도출 한 후 III 절에서 이러한 방향성에 요구되는 차세대 이더넷 스위치의 핵심 기술을 논의한다.

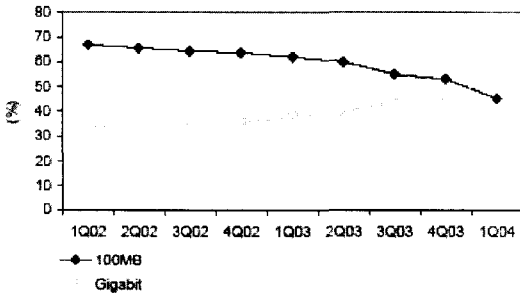
### II. 이더넷 스위치 시장 추세 및 차세대 이더넷 스위치의 방향성

#### 1. 이더넷 스위치 시장 추세

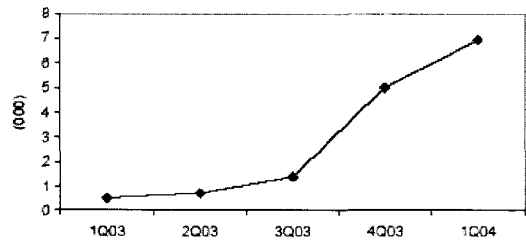
2003 년을 통해 본 이더넷 시장의 주요 흐름 중 하나는 라우터의 쇠퇴와 스위치의 부상이라 할 수 있다. IDC 보고에 의하면 2003 년 상반기 국내 이더넷 장비 시장은 지난해 상반기 대비 0.8 % 성장한 2,964 억원을 기록했고 이 가운데 스위치가 2,004 억원을 기록해 전년 동기 대비 21.9 % 성장한 반면 라우터는 전년 동기 대비 17.3 % 감소해 905 억원 규모를 형성했다. 또한, 라우터가 전체 이더넷 시장에서 차지하는 비율도 35.9 % 에서 30.5 % 로 떨어진 반면 스위치는 67.6 % 로 나타나 전년 동기 59.2 % 보다 큰 폭으로 향상됐다(그림 1)<sup>[1]</sup>.



〈그림 1〉 제품별 이더넷 시장 점유도, 국내시장 (출처 : IDC 2003)



〈그림 2〉 100 MB 과 기가비트의 수익성, 세계시장, 1Q02~1Q04 (출처 : IDC 2003)



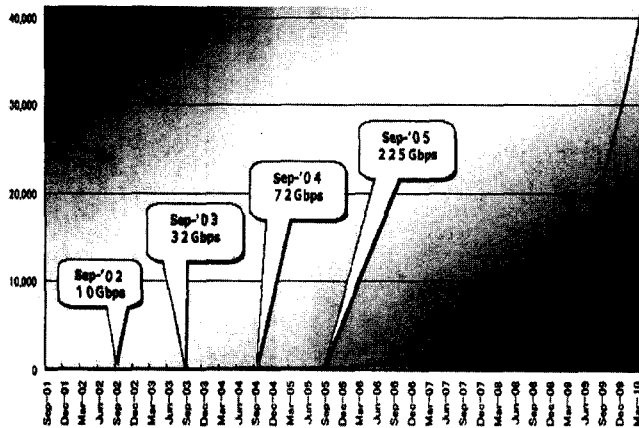
〈그림 3〉 10 기가비트 포트 선적도, 세계시장 (출처 : IDC 2004)

이더넷 스위치의 수요 증가 중 기가비트 이더넷 이상의 수요가 증대되고 있는 점도 주요 추세 중 하나이다. 현재 기가비트의 포트 별 시장 점유는 13%로 1Q03에 비해 두 배가 되었고 수익성 측면에서는 45%의 100 메가비트에 비하여 53%로 증가 되었다(그림 2)<sup>[2]</sup>.

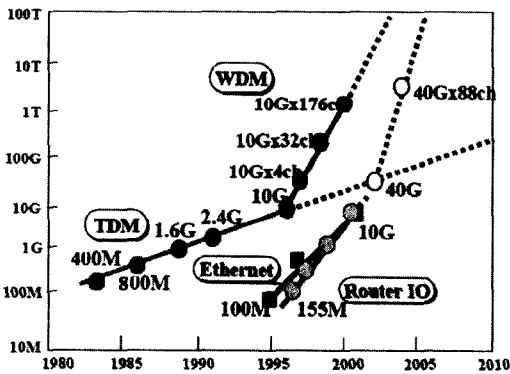
기가비트 이상의 광대역 이더넷 스위치에 대한 세계적 수요 증가 추세는 국내에도 적용되고 있다. 국내의 경우 2003년 상반기 패스트 이더넷 스위치가 1,430 억원을 기록해 전년 동기 대비 18.6%를 성장한 반면에 기가비트 이더넷 이상 스위치는 574 억원으로 45.2% 증가했다. 시

장 적용도에 있어서도 2002년 상반기 73.3%를 차지했던 패스트 이더넷은 2003년 상반기 71.3%로 다소 떨어진 반면에 기가비트 이더넷 이상은 24.0%에서 28.6%로 증가했다.

이더넷 스위치의 광대역화 추세 중 특히 10 기가비트 이더넷에 대한 수요 증가 모멘텀이 주목된다. 세계적으로 1Q03에서 1Q04 기간 동안 포트 선적은 약 7,000 포트이고 수익도 304% 증가하여 \$65 백만불에 달하고 있다(그림 3)<sup>[2]</sup>. 이러한 수요 증가에 따라 현재 10 기가비트 이더넷의 포트 당 가격도 1만 5,000 달러까지 내려간 상황이며 2004년 하반기에는 1만 달러 까지 하



〈그림 4〉 코어 스위치의 트래픽 처리 능력 예측 (출처 : 일본 차세대 IP 인프라 연구회, 2004)



〈그림 5〉 인터페이스 속도 추정 (출처 : 일본 차세대 IP 인프라 연구회, 2004)

락될 것으로 예상된다.

## 2. 차세대 이더넷 스위치의 방향성

이더넷 장치의 시장 추세로부터 도출되는 차세대 이더넷 스위치의 명시적 방향성인 용량의 광대역화 이외에 네트워크 서비스의 고도화 및 바이러스 공격의 치밀화 등 네트워크에 대한 요

구가 정교해짐에 따라 이더넷 스위치는 기능의 지능화가 추구되어야 한다. 따라서 차세대 이더넷 스위치의 방향성은 스위칭 용량의 광대역화, 인터페이스의 고속화, 그리고 기능의 지능화로 특징 지을 수 있다.

### \*스위칭 용량의 광대역화

차세대 이더넷 스위치에 요구되는 스위칭 용량을 가늠하기 위해서는 인터넷 트래픽의 증가 패턴에 대한 분석이 수반되어야 한다. 2004년 NTT사가 차세대 IP 망 워킹그룹 회의에서 발표한 코어 영역에서의 트래픽 스위칭 용량을 보면 2003년 ~ 2010년 까지 년간 3배 정도의 스위칭 용량의 신장이 요구되어 2010년에는 40테라급의 스위칭 능력이 요구될 것으로 추정하고 있다(그림 4)<sup>3)</sup>.

현재 Force10 사나 Extreme 사의 이더넷 스위치 용량은 약 1.8 Tbps 수준으로 이 용량은 전기 스위치의 한계로 인식된다. 40 테라급의 스위칭 기능을 구현하기 위해서는 광 스위치로의 전이가 불가피하다.

### \*인터페이스의 고속화

현재 10 기가비트 이더넷의 후속으로 40 기가비트 이더넷 혹은 100 기가비트 이더넷이 논의되고 있으므로 차세대 이더넷 스위치에 있어서는 40 기가비트 이상의 인터페이스가 탑재될 것이다. 따라서 40 기가비트 이상의 신호에 대한 신호 전송 기술, 패킷 처리 기술, 내부 모듈간 인터페이스 기술이 요구된다(그림 5)<sup>[3]</sup>.

### \*기능의 지능화

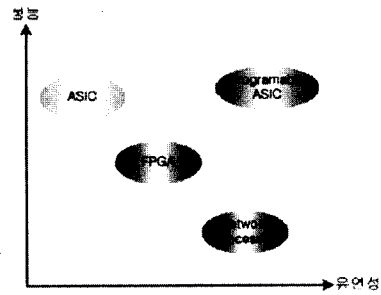
차세대 이더넷 스위치는 기능의 지능화를 통해 돌발적인 트래픽에도 유연하게 대응하는 고감내성, 장치나 회선 장애에도 패킷 손실을 유발하지 않는 고신뢰성, 장애시에도 안정한 품질을 제공하는 고안정성, 지연 등의 부하요인이 극대화되어도 응용 서비스에 영향을 끼치지 않는 고품질성, Worm 이나 Dos 와 같은 바이러스 공격에 유연하게 대응능력을 갖는 고보안성 등을 담보하여야 한다.

## III. 차세대 이더넷 스위치 핵심 기술

차세대 이더넷 스위치에 요구되는 요소 기술을 소자 기술, 스위칭 기술, 패킷 포워딩 기술, 신호 인터페이스 기술, 지능화 기술로 분류하고 각 분야에 있어서 선도 기술을 보유하고 있는 유력 벤더의 핵심 기술을 소개한다.

### 1. 소자 기술

현재까지 이더넷 스위치에 보편적으로 적용된 소자 기술은 ASIC 과 네트워크 프로세서 기술이다. ASIC 은 성능은 우수하지만 유연성이 제한적인 것이 한계점으로 지적된다. 이러한 ASIC

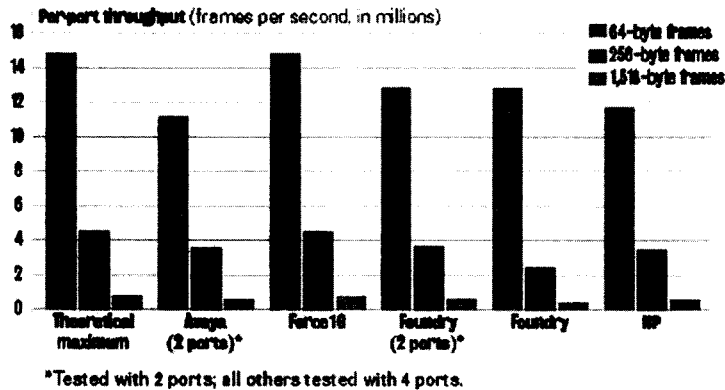


〈그림 6〉 차세대 이더넷 스위치의 소자 기술

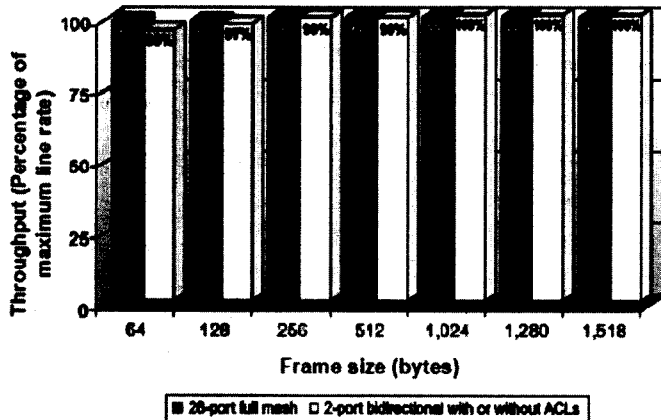
의 유연성을 제고하기 위하여 컨피규러블 ASIC 과 같이 내부 매개변수를 수정하는 수준의 제한된 유연성을 제공하여 트래픽 관리와 같은 가변성이 낮은 응용에 적용하고 있다. 반면에 우수한 유연성을 제공하는 네트워크 프로세서는 현재 단방향 40 기가비트 까지 개발되고 있지만 프로세서 기반의 구조적 한계로 인하여 성능 제고의 잠재력 측면에서는 ASIC 에 비해 열세임에는 틀림없다.

따라서 이더넷 스위치가 추후의 지능화된 코어 네트워크의 핵심 노드로 적용되기 위해서는 네트워크에 요구되는 동적 변화를 유연하게 수용하는 것이 핵심 요소 기술이며 이를 위해서는 ASIC 의 성과와 네트워크 프로세서의 유연성을 동시에 만족시키는 프로그래머블 ASIC 의 적용이 불가피할 것으로 판단된다(그림 6).

이 기술은 내장 메모리 기술의 진보를 통해 칩 사이즈, 속도, 보안성을 개선시킴과 동시에 프로그래머에게는 하이레벨 언어 수준의 높은 추상도를 제공함으로써 개발기간을 단축시켜 빠른 time - to - market 을 달성하여 결과적으로 망사업자에게는 초기 도입 이후에 신규 서비스 제공이나 새로운 프로토콜 수용과 같은 변화를 유연하게 수용함으로써 Capital Expenditure



〈그림 7〉 10 기가비트 이더넷 스위치 스루풋(출처 : Network World Global Test Alliance)



〈그림 8〉 Force10 사의 E1200 스루풋 (출처 : The Tolly Group; July 2002)

(CAPEX) 와 Operating Expenses(OPEX) 를 최소화할 수 있는 장점을 갖는다. 이와 같이 유연성과 성능 지표를 모두 충족시키는 프로그래머블 ASIC 은 Extreme 사의 T - Flex, Alcatel 사의 FPOA, Redback 사의 PPA 라는 이름으로 이미 각사의 주력 이더넷 스위치에 적용되고 있다.

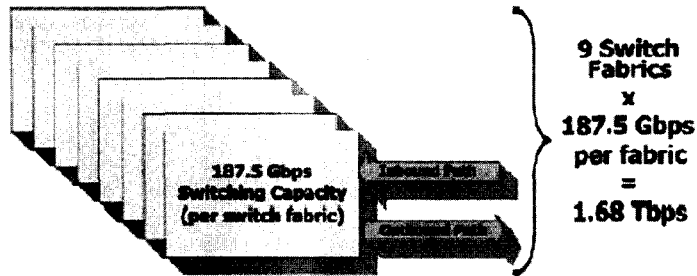
## 2. 패킷 스위칭 기술

2003 년에 Network World Global Test Alliance

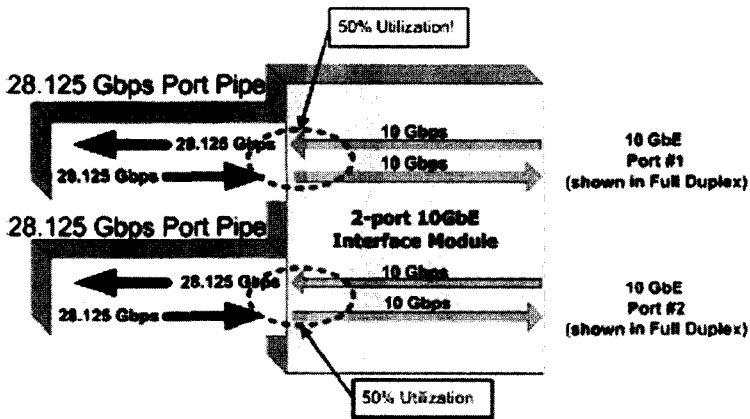
에서 발표한 10 기가비트 이더넷 스위치의 성능 평가 결과를 보면 스루풋 측면에서는 Force10 사의 E1200 만이 유일하게 10 기가비트의 스루풋을 제공함을 알 수 있다(그림 7).

E1200 은 512 바이트 이상의 패킷 사이즈의 경우 ACL 을 활성화 시킨 상태에서 100 % 의 라인 속도 스루풋을 제공하고 64 ~ 256 바이트의 패킷 사이즈의 경우에도 95 ~ 99 % 의 라인 속도 스루풋을 제공한다(그림 8).

E1200 에는 187.5 Gbps 의 스위칭 용량을 갖



〈그림 9〉 E1200 의 스위치 패브릭 용량



〈그림 10〉 E1200 의 Port Pipe

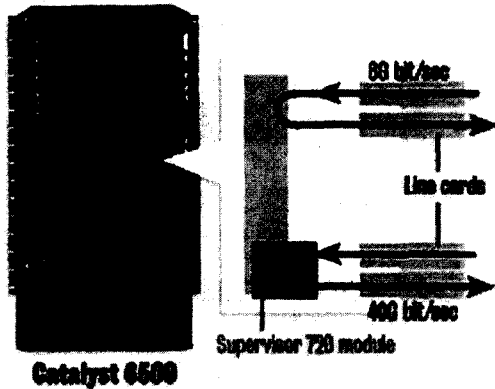
는 스위치 패브릭 9 개가 실장 되어 로드 밸런싱을 통해 1.68 Tbps 급의 스위칭 용량을 제공한다(그림 9)<sup>[4]</sup>.

E1200 에서는 라인 카드 슬롯과 스위칭 슬롯을 백플레인을 통해 연결하는 신호선 그룹을 Port Pipe 라고 하며 Port Pipe 당 28.125 Gbps를 제공한다(그림 10). 각각의 Port Pipe 는 백플레인에서 9 개의 구리 신호선으로 구현되므로 백플레인의 구리 신호선 당 전송속도는  $28.125 \text{ Gbps} / 9 = 3.125 \text{ Gbps}$  가 된다.

E1200 의 스위치 구조는 virtual output

queueing(VoQ) 기반의 크로스바 구조이다. VoQ 방식은 입력 버퍼형 구조의 고질적 문제점인 head - of - line(HOL) 블록킹을 해결하기 위하여 입력포트에서 모든 출력포트에 대한 버퍼를 구성하는 방식으로 입력포트의 동작속도에 비해 스위치 내부의 동작속도 상승이 요구되지 않는 입력버퍼형 스위치 구조와 결합되어 고속화에 경쟁력을 갖는다.

Force10 사의 이더넷 스위치 구조인 EtherScale 에서는 스위칭 성능을 개선하기 위한 전략으로 이더넷 패킷을 셀로 분할하지 않고 하나의 패킷



〈그림 11〉 Catalyst 6500 의 라인카드 수용 능력

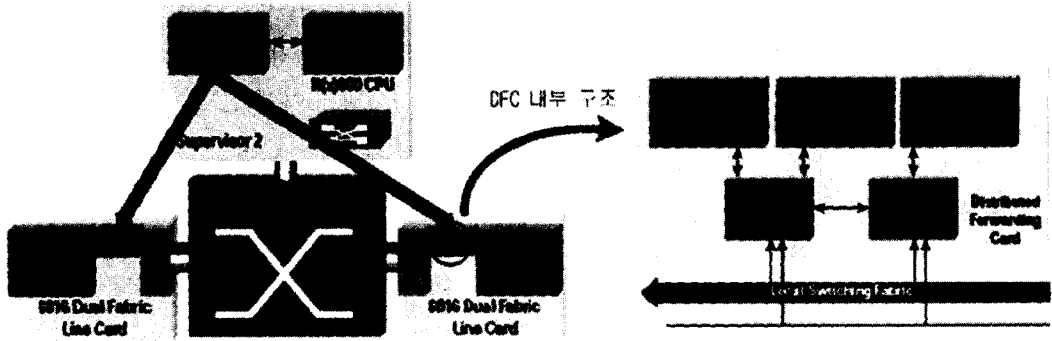
을 그대로 스위칭 하는 풀 패킷 스위칭 방식을 적용한다. 이 방식은 패킷을 다수의 셀로 분할하여 스위칭하는 방식에서 분할된 각 셀이 상이한 경로를 통해 스위칭됨으로서 패킷의 후반부를 구성하는 셀이 전반부를 구성하는 셀 보다 먼저 도착하는 경우 스위치의 출력단에서 재배열을 위한 큐잉이 요구되지 않아 스루풋 향상이 달성된다<sup>4)</sup>.

Cisco 사의 이더넷 스위치인 Catalyst 6500 은 포트 당 8 Gbps 의 클럭킹 속도를 갖는 16 포트 크로스바 구조를 사용하여 256 Gbps 의 스위칭 용량을 제공한다. 이 구조의 특징적 요소로는 스위치에서의 혼잡(congestion)과 HOL 을 방지하기 위하여 오버스피드 개념을 적용한 것이다. 오버스피드 개념은 출력버퍼형 스위치에서 사용되던 기술로 입력포트의 클럭킹 속도보다 스위치 내부의 클럭킹 속도를 배가시켜 스루풋을 강화시키는 개념이다. Catalyst 6500 에서는 3X 오버스피드를 적용하여 8 Gbps 로 클럭킹되는 입력률에 비해 스위치 내부의 동작속도는 24 Gbps 가 된다. 또한, Supervisor 720 모듈을 통해 10 기가비트 이더넷 4 포트 혹은 한 포트의 40 기가비

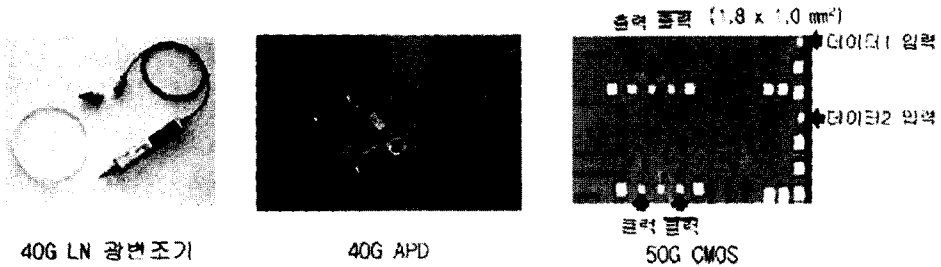
트 라인 카드를 수용함으로써 10 기가비트 이더넷 이후의 차기 40 기가비트 이더넷 혹은 100 기가비트 이더넷 분야에 선도적 연구를 수행하고 있다(그림 11)<sup>5)</sup>.

Cisco 사의 또 다른 이더넷 스위치인 Catalyst 6000 은 버스형 스위칭 구조에 파이프라인(pipeline)과 버스트(burst) 모드 기술을 적용하여 32 Gbps 의 스위칭 용량을 제공한다. 파이프라인 기술은 프레임의 록업이 완료되기 전에 프레임이 스위칭 되면 록업이 완료되기까지는 스위칭 버스가 아이들(idle) 상태가 되므로 이 기간을 이용하여 다수의 프레임을 전송함으로써 버스의 아이들 상태를 최소화하여 스루풋을 향상시키는 개념이다. 또한, 버스트 모드는 임의의 포트가 다수의 프레임을 버스에 송신할 수 있는 개념이다. 포트가 버스 사용권을 부여받은 후 단지 하나의 프레임만 송신한다면 버스가 과부하 상태인 경우에는 버스 대역폭 할당에 불공평화가 초래될 가능성이 존재한다. 즉, 두 포트가 데이터를 송신하고자 하는 경우 한 포트는 100 바이트 프레임을 갖고 있고 다른 포트는 1000 바이트 프레임을 갖고 있는 경우에 버스가 두 포트에 대하여 번갈아 가면서 버스 사용권을 주므로 1000 바이트 프레임을 갖고 있는 포트가 100 바이트 포트에 비해 10 배 많은 대역폭을 사용하게 된다. Catalyst 6000 에서는 이런 문제점을 해결하기 위해 프레임 사이즈에 상관없이 포트별로 대역폭을 균등 배분하여 버스 사용권이 주어진 경우 배분된 대역폭을 소진할 수 있도록 다수의 프레임을 송신하는 버스트 모드 기능을 포트 ASIC 으로 구현하고 있다.

Avaya 사의 P882 이더넷 스위치에서도 Catalyst 6500 의 스위치와 마찬가지로 2X 의 오버스피드 개념을 적용한 입출력 버퍼형 크로스



<그림 12> Catalyst 6500 의 포워딩 구조



<그림 13> 초고속 소자 기술 (출처 : 일본 차세대 IP 인프라 연구회, 2004)

바를 사용한다.

### 3. 패킷 포워딩 기술

Cisco 사의 Catalyst 6500 에서는 패킷 처리 엔진인 Supervisor Engine 2 와 각 라인카드에 탑재된 DFC 카드를 통해 룩업 및 포워딩을 수행하는 분산형 포워딩 방식을 채택하고 있다(그림 12). Supervisor 2 에 탑재된 CPU R7000 에 의해 구성된 FIB 테이블의 내용은 스위치 패브릭 모듈을 통해 각 라인카드의 DFC 내의 CEF 테이블로 다운로드 됨으로서 라인카드는 Supervisor 2 의 개입 없이 룩업 전용 ASIC 인 Layer 3 ASIC 을 통해 CEF 테이블을 참조하여 자체적으로 포

워딩을 수행하여 100 MPPS 이상의 고성능 포워딩 성능을 제공한다.

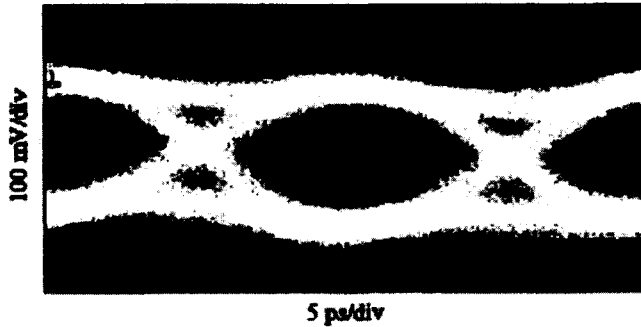
또한, Layer2/4 ASIC 을 통해 Ternary CAM(TCAM) 기반의 QoS ACL 및 security ACL 기능을 전담함으로써 ACL 기능의 활성화시에도 Layer 3 ASIC 과의 독립적인 수행 경로를 통해 포워딩 성능의 저하가 유발되지 않는다.

### 4. 신호 인터페이스 기술

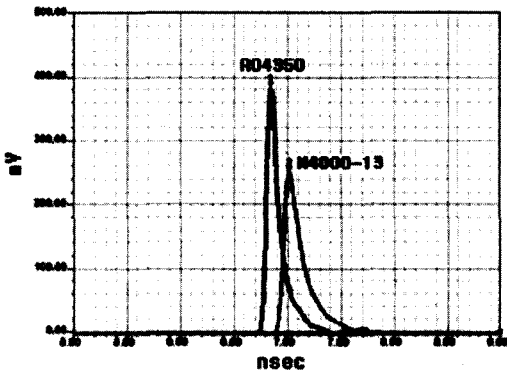
#### \*신호전송

신호 전송 기술에 있어서는 40 기가비트 정도가 전기적 한계점일 것으로 예상되며 이 이상의 속도 처리는 광 다중화 기술의 적용이 불가피 할





〈그림 14〉 40 기가 SerDes 출력 아이 패턴 (출처 : IBM J.RES. & DEV. March/May 2003)



〈그림 15〉 저손실 채널의 펄스 응답

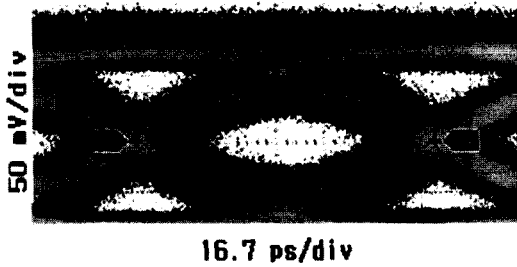
것이다. 신호 전송의 요소기술로는 파장 다중 광화이버 증폭 시스템, 파장분할보상기술(VIPA), 편광모드분산(PMD) 보상 기술과 같은 광 전송 기술과 50 기가 CMOS, 40 기가 APD, 40 기가 LN 광변조기, InP - HEMT IC 기술과 같은 초고속 소자 기술 등이 있다(그림 13)<sup>[6]</sup>.

직렬 신호 전송과 관련된 트랜시버 기술 역시 현재 40 기가급 수준으로 2003 년 IBM 은 SiGe BiCMOS 기술을 적용하여 40 기가급 SerDes 와 증폭기 및 모듈레이터 드라이버로 구성되는 프론트 - 엔드(front - end) 회로를 개발하였다고 발표하고 있다(그림 14)<sup>[6]</sup>.

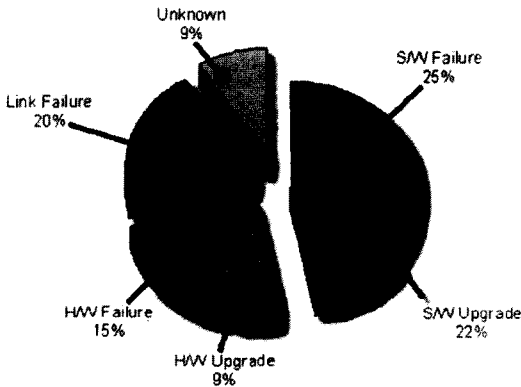
**\*백플레인**

수 백 기가에서 수 테라급 용량의 이더넷 스위치에 적용되는 백플레인 기술로 수동(passive) 구리 백플레인 기술이 적용성을 높여가고 있다. 이 기술은 광 백플레인 이나 능동(active) 구리(copper) 백플레인과 달리 수동 특성으로 인하여 장애 발생 요소가 없고 가격 발생 요인인 전광변환이 요구되지 않아서 고속화를 추구하는 차세대 이더넷 스위치의 백플레인 기술로 적합하다.

2004 년 Winchester Interconnect Technology 사의 발표에 의하면 커넥터 기술, PCB 기술, 그리고 소자 기술을 요소기술로 적용하여 NRZ 시그널링을 통해 20 인치 거리에 대하여 10 - 12 이하의 BER 성능을 갖는 10 기가비트 직렬 전송이 가능한 수동 구리 백플레인의 상용화 기술을 확보하였다고 발표하고 있다. 여기에 적용된 커넥터는 Winchester 사의 SIP1000 으로 손실률이 10 기가에서 - 0.5 dB 이하이고 누화 특성도 35 ps 의 상승시간에 대하여 1 % 이하라고 한다. 또한, 백플레인의 재질로서는 낮은 손실과 최소 손실 분산을 특징으로 하는 Rogers 4350 을 사용한다. Rogers 4350 의 저손실 특성은 Nelco N4000 - 13 과 비교한 1 V 입력 펄스에 대한 채널 펄스 응답의 비교 결과로 확인할 수 있다(그



(그림 16) 10 기가비트 백플레인 채널의 아이 패턴



(그림 17) 네트워크 다운타임의 원인 (출처 :Network Strategy Partners, November 2002)

림 15).

백플레인상의 10 기가비트 신호 전송을 위한 드라이버 모듈로는 백플레인 채널의 로우 패스 필터 특성을 보상하는 프리엠퍼시스 기능이 구현된 Xilinx 사의 RocketIO X 트랜시버를 이용하고 있다. 그림 16 은 20 인치 거리에서 인접한 8 개의 백플레인 신호선상에 NEXT 를 유발시키고 송신의 프리 엠퍼시스 기능만 활성화 시킨 경우의 10 기가비트 신호에 대한 아이패턴이다.

차세대 이더넷 스위치의 백플레인 기술과 관련하여 2004 년 3 월 IEEE 802.3 Backplane Ethernet Study Group 에서는 IEEE 의 10 기가비트 링크의 BER 권고인  $10^{-12}$  는  $10^{-7}$  의 프레임

손실을 초래하므로 BER 성능이  $10^{-15}$  정도로 개선되어야 하며 비트 코딩 방식도 스펙트럴 피킹(peaking) 이 크게 발생하는 64B66B 보다는 스펙트럴의 유사성이 존재하는 8B10B 가 적용되어야 하는 등 백플레인 성능 개선을 위한 주장이 도출되고 있다.

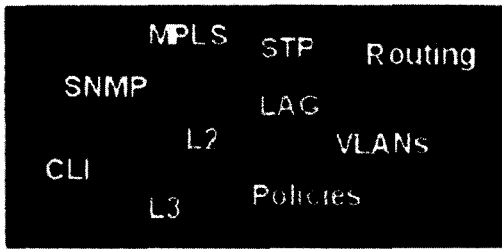
#### \*내부 모듈간 인터페이스

인터페이스를 통해 수신한 고속 신호의 내부 모듈간 전송을 위한 인터페이스 규약도 차세대 이더넷 스위치 기술의 핵심 내용이다. 현재, TDM 분야에서는 Optical Internetworking Forum(OIF) 의 System Packet Interface Level 5(SPI5) 규정을 통해 전송속도가 40 기가비트인 OC768 신호의 모듈간 인터페이스가 완료된 상황이지만 차세대 이더넷 스위치에 있어서는 40 기가비트 이더넷 혹은 100 기가비트 이더넷 신호에 대한 물리계층과 MAC 계층간의 신호 전송 인터페이스가 도출되어야 한다.

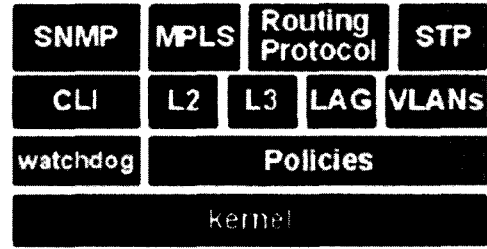
## 5. 지능화 기술

Telechoice 의 발표에 의하면 이더넷 스위치의 선정 기준이 되는 요소로서 신뢰성(100 %), 성능(84 %), 보안성(79 %), 단순성(59 %), 유연성(55 %), 수용성(47 %) 순이라고 한다. 또한, 2002 년 12 월 Network Strategy Partner 에 의해 발표된 자료에 의하면 네트워크 장애의 47 % 가 소프트웨어에 기인한다고 한다(그림 17).

이러한 분석 결과 및 추후 네트워크의 지능화 추세를 고려하면 이더넷 스위치에서 소프트웨어의 의존도가 높아질 것으로 예상되므로 신뢰도 측면에서 소프트웨어의 신뢰도를 강화시키는 방향으로 기술 개발이 집중되어야 한다. 소프



모놀리틱 구조



모듈러 구조

〈그림 18〉 소프트웨어 구조

트웨어의 신뢰도를 제고시키기 위한 방식으로 커널의 경량화, 소프트웨어의 모듈화, 프로세스 관리의 자동화 및 유연화, 보안기능의 고도화 등이 있다.

**\*커널의 경량화**

이더넷 스위치의 오퍼레이팅 시스템은 커널에서 실행되므로 스위치의 전반적인 신뢰성은 커널의 안정성과 직접 연계되기 때문에 커널을 경량화 함으로서 신뢰성을 제고시킬 수 있다. 즉, 커널의 기능을 단지 메모리 할당과 스케줄링으로 한정하고 전통적인 커널 기능인 인터페이스 관리와 임베디드된 IP 프로토콜 스택 등은 포함시키지 않는다. 특히, IP 프로토콜 스택을 내장한 커널의 경우 프로토콜 스택에 변화가 생긴 경우 이를 수용하기 위해서는 스위치의 다운타임이 발생하므로 커널의 기능을 최소화하는 것은 소프트웨어의 신뢰도를 향상시키는 주요 전략이다. 이러한 방식은 Redback 사의 SmartEdge 8000 이나 RiverStone 사의 XGS15008 등에 적용되고 있는 기술이다.

**\*소프트웨어의 모듈화**

기존의 소프트웨어 구조는 소프트웨어 구성 요소 모두가 하나로 뭉쳐진 모놀리틱형 구조로서 프로세스간에 독립성이 유지되지 못하여 메모리 할당과 프로세스 스케줄링에 있어서 매우 비효율적이다. 즉, 새로운 기능을 추가하기 위하여 소프트웨어 코드를 갱신하는 경우 다른 코드 영역에 영향을 줌으로서 빠른 시장 적용성을 확보하지 못한다. 이러한 소프트웨어 구조의 한계를 극복하기 위하여 차세대 이더넷 스위치의 소프트웨어 구조는 모듈화의 방향성을 지속할 것으로 판단된다.

Riverstone 사의 XGS 15008 이나 Extreme 사의 Blackdiamond 10808 등은 모두 Unix 기반의 모듈화된 커널을 사용한다. 이것은 BGP, OSPF 와 같은 각각의 라우팅 프로토콜을 독립적인 프로세스로 운영하고 각 프로세스는 자신의 보호된 메모리 공간에서만 실행되도록 하여 다른 메모리 영역에 기입을 할 수 없도록 하는 분리 개념을 적용함으로써 다른 프로세스에 영향을 주지 않으면서 특정 프로세스를 정지시키거나 재가동시키는 유연성을 제공한다(그림 18).

#### \*프로세스 관리의 자동화 및 유연화

소프트웨어의 모듈화 이외에 각 프로세스를 지속적으로 감시하고 자동으로 방어하는 지능화된 소프트웨어 기능도 차세대 이더넷 스위치에 필수적이다. 모듈과 스레드를 주기적으로 감시하여 응답이 없으면 자동적으로 감지되어 시스템 전체를 재부팅 하지 않고 해당 프로세스만 재가동 시키거나 망 관리자가 각각의 프로세스 상태를 조사하여 이상이 발생되면 다른 프로세스에 영향을 주지 않으면서 해당 프로세스만 재가동시키는 기능이 요구된다. 또한, OSPF 와 같은 특정 모듈이나 관련된 패치를 다른 모듈에 영향을 주지 않고 로딩 시키는 기능 등도 필요하다.

#### \*보안기능의 고도화

현재 이더넷 스위치에 침투하는 바이러스에 대한 주요 방어 기능은 ACL 의 갱신으로 수행되지만 ACL 목록의 삭제 후에 수정된 ACL 의 재적용으로 구성되는 2 단계 ACL 갱신 절차에서 삭제 후부터 재적용 까지의 기간동안 ACL 부재로 인하여 보안의 공백이 발생된다. 이러한 보안의 공백현상은 라인카드의 속도가 상승할 수록 심화된다. 즉, 10 기가비트 속도에서 수 초의 갱신시간이 발생하는 경우 체크되지 않은 수 백만의 패킷이 그대로 수용되는 결과를 갖는다. 또한, 소프트웨어 기반의 ACL 처리로 인하여 ACL 활성화시 시스템의 성능저하도 문제점으로 지적된다.

따라서 차세대 이더넷 스위치에서는 일시적인 보안의 공백 없이 수 밀리 초 이내에 ACL 목록의 갱신이 완료되어야 하고 ACL 활성화시 시스템의 성능저하가 유발되지 않아야 한다. 또한, 복잡도가 높은 ACL 규칙을 용이하게 적용시킬 수 있는 ACL 언어의 고도화도 추구되어야 한다.

## IV. 결론

본 고에서는 차세대 이더넷 스위치의 방향성을 도출하고 이를 기반으로 차세대 이더넷 스위치에 요구되는 요소 기술 및 관련 기술의 극복을 위한 세계 유력 벤더의 기술을 소개하였다.

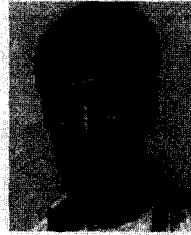
차세대 이더넷 스위치 시장의 선점을 위한 경쟁이 가속화되고 있는 상황에서 국내적으로도 차세대 이더넷 스위치의 요소 기술 중 국내 기술 환경을 고려하여 경쟁력 있는 분야를 선택하고 집중할 필요가 있다. 사견이지만 시스템 성능의 상당 부분은 적용된 칩 기술에 좌우되므로 국내에서도 차세대 이더넷 스위치에 적용되는 핵심 칩 개발에 주력하여야 한다고 사료된다. 칩 중에서도 네트워크 프로세서와 같은 고도의 지능이 요구되는 것은 지양하고 물리계층 칩이나 SerDes 와 같이 비교적 기능의 단순성을 갖고 있으면서 적용성이 우수한 칩이 적합하다고 판단된다. 또한, 시스템 기술에 있어서는 신뢰성 측면이 외산 장비와의 경쟁력에 있어서 가장 취약하므로 이를 극복하기 위해서는 소프트웨어 기술 강화에 주력하여야 한다고 사료된다.

궁극적으로 국내 기술로 설계된 차세대 이더넷 스위치가 해외국의 유력 스위치 벤더 제품을 따돌리고 국내 네트워크의 코어 영역에 적용되어 빛을 발휘할 날을 간절히 기대한다.

## 참고문헌

- [1] River Jung, "Korea LAN Equipment Market Analysis and Forecast, 2002~2007", IDC, Nov. 2003
- [2] Maximilian A. Flisi, "Worldwide LAN Switch 1Q04 Market Share Update", IDC, June 2004
- [3] 일본 차세대 IP 인프라 연구회 보고서, 2004
- [4] www.force10networks.com
- [5] www.cisco.com
- [6] D.J.Friedman, "SiGe BiCMOS integrated circuit for high - speed serial communication Links", IBM J.RES. & DEV. VOL.47 NO. 2/3, March/May 2003

## 저자소개



백정훈

1986년 한양대학교 전자공학과 학사  
 1988년 한양대학교 전자공학과 석사  
 1999년 한양대학교 전자공학과 박사  
 1988년~1996년 한국전자통신연구원 선임연구원  
 2002년~현재 동아방송대학 정보통신계열 교수  
 주관심분야 스위칭 및 전송 기술



주범순

1983년 서울대학교 전자공학과 학사  
 1999년 한국과학기술원 전기및 전자공학과 석사  
 1983년~현재 한국전자통신연구원 라우터연구그룹 10GE팀장  
 주관심분야 Network Synchronization, High Speed Interconnection, PLL, CDR, Ethernet Switch System, ATM Switch System