

# 움직임 추정을 위한 저전력 VLSI 구조

## (A low-power motion-estimation VLSI architecture)

김현호(Hyun Ho Kim)<sup>1)</sup> 김영로(Young-Ro Kim)<sup>2)</sup>

### 요약

본 논문에서는 움직임 추정을 위한 저전력 VLSI 구조를 제안한다. 제안하는 방법은 systolic 구조에서 전처리 연산을 하여 불필요한 블록 정합 위치를 예측한다. 따라서 그 위치의 블록 정합을 하지 않음으로써 연산량을 줄이는 효과가 있다

### ABSTRACT

In this paper, we propose a low-power motion-estimation VLSI architecture based on systolic array using partial norms and spatial correlation. Our approach reduces computational load based on eliminating invalid block-matching points.

**Key Words** : VLSI, motion-estimation, low-power.

논문접수 : 2004. 4. 8.

심사완료 : 2004. 4. 22.

---

1) 정회원 : 명지전문대학 컴퓨터정보과 전임강사

2) 정회원 : 명지전문대학 컴퓨터정보과 조교수

### 1. 서론

움직임 추정은 비디오 압축에서 연산량이 많은 중요한 부분이다. FSBM(full-search block-matching) 알고리즘은 움직임 추정 방법에서 가장 정합 에러를 적게 하는 일반적인 방법이다. 하지만 이 알고리즘의 기존 구현 방법들은 많은 연산량을 요구하는 단점이 있다. 이러한 문제점들을 해결하기 위하여 많은 알고리즘들이 개발되었다 [1]. 그러나, 이러한 방법들은 FSBM 알고리즘에 비하여 높은 블락 정합 에러를 가져오는 단점을 가진다. 최근, 연산량을 줄이면서 블락 정합 에러를 FSBM 과 같게 하는 SE(successive elimination) 알고리즘 [2],[3],[4] 저전력 구조 [5], 그리고 PPNM(progressive partial norm matching) 알고리즘 [6]이 제안되었다.

본 논문에서는 효과적인 움직임 추정 저전력 VLSI 구조를 제안한다. 제안하는 방법은 systolic 배열과 부분적 norm을 이용하여 불필요한 블락 정합 위치를 예측하여 연산량을 줄인다.

### 2. 기존 저전력 알고리즘

FSBM 알고리즘은 검색 영역에서 가장 적은 에러를 가지는 블락을 찾은 다음, 그 위치를 움직임 위치로 추정한다. 후보 블락의 위치  $(u, v)$ 에서의 SAD(sum absolute difference)는 다음과 같이 정의된다.

$$D_{\min}(u, v) = \arg_{u, v} \sum_{i=1}^N \sum_{j=1}^N |s(i+u, j+v) - r(i, j)| \quad (1)$$

여기서  $r(i, j)$ 는 현재 프레임의 위치  $(i, j)$ 에서의 화소값을 나타내며  $s(i+u, j+v)$ 는 이전 프레임의 위치  $(i+u, j+v)$ 에서의 화소값을 나타낸다.

SE 알고리즘 [2],[3],[4]는 불필요한 후보 벡터를 제거한다. 따라서 블락에 있는 모든 화소들의 SAD를 하지 않음으로써 연산량을 줄인다. 만약 현재 움직임 추정하여 찾은 가장 작은 SAD  $D'_{\min}(u, v)$  보다  $D(u, v)$ 이 크다면 에러 norm 는 연산을 할 필요가 없다. 위치  $(u, v)$ 는 가장 에러가 작은 위치가 될 수가 없기 때문이다. 여기서  $D(u, v)$ 는 다음과 같다.

$$|\sum_{i=1}^N \sum_{j=1}^N s(i+u, j+v) - \sum_{i=1}^N \sum_{j=1}^N r(i, j)|$$

현재 제안된 LPA(low power architecture) [5]는 다음과 같다.

$$D(u, v) = \sum_{i=1}^{N-1} |\sum_{j=1}^N s(i+u, j+v) - \sum_{j=1}^N r(i, j)| \quad (2)$$

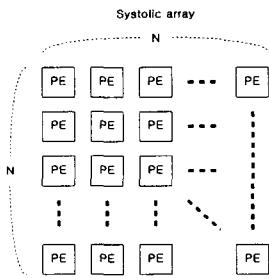
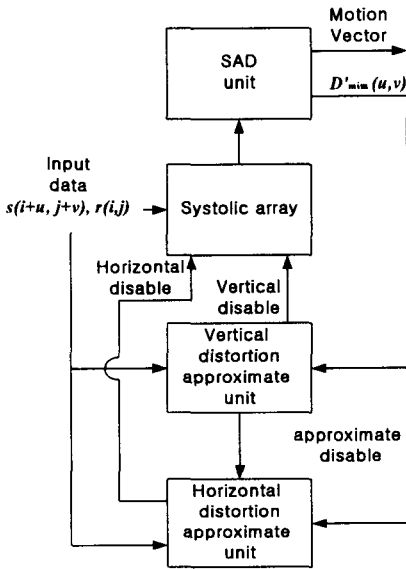
만약  $D'_{\min}(u, v)$  보다  $\hat{D}(u, v)$ 이 크면, 블락에 있는 모든 화소들의 차이를 구하는  $D(u, v)$ 를 구하기 위한 연산을 하지 않는다. PPNM 알고리즘 [6]은 부등식  $|A_1 + A_2| \leq |A_1| + |A_2|$ 는 원리를 이용하여 점진적으로 부분 norm을 사용한다. 따라서 SE 방법보다도 많은 연산량을 줄일 수 있다. 이 방법은 부분블락(subblock)이 세로로 더욱 나누어질 때 추가적인 연산이 발생한다. 부분블락 크기는 각 단계에 따라  $16 \times 16$ ,  $16 \times 1$ , 그리고  $4 \times 1$  크기로 나누어진다. 만약 부등식이 각 단계에서 만족하지 못하면 최종적으로 SAD  $D(u, v)$ 를 연산하여 구한다.

### 3. 제안하는 저전력 움직임 추정 구조

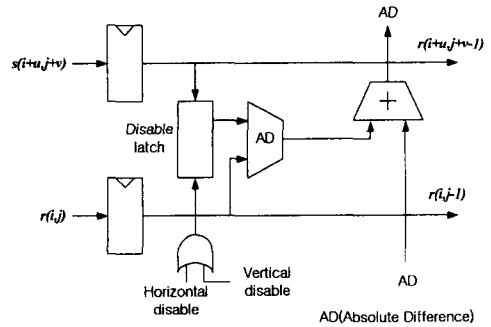
본 논문에서는 systolic 배열 구조 [7]-[10]를 기본으로 하여 방향적 부분 norm을 사용하고 공간적 상관성을 이용한 저전력 움직임 추정 구조를 제안한다. 제안된 방법은 기존 저전력

알고리즘과 구조에 비교하여 향상된 연산량 감소를 가진다.

그림 1은 제안한 저전력 구조와 프로세싱 요소(processing element)를 보인다. 그림 1(a)는 수직, 수평으로 불필요한 움직임 추정 위치를 예측부를 보인다.



(a)



(b)

그림 1. (a) 저전력 움직임 추정 구조, (b) 프로세싱 요소

Fig. 1. (a) Low-power motion-estimation architecture and (b) processing element (PE).

그림 1(b)에서 보이는 바와 같이 연산량이 많은 블록 정합에서 불필요한 위치에서의 연산을 하지 않기 위하여, 제안한 구조에서 수직, 수평 래치를 각 프로세싱 요소에 포함시킨다. 수직 억제 신호(disable signal)은  $1 \times N$  크기의 부분 블록에서의  $N-1$  개 부분 norm의 합이 현재 최소 SAD를 초과할 때 발생한다. 이때 발생하지 않으면 다음 단계에서  $N/4 \times 1$  크기의 부분 블록에서의  $(N-1) \times N/4$  개 부분 norm의 합이 현재 최소 SAD를 초과할 때 신호를 발생시킨다. 이와 같은 단계로 발생하는 억제 신호에 따라 블록 정합에 필요한 여러 norm 연산을 하지 않는다.

영상에 따라 같은 물리적인 객체에서는 같은 움직임 형태를 가진다. 따라서, 공간적 상관성을 이용하여 제안하는 구조에서는 전 블록의 움직임 벡터에서 구한 최소 SAD를 초기 최소 SAD  $D_{min}(u, v)$ 로 구하고, 이 값을 움직임이 없는 위치에서의 SAD와 비교하여 작은 SAD 값을 지니는 위치의 SAD를 최소 SAD  $D_{min}(u, v)$ 로 정한다.

### 4. 실험 결과

제안한 구조를 실험하기 위하여 각각 50 프레임 을 가지는 동영상 Football, Salesman을 사용하였다. 움직임 벡터를 구하는 블록 크기는  $16 \times 16$ 로 정하고, 탐색 영역은 수직, 수평으로  $\pm 7$  화소 크기로 정하였다.

제안한 방법에서, 부분블록 크기는 부분적 norm 방향에 따라 단계적으로 작게 만든다. 부분블록의 초기 단계에서의 크기는  $1 \times 16$ , 다음 단계에서는  $4 \times 1$ 로 변한다. 부등식이 각 단계에서 모두 만족하지 않을 경우, 가장 많은 연산량을 차지하는 SAD  $D(u, v)$ 를 구한다.

표 1과 2에서 제안된 구조에서의 실험 결과를 보인다. 비교한 결과, 기존 FSBM, SE, LPA, 그리고 PPNM 알고리즘 보다도 향상된 연산량 감소를 보인다. 기존 알고리즘에서 systolic 배열구조를 사용하면 블록크기가  $N = 16$ 이고  $w = 7$ 라고 할 때, 각 블록에  $(N + 2w - 1)(N - 1) + N + N \times N - 1$  클락이 사용된다. 표 1과 2에서 50 프레임에서의  $D(u, v)$  연산 평균 억제 비율과 각 블록에 소요되는 연산 횟수 즉, 덧셈, 뺄셈, 그리고 절대값을 구하는 연산 횟수를 보인다. 실험 결과 제안한 구조가 기존 FSBM 알고리즘의 연산량에 비하여 빠른 움직임의 동영상 Football, 느린 움직임을 가지는 동영상 Salesman에서 각각 18%와 16%만의 연산을 하고 똑같은 움직임 추정 결과를 얻음을 알 수 있다. 또한 제안한 방법은 기존의 SE, LPA, 그리고 PPNM 알고리즘 보다도 향상된 결과를 얻음을 알 수 있다.

	% 평균 억제 신호 비율	연산 횟수	% 전력 소비
FSBM	0	172735	100
SE	40.47	110383	64
LPA	80.73	48117	28
PPNM	94.28	40007	23
Proposed	96.08	30304	18

표 1. Football 동영상에서의 각 블록에 소요

되는 평균 연산 횟수

Table 1. Comparison of average operations per block for Football

	% 평균 억제 신호 비율	연산 횟수	% 전력 소비
FSBM	0	172735	100
SE	58.64	79026	46
LPA	89.53	31792	18
PPNM	95.33	29610	17
Proposed	95.95	27393	16

표 2. Salesman 동영상에서의 각 블록에 소요되는 평균 연산 횟수

Table 2. Comparison of average operations per block for Salesman

### 5. 결론

본 논문에서 동영상 압축에서 움직임 추정을 위한 저전력 구조를 제안하였다. 제안한 방법에서는 방향성에 따른 부분적 norm을 이용하여 불필요한 블록 정합 위치를 예측하고 공간적 상관성을 이용함으로써 연산량을 감소시킨다. 기존 FSBM 알고리즘과 같은 움직임 위치 추정 결과를 얻으면서 SE, LPA, PPNM 알고리즘보다도 향상된 연산량 감소를 보인다.

### 참고문헌

[1] J. R. Jain and A. K. Jain, "Displacement measurement and its application in interframe image coding," IEEE Trans. Commun., vol. 29, pp. 1799-1808, Dec. 1981.  
 [2] W. Li and E. Salari, "Successive elimination algorithm for motion estimation," IEEE Trans. Image Processing, vol. 4, pp. 105-107, Jan. 1995.  
 [3] H. S. Wang and R. M. Mersereau, "Fast algorithm for the estimation of motion vectors," IEEE Trans. Image Proc., vol. 8, no.

- 8, pp. 435-438, Mar. 1999.
- [4] H. -S. Wang and R. M. Mersereau, "Fast algorithms for the estimation of motion vectors," *IEEE Trans. Image Processing*, vol. 8, no. 3, pp.435-438, Mar. 1999.
- [5] V. L. Do and K. Y. Yun, "A low-power VLSI architecture for full-search block-matching motion estimation," *IEEE Trans. Video Technol.*, vol. 8, no. 4, pp.393-398, Aug. 1998.
- [6] W. -G. Hong, T. -M. Oh, and S. -J. Ko, "Fast motion estimation algorithm based on progressive partial norm matching," *Electronics Letters*, vol. 37, no. 14, pp. 890-892, Jul. 2001.
- [7] C. -H. Hsieh and T. -P. Lin, "VLSI architecture for block-matching motion estimation algorithm," *IEEE Trans. Video Technol.*, vol. 2, no. 2, pp.169-175, Jun. 1992.
- [8] S. -C. Cheng and H. -M. Hang, "A comparison of block-matching algorithms mapped to systolic-array implementation," *IEEE Trans. Video Technol.*, vol. 7, no. 5, pp.741-757, Oct. 1997.
- [9] S. -B. Pan, S. -S. Chae, and R. -H. Park, "VLSI architectures for block matching algorithms using systolic arrays," *IEEE Trans. Video Technol.*, vol. 6, no. 1, pp.67-73, Feb. 1996.
- [10] S. Kittitornkun and Y. -H. Hu, "Frame-level pipelined motion estimation array processor," *IEEE Trans. Image Processing*, vol. 11, no. 2, pp.248-251, Feb. 2001.

김현호



1987. 2 성균관대학교 전자공학과 졸업(학사)

1997. 2 연세대학교 대학원 전자계산 전공 졸업(석사)

2002. 2 성균관대학교 대학원 컴퓨터공학 박사과정 수료

1988. 11 ~ 2000. 3 LG전자 Digital Systems & Solution 사업부 과장

2003. 3. ~ 현재 명지전문대학 컴퓨터정보과 전임강사

김영로



1993. 2. 고려대학교 전자공학과 졸업(학사)

1996. 2. 고려대학교 대학원 전자공학과 졸업(공학 석사)

2001. 8. 고려대학교 대학원 전자공학과 졸업(공학 박사)

2003. 3. ~ 현재 명지전문대학 컴퓨터정보과 조교수