

## SiH<sub>2</sub>Cl<sub>2</sub>와 NH<sub>3</sub>를 이용하여 원자층 증착법으로 형성된 실리콘 질화막의 특성

김윤중 · 한창희\* · 나사균\* · 이연승\*\* · 이원준†

세종대학교 신소재공학과, \*한밭대학교 재료공학과, \*\*한밭대학교 정보통신컴퓨터공학부  
(2004년 7월 14일 접수)

### The Characteristics of silicon nitride thin films prepared by atomic layer deposition method using SiH<sub>2</sub>Cl<sub>2</sub> and NH<sub>3</sub>

Un-Jung Kim, Chang-Hee Han\*, Sa-Kyun Rha\*, Youn-Seoung Lee\*\*, and Won-Jun Lee†

*Department of Advanced Materials Engineering, Sejong University, Seoul, 143-747*

*\*Department of Materials Engineering, Hanbat National University, Daejeon, 305-719*

*\*\*Division of Information Communication and Computer Engineering, Hanbat National University, Daejeon, 305-719*

(Received July 14, 2004)

#### 요 약

Si 원료물질로 SiH<sub>2</sub>Cl<sub>2</sub>, N 원료물질로 NH<sub>3</sub>를 사용하여 증착온도 550 °C에서 p-type Si (100) 기판위에 실리콘 질화막을 원자층 증착 방법으로 형성하고 물리적, 전기적 특성을 평가하였다. 증착된 박막의 두께는 증착 주기의 횟수에 대해 선형적으로 증가하였고, Si와 N 원료물질의 공급량이 3.0×10<sup>9</sup> L 일 때 0.13 nm/cycle의 박막 성장속도를 얻을 수 있었다. 원자층 증착된 박막의 물리적 특성을 기존의 저압화학증착 방법에 의해 증착된 박막과 비교한 결과, 원자층 증착 방법을 사용함으로써 기존의 방법보다 증착온도를 200 °C이상 낮추면서도 굴절률 및 습식에칭 속도 측면에서 유사한 물성을 가진 실리콘 질화막을 형성할 수 있었다. 특히, 원자층 증착된 박막의 누설 전류밀도는 3 MV/cm의 전기장에서 0.79 nA/cm<sup>2</sup>로서 저압화학증착 방법에 의해 증착된 질화막의 6.95 nA/cm<sup>2</sup>보다 우수하였다.

주제어 : 원자층 증착, 실리콘 질화막, 누설전류, SiH<sub>2</sub>Cl<sub>2</sub>, NH<sub>3</sub>

#### Abstract

Silicon Nitride thin films were deposited on p-type Si (100) substrates by atomic layer deposition (ALD) method at 550 °C using alternating exposures of SiH<sub>2</sub>Cl<sub>2</sub> and NH<sub>3</sub>, and the physical and electrical properties of the deposited films were characterized. The thickness of the films was linearly increased with the number of deposition cycles, and the growth rate of the films was 0.13 nm/cycle with the reactant exposures of 3.0×10<sup>9</sup> L. The silicon nitride thin films deposited by ALD exhibited similar physical properties with the silicon nitride thin films deposited by low-pressure chemical vapor deposition (LPCVD) method in terms of refractive index and wet etch rate, lowering deposition temperature by more than 200 °C. The ALD films showed the leakage current density of 0.79 nA/cm<sup>2</sup> at 3 MV/cm, which is lower than 6.95 nA/cm<sup>2</sup> of the LPCVD films under the same condition.

**Key Words** : atomic layer deposition, silicon nitride, leakage current, SiH<sub>2</sub>Cl<sub>2</sub>, NH<sub>3</sub>

## 1. 서 론

반도체 소자의 초고집적화를 위한 제조공정은 초미세 패턴의 형성 기술과 함께 나노 (10<sup>-9</sup>m) 수준의 두께에서 균일하고 우수한 특성을 갖는 새로운 나노박막 증착 기술이 절실히 요구되고 있다. 원자층 증착 (ALD, atomic layer deposition) 방법 [1]은 화학증착 (CVD, chemical vapor deposition) 방법과는 달리 반응기체들을 개별적으로 분리하여 펄스 형태로 반응관에 공급하여 기판표면에서 표면포화반응을 통해 박막을 형성하기 때문에 두께 및 조성을 정확히 제어할 수 있으며 복잡한 형상의 기판에서도 100%에 가까운 step coverage를 얻을 수 있는 장점을 가지고 있다. 이와 같은 장점으로 인해 원자층 증착 방법은 1990년대 후반부터 TaN [2], TiSiN [3] 등의 금속 확산방지막이나, 고유전율 물질인 Al<sub>2</sub>O<sub>3</sub> [4], HfO<sub>2</sub> [5] 등의 여러 가지 반도체 제조용 박막들에 대해 폭 넓은 연구개발이 진행되고 있다. 실리콘 질화물 (SiN<sub>x</sub>) 박막은 실리콘 산화물 (SiO<sub>2</sub>) 박막과 더불어 반도체 소자 내에서 유전물질로 가장 널리 사용되어 온 재료로서, 주로 750 °C 이상의 온도에서 저압화학기상 증착 (LPCVD, low-pressure chemical vapor deposition) 방법으로 증착되고 있고 저온공정이 요구되는 배선공정의 경우에는 주로 플라즈마를 이용한 화학증착 (PECVD, plasma enhanced chemical vapor deposition) 방법에 의해 제조되고 있으나 두 방법 모두 공정온도 및 step coverage 등의 측면에서 초고집적 소자에 적용하는데 어려움이 있다. 따라서 SiN<sub>x</sub> 박막의 증착에 원자층 증착 방법을 적용함으로써 박막의 두께 균일도 및 물성을 향상시키고 동시에 thermal budget을 감소시켜 반도체 소자의 특성을 향상시킬 수 있으며, gate spacer [6], W bit-line의 spacer, Cu 배선공정 등에서 절연박막으로의 적용이 기대된다.

Goto 등 [7]은 SiH<sub>2</sub>Cl<sub>2</sub> 기체와 NH<sub>3</sub>의 remote plasma를 이용하여 375 °C에서 0.091 nm/cycle의 성장속도를 갖는 비화학양론적인 SiN<sub>x</sub> 박막을 얻었고, remote plasma CVD 방법으로 증착된 박막과 비교했을 때 조성은 유사하지만 형성된 박막의 두께와 굴절률의 균일도가 향상되었음을 보고하였다. 같은 연구 그룹의 Yokoyama 등 [8]은 원자층 증착 방법에 의해 실리콘 질화막을 증착하면서 in-situ로 FTIR-RAS (Fourier-

transform infrared reflection absorption spectroscopy) 분석을 통해 hydrogen-terminated Si 표면에서 NH<sub>3</sub> 플라즈마에 의해 질화 (nitridation)가 일어난 다음 purge 후 N-terminated 표면과 주입된 SiH<sub>2</sub>Cl<sub>2</sub>와의 표면반응이 반복적으로 일어나 실리콘 질화막이 형성되는 것으로 설명하였다. Morishita 등 [9]은 Si<sub>2</sub>Cl<sub>6</sub>와 N<sub>2</sub>H<sub>4</sub>를 원료물질로 이용하여 600 °C에서 0.23 nm/cycle의 성장속도를 나타내는 화학양론적인 Si<sub>3</sub>N<sub>4</sub> 박막을 형성하였고, 23 nm의 두께로 증착된 박막의 누설전류밀도는 1×10<sup>-6</sup> A/cm<sup>2</sup>를 나타냈다. 최근에 Iyer 등 [10]은 Si의 할로겐 화합물과 NH<sub>3</sub>를 사용하여 400 °C에서 650 °C의 온도 범위에서 실리콘 질화막을 원자층 증착하여 0.11 - 0.33 nm/cycle의 성장속도, 1.98 - 2.02의 굴절률, 그리고 100%에 가까운 step coverage를 얻었음을 보고하였다. 그러나 이러한 연구들은 플라즈마를 사용함으로써 반도체소자에 손상을 줄 염려가 있거나, 취급이 용이하지 않은 원료물질을 사용한다는 문제점을 갖고 있다.

본 연구에서는 실리콘 산화물과 더불어 반도체 소자 내에서 유전 박막으로 널리 사용되고 있는 실리콘 질화막을 기존의 저압화학증착 공정에서 사용되고 있는 원료기체들을 이용하여 원자층 증착 방법으로 형성한 후 특성을 살펴보았다. Si 원료기체로는 SiH<sub>2</sub>Cl<sub>2</sub>를 사용하였고, N 원료기체로는 NH<sub>3</sub>를 사용하여 원자층 증착 방법의 주요 공정변수인 원료물질의 공급량, 증착 주기의 횟수를 변화시키면서 박막을 증착하고, 기존의 저압화학증착 방법에 의해 형성된 실리콘 질화막과 물리적, 전기적 특성을 비교함으로써 실제 반도체 제조 공정에의 적용 가능성을 평가해 보았다.

## 2. 실험방법

실리콘 질화막의 원자층 증착을 위한 Si 원료물질로는 SiH<sub>2</sub>Cl<sub>2</sub> (99.9%)를 사용하였고, N 원료물질로는 NH<sub>3</sub> (99.9995%)를 사용하였다. 증착을 위한 기판으로는 p-type Si (100)을 Baker 사의 6 : 1 BOE (Buffered Oxide Etch)를 사용하여 기판 표면에 형성된 자연 산화막을 제거한 뒤 반응관 내에 장입하였다. 증착 공정 중 기판표면에 흡착하지 않은 기체들을 효과적으로 제거함으로써 Si와 N 원료기체의 혼합을 엄격히 제한하기 위하여 각 원료기체들의 펄스 주입 후 pumping과 N<sub>2</sub>

(99.999%) purge를 2회씩 실시한 다음 후속의 원료기체 펄스를 주입하였다.

증착된 박막의 두께 및 굴절률을 측정하기 위해 ellipsometer (Sentech 사, 모델 SE400)를 사용하였는데, 사용된 laser의 파장은 632.8 nm 이었으며, laser의 입사각은 70°로 고정하였다. 박막의 표면 형상을 조사하기 위하여 scanning probe microscope (SPM, Park Scientific Instrument사)를 사용하여 contact mode로 박막 표면을 관찰하였으며, 표면 거칠기의 정도를 root mean square (RMS) 값으로 정량화하였다. 또한, 박막의 치밀성 및 균질성을 상대적으로 평가하기 위해서 100:1로 희석된 HF 용액을 사용하여 습식에칭 속도를 측정하였다. 전기적 특성 평가를 위해 Al (99.99%)을 thermal evaporation법으로 실리콘 질화막 위에 증착하여 metal-insulator-semiconductor (MIS) 구조를 형성하였다. 실리콘 질화막 내부전하 및 실리콘 기판과의 계면전하밀도를 최소화하기 위해 H<sub>2</sub>(3%)/Ar 혼합가스 내에서 열처리 [11]한 후 HP4155B semiconductor parameter analyzer를 이용하여 누설전류밀도를 측정하였다. 원자층 증착 방법으로 형성된 박막과 기존 증착 공정으로 증착된 박막의 비교평가를 위하여 NH<sub>3</sub>와 SiH<sub>2</sub>Cl<sub>2</sub>를 원료물질로 사용하여 750 °C에서 저압화학 증착법으로 실리콘 질화막을 증착하여 원자층 증착된 박막과의 비교분석에 사용하였다.

### 3. 결과 및 고찰

반응관의 온도 및 원료물질의 분압에 따라 박막의 성장속도가 변하는 화학기상 증착 기구와는 달리 흡착을 통한 표면 포화반응에 의해 박막이 성장하는 원자층 증착 방법은 기판에 흡착되는 원료물질의 양에 따라 증착속도가 증가하다가 원료물질의 공급량이 임계값 이상이 되면 증착속도가 포화되므로 증착된 박막의 두께는 기판에 흡착되는 원료기체의 양과 증착 주기의 횟수에 의해 결정된다.

먼저 증착온도를 변화시키면서 예비 증착실험을 수행한 결과 반응관 온도가 약 600 °C 이상으로 가열되면 Si 원료물질인 SiH<sub>2</sub>Cl<sub>2</sub>가 열분해 되어 반응관 내부에 붉은색의 실리콘 박막이 성장함을 관찰하였다. 따라서 SiH<sub>2</sub>Cl<sub>2</sub>의 열분해가 일어나지 않는 온도인 550 °C에서 SiH<sub>2</sub>Cl<sub>2</sub>와 NH<sub>3</sub>의 공급량을 동시에 증가시키면서 실

리콘 질화막의 성장속도를 조사하였는데, 그 결과를 그림 1에 나타내었다. 증착속도는 증착된 박막의 두께를 증착 주기의 횟수로 나누어 계산되었으며, 박막의 특성과 밀접한 관계가 있는 굴절률도 함께 나타내었다. 두 원료물질의 공급량이 증가함에 따라 박막의 성장속도는 증가하여 원료물질 공급량이 3.0×10<sup>9</sup> L [1 L (Langmuir) = 10<sup>6</sup> torr · sec]일 때 약 0.13 nm/cycle의 성장속도를 얻을 수 있었다. 그러나 공급량을 이 이상으로 증가시켜 4.5×10<sup>9</sup> L로 하였을 때에도 성장속도의 변화는 매우 적었다. 증착된 박막의 굴절률은 저압화학증착법에 의한 비정질 실리콘 질화막과 비슷한 약 2.0을 나타내었다. 또한 원료물질 공급량이 증가함에 따라 굴절률의 편차가 줄어드는 것을 관찰할 수 있어서 공급량이 늘어날수록 균질한 실리콘 질화막이 형성되고 있는 것으로 판단된다.

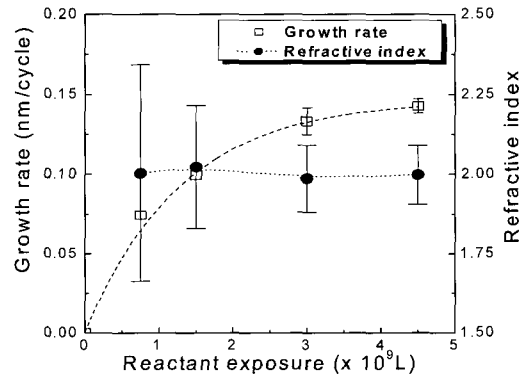


그림 1. SiH<sub>2</sub>Cl<sub>2</sub>와 NH<sub>3</sub>의 공급량을 동시에 변화시켰을 때 박막의 성장속도 및 굴절률 변화.

다음으로는 SiH<sub>2</sub>Cl<sub>2</sub> 공급량과 NH<sub>3</sub> 공급량 각각의 영향을 조사하기 위해서 두 가지 원료물질 중에서 한 가지 원료물질의 공급량을 고정시킨 상태에서 다른 한 가지 원료물질의 공급량만을 변화시키면서 증착 특성을 관찰하였다. SiH<sub>2</sub>Cl<sub>2</sub>의 공급량을 3.0×10<sup>9</sup> L로 고정하고 NH<sub>3</sub>의 공급량만을 변화시킨 결과를 그림 2에 나타내었다. NH<sub>3</sub>의 공급량이 3.0×10<sup>9</sup> L보다 낮은 약 0.75×10<sup>9</sup> L에서부터 박막의 성장속도가 약 0.13 nm/cycle로 포화되었으나 이 때의 굴절률이 약 2.2로 높게 나타나는 것으로 보아 NH<sub>3</sub>의 공급량이 3.0×10<sup>9</sup> L인 경우에 비해서 Si의 함량이 높은 박막이 형성된 것으로 판단된다. 그림 1의 결과와 마찬가지로 NH<sub>3</sub>의

SiH<sub>2</sub>Cl<sub>2</sub>와 NH<sub>3</sub>를 이용하여 원자층 증착법으로 형성된 실리콘 질화막의 특성

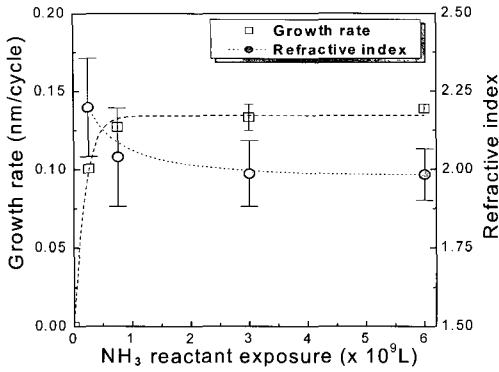


그림 2. SiH<sub>2</sub>Cl<sub>2</sub>의 공급량을 3.0×10<sup>9</sup>L로 고정하고 NH<sub>3</sub>의 공급량만을 변화시켰을 때 박막의 성장속도 및 굴절률 변화.

공급량이 3.0×10<sup>9</sup>L 이상으로 증가하면 박막의 균일성이 향상되었다.

그림 3에는 NH<sub>3</sub> 공급량을 0.75×10<sup>9</sup>L로 고정하고 SiH<sub>2</sub>Cl<sub>2</sub>의 공급량의 변화에 따른 성장속도와 굴절률의 변화를 나타내었다. SiH<sub>2</sub>Cl<sub>2</sub>의 공급량을 6.0×10<sup>9</sup>L로 증가시키면 3.0×10<sup>9</sup>L 보다 공급량이 2배 높음에도 불구하고 성장속도가 약 0.13 nm/cycle로 3.0×10<sup>9</sup>L에서의 성장속도와 유사한 값을 나타내었으며, 보다 굴절률의 편차가 적은 균질한 박막을 얻을 수 있었다.

다음으로는 SiH<sub>2</sub>Cl<sub>2</sub> 및 NH<sub>3</sub>의 공급량을 각각 3.0×10<sup>9</sup>L로 고정하고 증착 주기의 횟수에 따른 증착 두께의 변화를 평가하였는데, 그림 4에서 볼 수 있듯이 증착 주기의 횟수와 증착된 박막의 두께는 직선적인 비례관계를 보여주었다. 따라서 원자층 증착의 증착

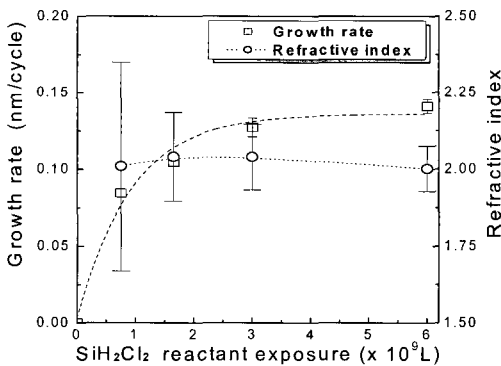


그림 3. NH<sub>3</sub>의 공급량을 0.75×10<sup>9</sup>L로 고정하고 SiH<sub>2</sub>Cl<sub>2</sub>의 공급량만을 변화시켰을 때 박막의 성장속도 및 굴절률 변화.

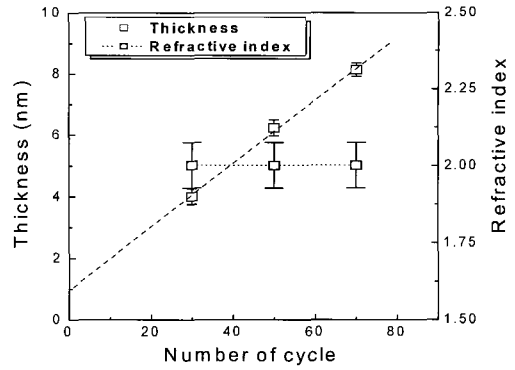


그림 4. SiH<sub>2</sub>Cl<sub>2</sub>와 NH<sub>3</sub>의 공급량을 3.0×10<sup>9</sup>L로 고정했을 때 증착 주기의 횟수에 따른 박막의 두께 및 굴절률 변화.

주기의 횟수를 조절함으로써 원하는 두께의 박막을 형성할 수 있었다.

증착된 실리콘 질화막의 물리적 특성을 평가하기 위하여 실리콘 기판으로 사용된 p-type Si-wafer와 원자층 증착된 실리콘 질화막, 저압화학 증착된 실리콘 질화막에 대해 SPM으로 표면 형상을 관찰하여 그 결과를 그림 5에 나타내었다. Si-wafer의 RMS 표면 거칠기 값은 0.099 nm로 평탄도가 매우 높았으며, 원자층 증착법으로 형성된 실리콘 질화막의 경우에는 RMS

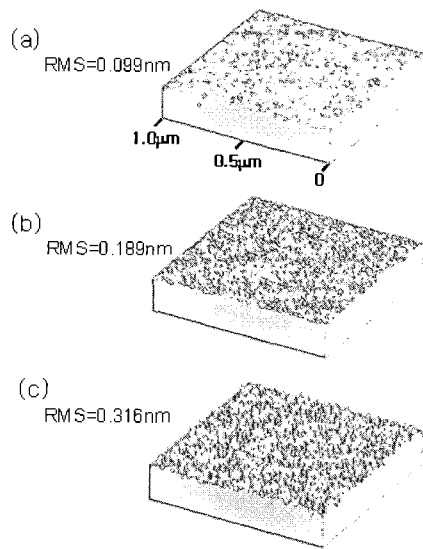


그림 5. SPM으로 관찰한 표면 형상 및 RMS 표면 거칠기. (a) Si 기판, (b) ALD 실리콘 질화막, (c) LPCVD 실리콘 질화막.

거칠기가 약 0.189 nm, 저압화학 증착법에 의해서 형성된 실리콘 질화막의 경우에는 약 0.316 nm으로 측정되었다. 따라서 원자층 증착된 박막은 매우 우수한 평탄도를 가지며 기존의 저압화학 증착법에 의한 박막에 비해 훨씬 우수한 표면형상을 보임을 확인할 수 있었다.

박막의 치밀성을 간접적으로 평가하기 위하여 실리콘 질화막을 100 : 1 비율로 희석된 HF 용액에서 습식에칭하고 습식에칭 전후의 두께 차이로부터 습식에칭 속도를 계산하여 그림 6에 나타내었다. 550 °C의 증착 온도에서 원자층 증착된 박막의 습식에칭 속도는 0.93 nm/min이었으며, 저압화학 증착법에 의해 750 °C에서 형성된 박막의 경우 0.60 nm/min으로 원자층 증착된 박막에 비해 낮은 습식에칭 속도를 나타내었다. 그러나 증착온도를 580 °C로 30 °C 증가시킴으로써 원자층 증착법으로도 저압화학증착법의 습식에칭 속도와 유사한 0.73 nm/min을 얻을 수 있었다.

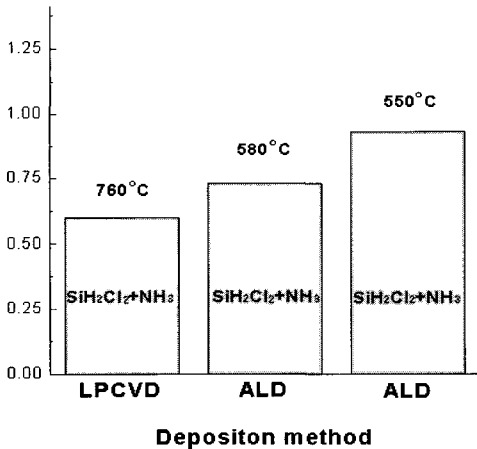


그림 6. 100 : 1로 희석된 HF 용액에 대한 여러 종류의 실리콘 질화막의 습식에칭 속도 비교.

박막의 전기적 특성을 평가하기 위하여 증착된 실리콘 질화막 위에 thermal evaporation 방법으로 Al 전극을 증착하여 MIS 구조를 형성하고 I-V 특성을 관찰하였다. Shadow mask 방식을 이용하여 직경 1 mm의 Al 전극을 형성하였는데, 증착된 Al 전극의 두께와 면저항 값으로부터 계산한 Al의 비저항은 2.98  $\mu\Omega$ -cm으로서 실온에서의 Al 비저항인 2.75  $\mu\Omega$ -cm와 크게 다르지 않은 값이었다. 실리콘 질화막의 전기적 특성을

평가함에 있어 실리콘 질화막 내부의 격자결함에 의한 전하 및 실리콘 기판과의 계면에서 dangling bond 등의 계면전하의 영향을 최소화하기 위해서 MIS 구조를 형성한 후 H<sub>2</sub>(3%)/Ar 혼합기체 내에서 400 °C에서 30 분간 열처리하였다. Al 전극에 인가되는 음의 전압을 증가시키면서 박막의 누설전류 밀도를 측정하였는데 그 결과를 그림 7에 나타내었다. 전기장의 세기가 3 MV/cm일 때 원자층 증착 박막의 누설전류 밀도는 약 0.79 nA/cm<sup>2</sup>로 LPCVD 박막의 6.95 nA/cm<sup>2</sup>와 비교했을 때 1/10 미만의 우수한 전기적 특성을 나타내었다. 이것은 원자층 증착 방법에 의해 증착된 박막의 내부에 누설전류의 통로가 될 수 있는 결함이 적었기 때문으로 추론할 수 있으나, 향후에 추가 연구를 통한 검증이 필요한 것으로 판단된다.

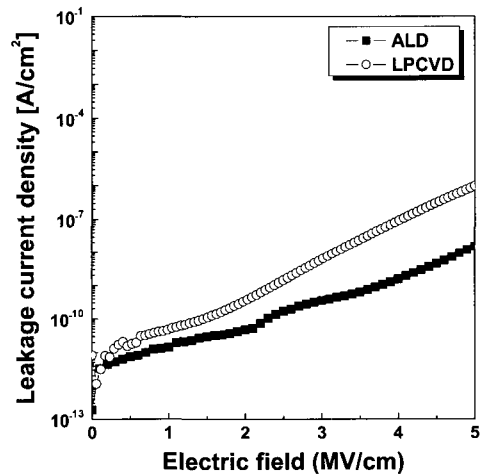


그림 7. 원자층 증착된 박막 및 저압화학증착된 박막을 H<sub>2</sub>(3%)/Ar 혼합기체 내에서 400 °C, 30 분간 열처리한 후 측정된 누설전류 특성. 박막의 두께는 10 nm, Al 전극의 지름은 1.0 mm으로 하였다.

#### 4. 결 론

Si 원료물질로 SiH<sub>2</sub>Cl<sub>2</sub>, N 원료물질로 NH<sub>3</sub>를 사용하여 실리콘 질화막을 원자층 증착방법으로 형성하였다. SiH<sub>2</sub>Cl<sub>2</sub> 및 NH<sub>3</sub>의 공급량을 증가시킴에 따라 박막의 성장속도가 증가하다가 원료물질의 공급량이 3.0×10<sup>9</sup> L일 때 박막의 성장속도는 약 0.13 nm/cycle이었고 공급량을 6.0×10<sup>9</sup> L로 증가시켜도 성장속도는 큰

차이를 보이지 않았다. NH<sub>3</sub>의 공급량이 적을 경우에는 Si의 함량이 높은 박막이 형성되어 굴절률이 증가하였다. 원자층 증착된 박막의 화학결합, 굴절률 및 습식에칭 속도를 기존의 저압화학증착 방법에 의해 증착된 박막과 비교한 결과, 굴절률 약 2.0, 습식에칭 속도는 0.93 nm/min, RMS 표면 거칠기는 0.189 nm으로 기존의 저압화학증착 방법보다 증착온도를 200 °C이상 낮추면서도 유사하거나 우수한 물성을 지닌 박막을 형성할 수 있었다. 특히, 3 MV/cm의 전기장에서 측정된 누설전류밀도는 원자층 증착된 박막의 경우 0.79 nA/cm<sup>2</sup>로서 저압화학증착된 박막의 6.95 nA/cm<sup>2</sup>보다 훨씬 우수하였다. 따라서, 원자층 증착법은 반도체 소자 제조에 적용이 가능한 새로운 실리콘 질화막 증착 방법으로 판단된다.

### 감사의 글

본 연구는 COSAR의 시스템집적반도체기반기술사업 4, 5차년도 연구비 지원에 의해 수행되었습니다.

### 참 고 문 헌

- [1] M. Pessa, R. Makela, and T. Suntola, Appl. Phys. Lett. **38**, 131 (1981).
- [2] S. Dey and S. J. Yun, Appl. Surf. Sci. **143**, 191 (1999).
- [3] J. S. Min, H. S. Park, and S. W. Kang, Appl. Phys. Lett. **75**, 1521 (1999).
- [4] D. G. Park, H. J. Cho, C. Lim, I. S. Yeo, J. S. Roh, C. T. Kim, and J. M. Hwang, Symposium on VLSI Technology Digest of Technical Papers **46** (2000).
- [5] J. Aarik, A. Aidla, and A. A. Kiisler, Thin Solid Films **340**, 110 (1999).
- [6] J. E. Park, J. H. Ku, J. W. Lee, J. H. Yang, K. S. Chu, S. H. Lee, M. H. Park, N. I. Lee, H. K. Kang, and K. P. Suh, in Proceedings of the 10th Korean Conference on Semiconductors (Seoul, Korea, February 2003) p. 137.
- [7] H. Goto, K. Shibahara, and S. Yokoyama, Appl. Phys. Lett. **68**, 3257 (1996).
- [8] S. Yokoyama, H. Goto, T. Miyamoto, N. Ikeda, and K. Shibahara, Appl. Surf. Sci. **112**, 75 (1997).
- [9] S. Morishita, S. Sugahara, and M. Matsumura, Appl. Surf. Sci. **112**, 198 (1997).
- [10] R. S. Iyer, E. Sanchez, X. Jin, Y. Wang, H. Matsuo, C. L. Yan, K. Nakanishi, Y. Maeda, S. A. Chen, and L. Luo, Semicon Korea Technical Symposium **179** (2002).
- [11] H. Xiao, *Introduction to Semiconductor Manufacturing Technology*, (Prentice Hall, Ohio, 2001), Chap. 5.