

PLL, DLL & clock recovery IC 설계 기술

방대성 (Hynix system IC)

I. 서론

본고에서 다루고자 하는 분야는 PLL, DLL 및 clock recovery 분야로서 그 용도는 조금씩 다르지만 PLL에서 그 개념이 출발하여 각각 그 고유의 영역을 갖고 있는 분야로 설계를 위한 공통적인 내용과 각 분야에 대해 다른 부분들과 현장에서 발생하는 요구 및 문제를 알아보고 향후의 trend를 점검해 보고자 한다.

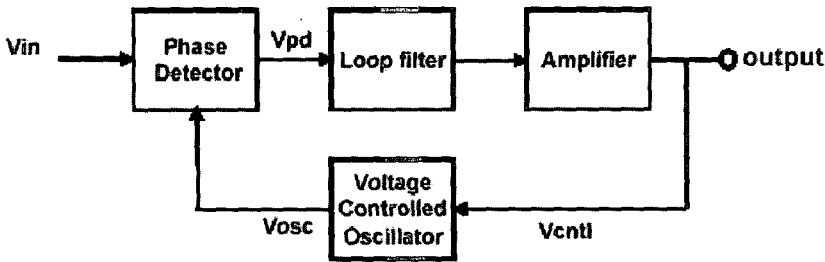
II. PLL 개발 현황

먼저 PLL에 대한 이야기를 시작하면 PLL은 1930년대에 그 개념이 발명된 이래 많은 analog 와 digital system들에서 폭넓게 사용되고 있으며 그 분야를 살펴보면 data 통신에서는 clock recovery로, wireless communication에서는 주파수 선택을 위한 frequency synthesizer와 modulator, demodulator로 사용되며, digital system들에서는 main clock이나 sampling clock 등 필요한 주파수를 얻기 위한 clock generator 등으로 그 사용 용도가 매우 많고 지금도 계속해서 사용 영역의 확대 뿐 아니라 용도에 따른 기능에

대한 개선이나 기능의 추가도 활발하게 진행되고 있는 Analog의 key building중의 하나이다.

PLL의 특징적인 용도는 low frequency를 high frequency로 바꾸어 주는 기능이며 이 때 외부에서 high frequency를 사용하지 않는 이유가 PLL을 사용하는 가장 중요한 이유가 되는 것이다. 즉 내부에 100MHz를 사용하는 block이 있고 외부에서는 4MHz의 oscillator가 있다면 그것을 이용해서 PLL을 통하여 100MHz를 내부에서 얻어 낼 수 있다. 만약 100MHz를 외부에서 넣는다면 100MHz에 해당하는 oscillator를 구하기도 힘들고 구했다 해도 chip 밖에서 pad를 통해 I/O를 drive하기까지의 loading이 크고 I/O의 power소모 등 실현 불가능한 단점이 있기 때문에 PLL의 사용은 이러한 문제에 좋은 solution이 된다.

예로 Intel의 Pentium Processor가 3.6GHz로 동작한다고 할 때 그 clock이 외부에서 사용할 수 없는 high frequency인 것을 보면 얼마나 PLL이 막강한 power를 발휘하는지 알 수 있다. Pentium의 input clock이 133MHz라 할 때 내부의 사용 clock이 3.6GHz인 것은 PLL의 기능을 극대로 사용한 경우로 볼 수 있다. 앞에서 언급한 4MHz의 input과 Pentium의 input이 좀 다른 것은



〈그림 1〉 conventional 한 PLL의 block diagram

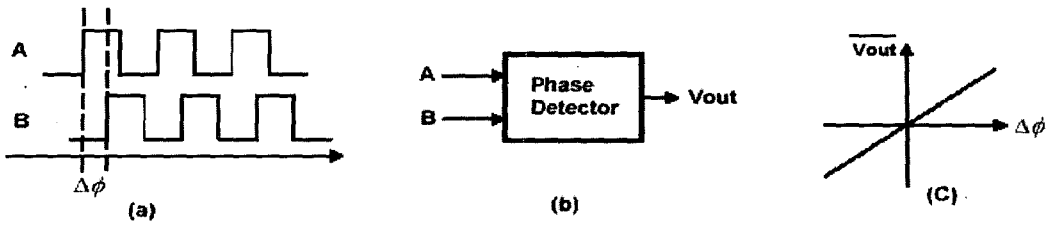
Pentium의 경우는 high frequency를 사용하는 대신 low voltage differential signal (0.7Vpp)을 사용한다. 물론 input pad는 Analog용 pad를 사용한다. System clock의 speed가 요즘 모든 경쟁력의 key라고 보면 초당 계산 할 수 있는 능력이 1억 번이나 10억 번이나의 경쟁은 계속 될 것이고 PLL의 기능은 더욱 더 막강해져 갈 수 밖에 없다. Digital화 되어 가는 환경에서 Digital을 더욱 막강하게 만드는 것이 clock의 speed이고 이 clock은 Analog PLL에 의해 만들어진다는 것이 아이러니가 아닐 수 없다. 여기까지는 PLL의 가치를 강조하며 Analog기술이 원천적인 밑바탕이 되고 있는 것을 실 예로 보여 준 것이고 그러면 어떻게 이러한 PLL을 만들고 이러한 중요한 기능의 PLL을 개발함에 있어서 중요한 spec.은 무엇이며 또 극복해야 하는 문제는 어떤 것들이 있는지 살펴보고자 한다. 이러한 내용을 다루는 상황에서 한가지 양해를 구해야 하는 문제는 현재 각 기업에서 제품에 적용하여 사용되고 있는 기술은 원천적으로 공개 하지 않는 것이 상식이기 때문에 기술적인 내용이라도 자세히 밝힐 수는 없다는 점을 양해해 주시기를 바라는 것이다.

현재 상용화 되고 있는 모든 IP들 즉 매출에 기여하고 각 기업이 돈을 버는 제품에 대해서는 어

는 누구도 손쉽게 책이나 논문들을 통해서 또는 특허를 통해서도 구현이 거의 불가능 하도록 되어 있으며 관련자들만이 know-how의 전수로 이어지고 있는 것이 현실임에는 틀림이 없다. 이것도 기술계통에 속한 것으로 옛날 고려청자의 기술 전수와도 같은 모양이 아닌가 생각한다. 국내외로 많은 학술대회나 교육강좌를 통해서 기술을 습득할 수 있는 기회가 많지만 핵심기술에 대한 내용은 앞에 언급했듯이 기업체들의 영업의 문제와 관련하여 공개하지 않고 있기 때문에 최근 발표되는 회사의 제품 성능에 대한 promotion자료나 data sheet를 확보함으로써 기술의 경향을 알 수 있다. 직접 개발에 참여하고 있는 업계의 기술 관련자들에게는 더 높은 spec.만이 경쟁력 우위를 점유할 수 있다는 reference로 작용하여 계속 치열한 경쟁을 하는 것이 현 업계들의 동향이다.

III. PLL Architecture 및 설계기술 분석

본고에서 다루는 내용은 PLL, DLL의 중요성과 기술의 경향 등을 다루며 문제들을 살펴보고 개발과 사용의 측면에서 필요한 서로의 requirement들을 공유하고자 한다.



〈그림 2〉 이상적인 phase detector의 특성

(a) 위상 차를 갖는 두 신호 파형 (b) phase detector의 symbol (c) 위상 차이에 따른 ideal한 average 전압

또한 중점적으로 다루고자 하는 것은 위의 수많은 PLL application 중에서 SOC(system on a chip)의 IP에 사용되는 clock synthesis 용도의 PLL에 대해서 이야기 하고자 하며 그 중에서도 가장 보편화된 charge pump PLL에 대하여 살펴보고자 한다.

이 type은 clock synthesis의 모든 chip에 적용하고 있고 이론적으로는 phase detector를 갖는 PLL과는 같은 boundary에 속하지만 사용하는 조건에 따라 여러 가지의 장점을 갖고 있기 때문에 charge pump PLL에 대한 내용을 살펴보고자 하며 이와 혼돈하기 쉬운 phase detector 또는 phase comparator PLL과의 용도 및 block 기능에 대한 구별에 대해서도 이야기 하고자 한다. 그림 1. 은 conventional한 PLL의 block diagram 이다.

1. Conventional 한 PLL의 개념

그림 2. 는 이상적인 phase detector에 있어서 (a) 처럼 위상 차 $\Delta\phi$ 를 갖는 두 신호가 (b) phase detector를 통과해서 그 출력이 (c) $\Delta\phi$ 에 linear한 error전압의 average전압인 $\overline{V_{out}}$ 으로 표현되어 지는 것을 보여 준다. $\overline{V_{out}} = K_{PD}\Delta\phi$ 이며, K_{PD} 는 phase detector의 gain으로 단위는 V/rad이다.

이러한 phase의 차이를 error 전압으로 바꾸고 또 이 전압에 의해서 oscillation되는 VCO의

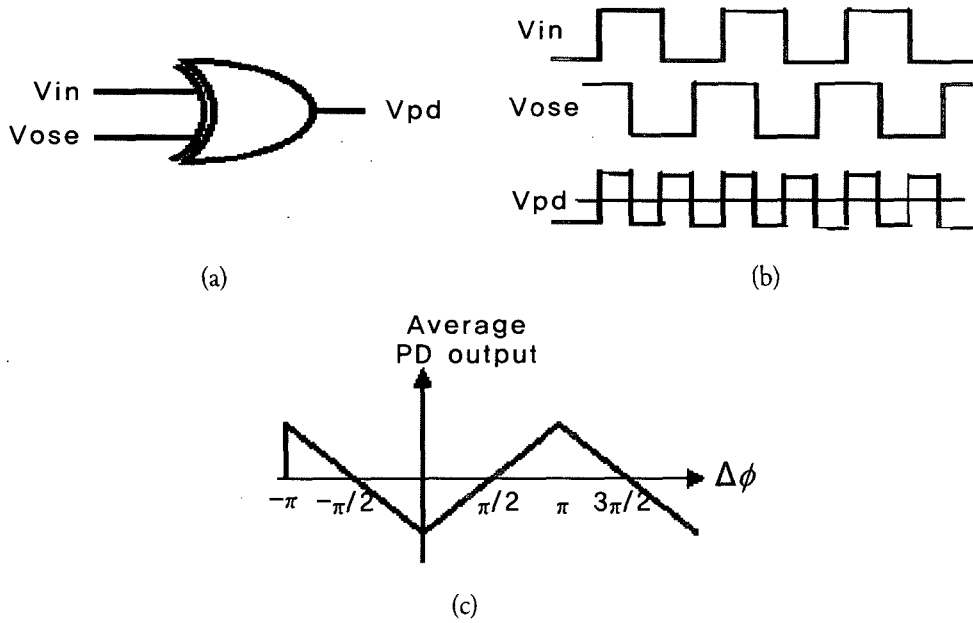
출력을 feedback 받아서 다시 위상을 비교하여 이러한 과정을 반복하는 가운데 두 신호의 phase와 frequency를 locking시키는 것이 PLL의 operation이다. 이러한 PLL은 그림1. 같은 각 block들을 가지고 있으며 각 block의 특성들은 다음과 같다.

2. Phase detector (PD)

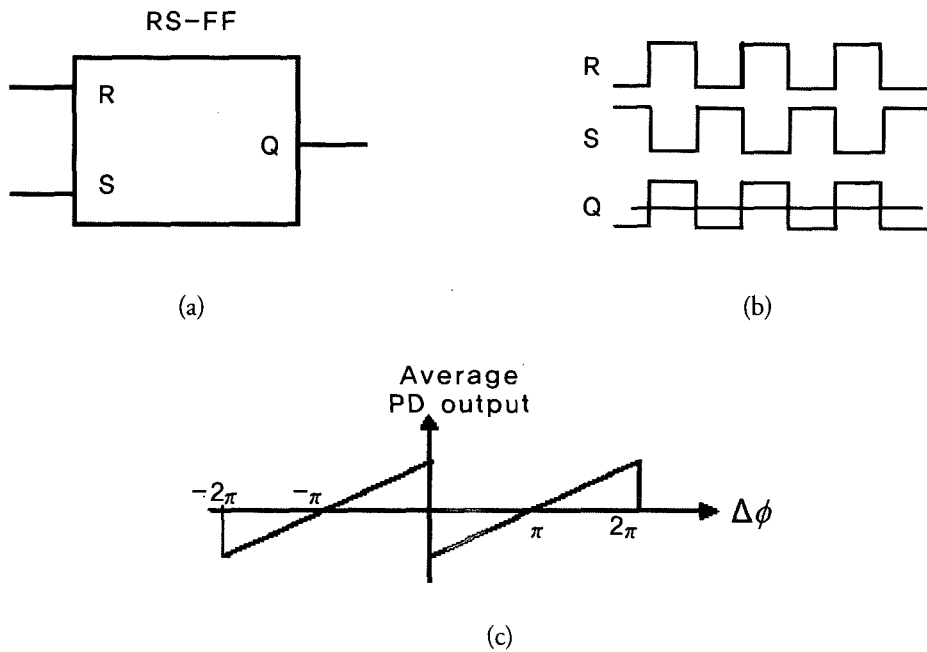
먼저 Phase detector를 만드는 방법은 여러 가지 있으며 그들 중에는 단순한 exclusive-OR gate, Sample and hold, analog multiplier, RS flip-flop 등이 있으며 function은 같지만 용도와 이름이 다른 것들이 조금 혼란스럽게 하지만 의미를 정확하게 안다면 쉽게 분류 및 설계에 적용할 수 있다. Phase detector에 대해 여러 가지 type에 따른 특성을 보면

가. XOR (gilbert cell, multiplier)

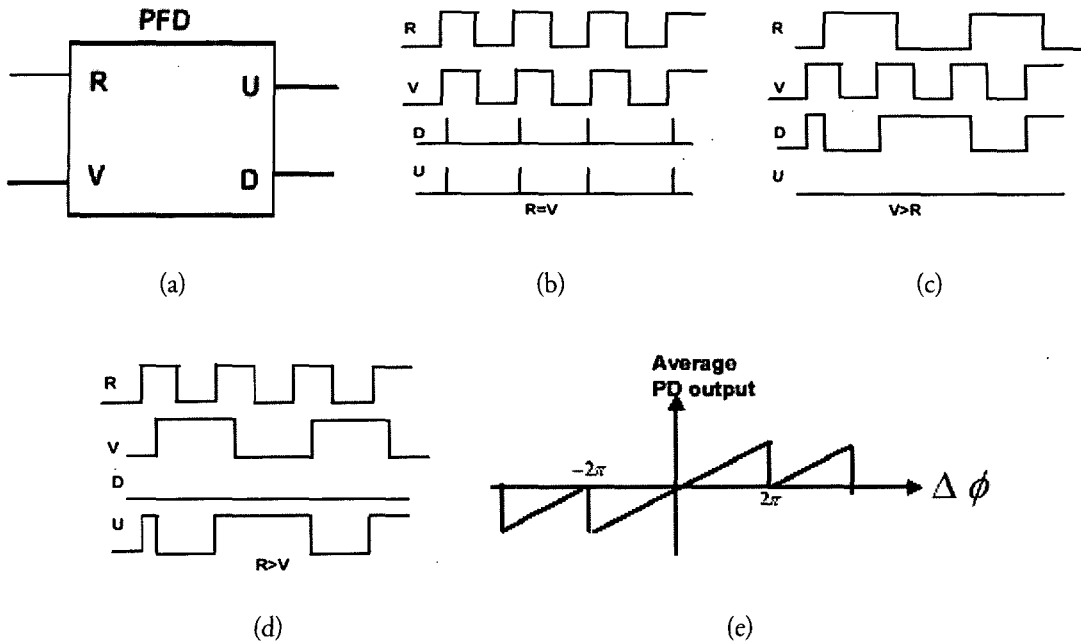
그림 3.은 XOR의 특성을 보여 준다. PD의 gain은 $K_{PD} = VDD/\pi$ 이며, 위상차가 $\pi/2$ 에서 locking을 하며, XOR특성상 harmonic locking을



<그림 3> (a) phase detector의 symbol (b) phase detector의 출력 (c) 위상 차에 따른 출력



<그림 4> (a) phase detector RS-FF 의 symbol (b) R,S에 따른 phase detector의 출력 (c) 위상 차에 따른 출력



〈그림 5〉 (a) phase frequency detector의 symbol (b) input R, V가 같을 때의 출력 파형
(c) V>R일 때의 출력 (d) R>V일 때의 출력 (e) 위상차이에 따른 출력

하며 이것을 피하기 위해서는 VCO의 주파수는 $F_{max}(\pi$ 배), $F_{min}(0$ 배)사이에서 있어야 한다. 그리고 VCO duty cycle은 50%가 되어야만 jitter를 줄일 수 있다.

나. RS-FF(two state phase detector)

RS-FF phase detector은 그림 4.와 같다. R, S의 edge에서만 동작을 하기 때문에 duty cycle에 관계가 없으나 이것도 harmonic locking을 하며 PD의 gain은 $K_{PD}=VDD/2\pi$ 이며, π 에서 locking 한다.

다. PFD (phase frequency detector)

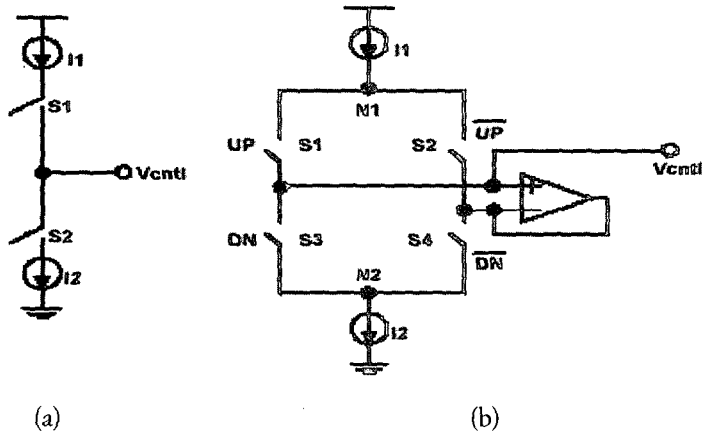
PFD는 위의 XOR 나 RS-FF의 단점들을 보완한 phase frequency detector이다. 여기에

frequency가 들어 간 것은 non harmonic locking을 하는 것으로 그림 5.의 (c) (d)에서 보듯이 고조파에서는 locking 하지 않는다. Duty는 물론 free하며 특별히 charge pump와 같이 쓰이도록 고안되었기 때문에 이 PFD의 gain은 $K_{PFD}=I_{CP}/2\pi$ 이다. I_{CP} 는 charge pump current 이다.

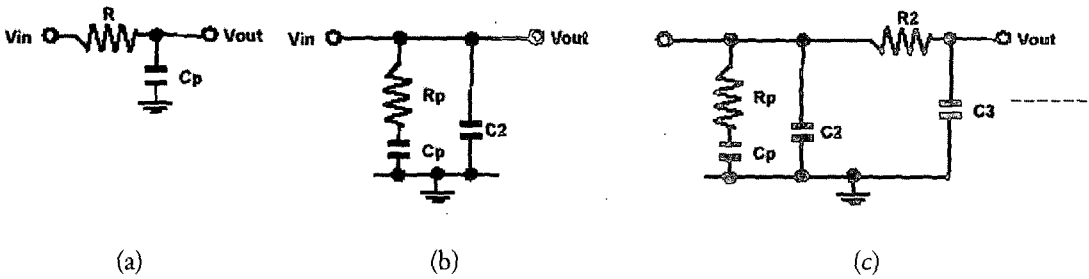
3. Charge pump (CP)

다음으로 Charge pump PLL의 중요 block 인 charge pump는 그림 6.과 같다.

charge pump는 PFD와 연결되어 PFD의 출력을 받아서 그 위상 차이를 up, down의 전류로 바꾸어 주는 기능을 담당하며, 사실 위의 PFD의



〈그림 6〉 charge pump의 (a) 기본 회로 (b) differential 방식의 회로



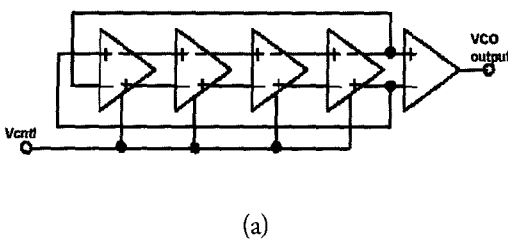
〈그림 7〉 (a) 1st order (b) 2nd order lag-lead (c) 3rd order

gain은 이 charge pump가 연결되어 있을 때의 gain을 의미 한다. 즉 charge pump PLL에서는 PFD와 charge pump는 하나의 function으로 묶어서 해석 해야 한다. 그림에서 6(a)는 기본적인 charge pump를 보여 준 것으로 low frequency에서는 용도에 따라서 많이 사용하고 있다. (b)는 differential type으로 switching noise의 문제를 줄이기 위해 differential을 사용한 것과 current compensation을 위해 unit gain buffer를 사용한 것으로 실제 많이 사용되고 있다. 이외에도

noise, power등을 고려한 여러 가지 구조들의 회로들이 사용되고 있다.

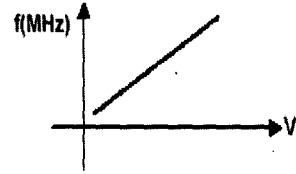
4. Low pass filter (LPF)

charge pump PLL에서 low pass filter는 passive type을 사용한다. 단순한 RC를 사용하며 1차 low pass filter 보다는 ripple를 누르기 위해서 2차를 많이 사용하며, 더 나아가서 3차,4차 도 사용하고 있다. 그림7.은 여러 order의 passive low pass



(a)

〈그림 8〉 (a) differential VCO 회로도



(b)

(b) VCO 특성 곡선

filter이다.

5. Voltage Controlled Oscillator (VCO)

VCO는 current starved 방식의 inverter ring에 current control을 갖는 방식, 이것을 두 개의 loop로 연결한 dual ring구조, differential amp를 ring으로 사용한 구조, LC oscillator 외부에서 사용하는 구조 등 VCO도 수 많은 type이 있다. Gain은 $K_0 = \text{MHz/V}$ 로 표현되며 그림 8.의 (b)와 같은 특성을 갖는다. 특히 VCO는 PLL의 noise source로 작용하기 때문에 설계 시 많은 주의를 요하는 block이다. VCO는 그림 (b)처럼 동작하는 것을 가정하여 linear model을 만들 때 ideal integrator 즉, $1/s$ 로 되며, gain을 포함하여 $K_0 \cdot 1/s$ 로 modeling 한다.

IV. Small signal analysis

이상의 block들로 이루어진 PLL을 small signal 해석을 해보면 다음과 같다. 처음의 그림1.의 PLL의 block diagram으로 돌아가서 input 신호와 V_{osc} 가 다음과 같을 때,

$$V_{in} = E_{in} \sin(\omega t),$$

$$V_{osc} = E_{osc} \sin(\omega t - \phi_d + 90^\circ) = E_{osc} \cos(\omega t - \phi_d) \quad (1)$$

여기서 $\Delta \phi_d$ 는 두 신호의 위상 차이이며, 90° offset은 Phase detector의 average output이 zero일 때의 phase difference이다. Phase detector의 output은 다음의 수식으로 주어지며, K_M 은 multiplication 상수이다.

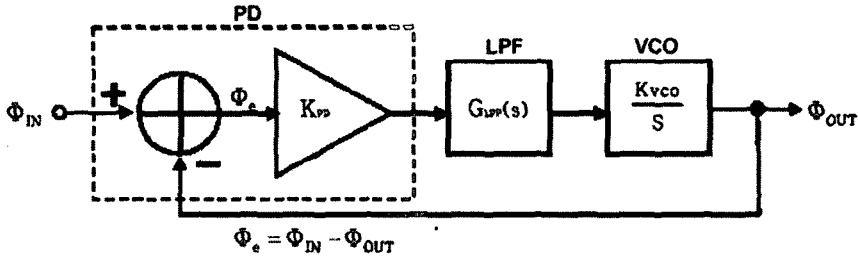
$$V_{pd} = K_M V_{in} V_{osc} = K_M E_{in} E_{osc} \sin(\omega t) \cos(\omega t - \phi_d) \quad (2)$$

삼각 함수 공식에 의하여

$$\sin(A) \cos(B) = \frac{1}{2} [\sin(A+B) + \sin(A-B)] \quad (3)$$

$$V_{pd} = K_M \frac{E_{in} E_{osc}}{2} [\sin(\phi_d) + \sin(2\omega t - \phi_d)] \quad (4)$$

여기서 low pass filter에 의해서 high frequency term인 second 항을 제거하면 V_{cntl} 은 수식 (5)로 되고 아주 작은 $\Delta \phi_d$ 에 대해서 V_{cntl} 은 수식 (6)이 된다.



〈그림 9〉 PLL의 Linear Model

$$V_{ctrl} = K_{ip} K_M \frac{E_{in} E_{OSC}}{2} \sin(\phi_d) \quad (5)$$

$$V_{ctrl} \cong K_{ip} K_M \frac{E_{in} E_{OSC}}{2} \phi_d = K_{ip} K_{pd} \phi_d \quad (6)$$

이것은 low pass filter의 output은 input 신호와 oscillator의 output신호와의 phase 차에 따라 움직이는 것을 알 수 있고 여기서 $\angle \phi_d$ 를 linear 라고 가정하면 PLL의 linear Model을 만들 수 있다.

PLL의 linear model을 살펴보면 간략하게 표현해서 low pass filter를 일차로 하고 PD out을 $K_{PD}(\phi_{out} - \phi_{in})$ 과 같은 DC component로 볼 때 open loop transfer function은

$$H(s)|_{open} = \frac{\Phi_{out}(s)}{\Phi_{in}(s)} = K_{PD} \cdot \frac{1}{1 + \frac{s}{\omega_{LPF}}} \cdot \frac{K_{VCO}}{s} \quad (7)$$

위 수식은 one pole이 $s = -\omega_{LPF}$ 에 있고 또 하나 $s=0$ 에 있다. Unity feedback factor를 갖기 때문에 Loop gain은 $H(s)$ open과 같다. Loop gain이 원점에서 pole을 하나 가지고 있기 때문에 이러한 system을 “Type I”이라 부른다. 다음 closed-loop transfer function을 보면

$$H(s)|_{closed} = \frac{\Phi_{out}(s)}{\Phi_{in}(s)} = \frac{K_{pd} K_{vco} G_{LPF}(s)}{s + K_{pd} K_{vco} G_{LPF}(s)} \quad (8)$$

low pass filter의 transfer function이

$$G_{LPF}(s) = \frac{1}{1 + \frac{s}{\omega_{LPF}}} \quad (9)$$

라면 equation (8)은

$$H(s) = \frac{K_{pd} K_{vco}}{\frac{s^2}{\omega_{LPF}^2} + s + K_{pd} K_{vco}} \quad (10)$$

으로 된다.

PLL의 Dynamic 특성을 알기 위해서 equation (10)의 분모 부분을 다시 써보면 $s^2 + 2\zeta\omega_n s + \omega_n^2$ 로 표현되며, 제어 이론을 적용하면 ζ 는 damping factor가 되고 ω_n 은 system의 natural frequency가 된다. 즉,

$$H(s) = \frac{\omega_n^2}{s^2 + 2\zeta\omega_n s + \omega_n^2} \quad (11)$$

이며 여기서 $\omega_n = \sqrt{\omega_{LPF} K}$, $\zeta = \frac{1}{2} \sqrt{\frac{\omega_{LPF}}{K}}$, $K = K_{PD} K_{VCO}$

Second order system을 잘 만들려면 ζ 은 보통 0.5 보다 크게 설계해야 하며 $\sqrt{2}/2$ 를 선호한다. 그러므로 K 와 ω_{LPF} 는 독립적으로 선택될 수 없다. 예로 ζ 가 0.5이면 $K = \omega_{LPF}$ 이다.

Equation (11)의 transfer function은 low pass filter의 standard form이며 input phase error가 천천히 변하면 output phase도 따라가고 반대로 input phase error가 빠르게 변하면 output variation은 작게 된다. 그것은 $s \rightarrow 0$ 으로 감에 따라 $(K_{VCO})/s$ 의 값을 갖는 VCO의 gain이 무한대가 되기 때문이다. 여기서 phase error transfer function을 보면 그림 9에서 $H_e(s) = \Phi_e(s) / \Phi_m(s)$ 로 정의되며 $H_e(s) = 1 - H(s)$ 이고 이것은

$$H_e(s) = \frac{s^2 + 2\zeta\omega_n s}{s^2 + 2\zeta\omega_n s + \omega_n^2} \quad (12)$$

가 된다. 위 수식(12)에서 $t=0$ 에서 $\Delta\omega$ 의 frequency step이 발생했을 때의 phase error를 보면 ramp input에 대한 $\Phi_m(s) = \Delta\omega / s^2$ 이며, $\Phi_e(s) = H_e(s)\Phi_m(s)$ 에 의해서

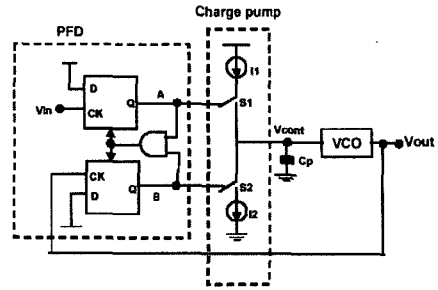
$$\Phi_e(s) = \frac{s^2 + 2\zeta\omega_n s}{s^2 + 2\zeta\omega_n s + \omega_n^2} \frac{\Delta\omega}{s^2} \quad (13)$$

이 된다. Final value theorem에 의해서

$$\phi_e(t \rightarrow \infty) = \lim_{s \rightarrow 0} s\Phi_e(s) = \Delta\omega \frac{2\zeta}{\omega_n} = \frac{\Delta\omega}{K} \text{로 주}$$

어진다. Input frequency의 static change는 K 에 의해서 suppress되며 $\Delta\omega$ 를 VCO가 따라가기 위해 control voltage가 변해야만 한다.

여기서 중요한 것은 PLL의 settling speed는 모

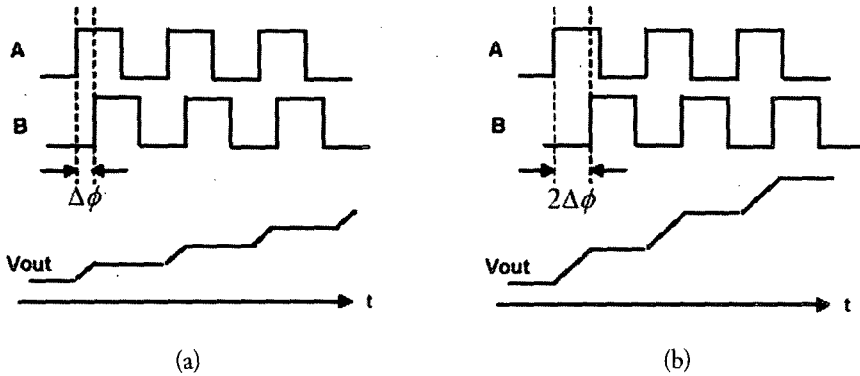


〈그림 10〉 charge pump PLL의 block diagram

든 application에서 매우 큰 문제이며 여기서는 그 내용을 다루기가 수식상 번거러워서 피했지만 수식 (11)의 input frequency step에 대한 transient response를 보면 얼마나 빨리 final value에 따라가는지를 알 수 있으며 이것은 그 response에 포함된 항 $e^{-\zeta\omega_n t}$ 의 $\zeta\omega_n$ 에 의해 결정됨을 알 수 있다. 또 수식(11)의 two pole은 $s_{1,2} = -\zeta\omega_n \pm \sqrt{(\zeta^2 - 1)\omega_n^2}$ 로 주어지며 ζ 에 따라서 transient출력이 $\zeta > 1$ 때는 두 pole이 real이 되며 system은 overdamp이고 $\zeta < 1$ 이면 pole들은 complex가 되며 출력은 transient response에 따라 움직인다. $\zeta < 0.5$ 에서는 ringing을 발생하며 $\zeta > 0.7$ 값에서 ringing을 피할 수 있다. 이것은 $\zeta, \omega_n, \omega_{LPF}$ 의 서로의 연관성이 settling speed와 VCO의 ripple에 어떠한 영향을 주는지를 살펴보았으며 용도에 따라서 적절한 값을 설정해야만 한다. 여기까지가 TYPE I에 해당하는 PLL에 대한 간략한 설명이었으며 이러한 TYPE I의 단점인 acquisition range(본고에서는 언급하지 않았음)의 극복을 위해서 고안된 Charge pump PLL을 살펴보기로 한다.

V. Charge pump PLL (CP PLL)

Charge pump는 그림 10.에서 보는 것처럼



(그림 11) (a)위상 차 $\Delta\phi$ (b)위상 차 $2\Delta\phi$ 를 갖는 PDF출력의 low pass filter out

PFDD와 charge pump가 연결된 구조를 갖고 있다. 이 전의 구조는 그림 1. 처럼 PD와 low pass filter가 연결된 구조 이었다. charge pump를 갖는 PDF의 장점은 static phase error가 zero가 되는 것과 capture range가 VCO의 limit 까지 갈 수 있다는 것이다. CP PLL 은 static phase difference에 대해서 무한한 gain을 갖는다.

CP PLL의 동작을 해석하기 위해서 PFD와 charge pump 및 LPF의 linear model을 만들어야 한다. 다음 그림 11.을 보면 PFD의 출력 A,B가 charge pump와 LPF를 거친 Vout을 보면 (a)는 A,B의 위상 오차가 $\Delta\phi$ 일 때 이고 (b)는 위상오차가 $2\Delta\phi$ 일 때이며 이때 각각 Vout이 2배가 차이가 나기 때문에 linear라 볼 수 있다. 그러나 flat한 부분은 Vout의 값은 2배지만 ramp 파형이 아니다. 결국 linear로 다루기 위해서는 근사화 할 수 밖에 없다. 이제 linear system이라고 보면 Phase difference에 대한 error voltage에 대해서 transfer function을 구해보면 어느 순간 step phase

error $\Delta\phi$ 가 발생하면 그 결과 그림.10의 A 나 B가 pulse를 내보내고 그 폭은 $\Delta\phi T_m / 2\pi$ sec. 가 되며 Vout은 매 period마다 $(I_p / C_p)\Delta\phi T_m / 2\pi$ 만큼 증가한다. Ramp(linear)로 가정하면 Vout 은 $(I_p / C_p)\Delta\phi / 2\pi$ 의 slope을 갖으며

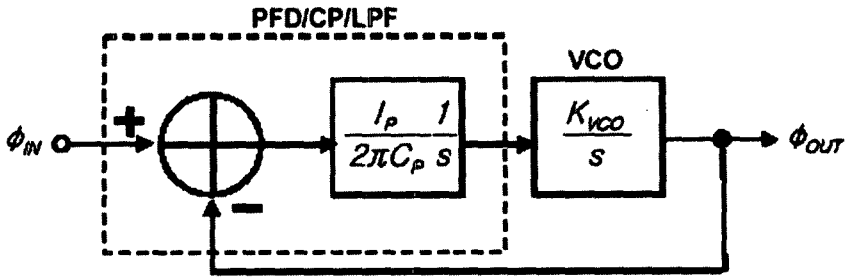
$$V_{out}(t) = \frac{I_p}{2\pi C_p} t \cdot \Delta\phi u(t) \tag{14}$$

로 표현되고 이것의 impulse response는

$$h(t) = \frac{I_p}{2\pi C_p} u(t) \tag{15}$$

이고 여기에 Laplace transform을 취하면 transfer function이 되는데 이것은

$$\frac{V_{out}(s)}{\Delta\phi} = \frac{I_p}{2\pi C_p} \cdot \frac{1}{s} \tag{16}$$



〈그림 12〉 CP PLL의 linear model

으로 된다. 이것을 이용하여 CP PLL의 linear model을 만들어 보면 그림 12.와 같다.

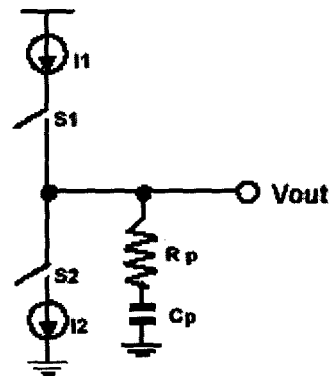
open loop transfer function은

$$\left. \frac{\Phi_{out}(s)}{\Phi_{in}} \right|_{open} = \frac{I_p}{2\pi C_p} \cdot \frac{K_{VCO}}{s^2} \quad (17)$$

이 되고 여기서 loop gain은 원점에서 2개의 pole을 가지므로 이러한 구조를 type II 라고 부른다. Closed loop transfer function $H(s)$ 는

$$H(s) = \frac{\frac{I_p K_{VCO}}{2\pi C_p}}{s^2 + \frac{I_p K_{VCO}}{2\pi C_p}} \quad (18)$$

로 되며 이 수식에서도 $s_{1,2} = \pm j\sqrt{I_p K_{VCO} / (2\pi C_p)}$ 라는 2개의 imaginary pole이 있고 이것이 system을 unstable하게 만드는 것을 볼 수 있다. System을 stable하기 위한 방법으로 loop gain에 zero를 넣는 방법을 사용하는데 이것은 그림 13. 처럼 loop filter capacitor에 resistor를 직렬로 연결하는 것이다.



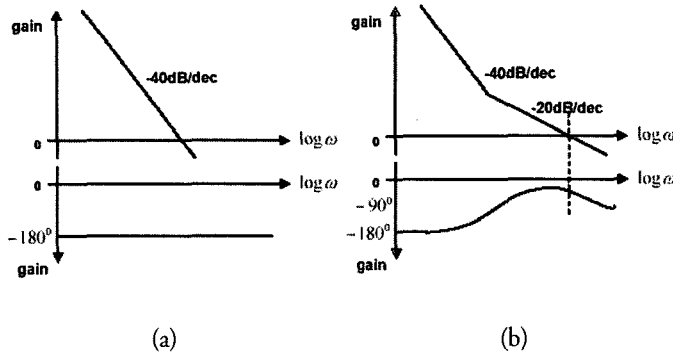
〈그림 13〉 Rp를 Cp에 직렬로 연결한 low pass filter

이 경우의 PFD,CP,LPF에 대해서 transfer function을 구하면

$$\frac{V_{out}(s)}{\Delta\phi} = \frac{I_p}{2\pi} \left(R_p + \frac{1}{C_p s} \right) \quad (19)$$

가 되고 PLL의 open loop transfer function은

$$\left. \frac{\Phi_{out}(s)}{\Phi_{in}} \right|_{open} = \frac{I_p}{2\pi} \left(R_p + \frac{1}{C_p s} \right) \frac{K_{VCO}}{s} \quad (20)$$



〈그림 14〉 Charge Pump PLL의 loop gain (a) zero가 없는 경우 (b)zero를 넣은 경우

이 된다. close-loop transfer function은

$$H(s) = \frac{\frac{I_p K_{VCO}}{2\pi C_p} (R_p C_p s + 1)}{s^2 + \frac{I_p}{2\pi} K_{VCO} R_p s + \frac{I_p}{2\pi C_p} K_{VCO}} \quad (21)$$

로 된다. 여기서 $s_2 = \frac{-1}{R_p C_p}$ 의 zero를 포함

하고 있는 것을 알 수 있으며 type I에서와 같이

ω_n 과 ζ 는 각각 $\omega_n = \sqrt{\frac{I_p K_{VCO}}{2\pi C_p}}$, $\zeta = \frac{R_p}{2} \sqrt{\frac{I_p C_p K_{VCO}}{2\pi}}$ 로 된다.

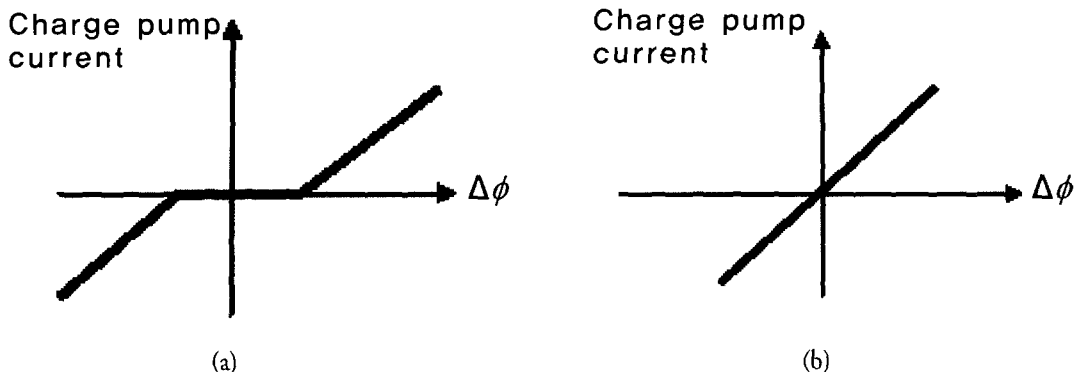
Zero를 갖는 PLL의 stability는 $\omega_z = 1/R_p C_p$, $K = K_0 \cdot I_p \cdot R_p$ 와 third pole 또 Input frequency 와 관계에 의해서 결정 되며, loop stability 는 설계 시 가장 기본적인 사항이지만 사용조건과 용도에 따라서 stability를 희생 시킬 수도 있다. 그림 14.는 loop stability에 관한 Bode diagram으로 left half plan zero가 phase margin을 만드는 것을 확인 할 수 있다. 다음에 나오는 third pole의 영향에 의해서 phase margin이 꺾이는 모습을 볼 수

있다.

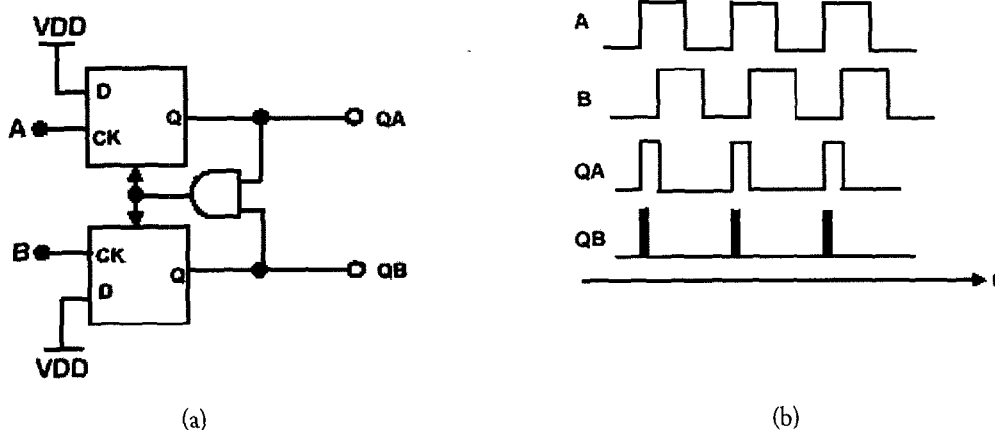
Phase margin ϕ_M 계산 수식은 (22)와 같으며 K 는 loop bandwidth, ω_{p3} 는 3rd pole 에 해당하는 주파수 이며 $\omega_{p3} = 1/((RC_p C_2 / C_p + C_2))$ 에 해당한다.

$$\phi_M = -180 + \tan^{-1}(K/\omega_z) - \tan^{-1}(K/\omega_{p3}) - \tan^{-1}(K/\omega_{p4}) \dots (22)$$

이러한 CP PLL의 단점은 Charge pump에 의해서 drive되는 current가 loop filter로 injection될 때 control 전압이 크게 흔들리게 되며 심지어 lock이 된 상태 에서도 그림 10.의 I1, I2의 mismatch와 S1,S2의 clock feedthrough에 의해서 control전압이 흔들리게 된다. 이때 발생하는 전압의 흔들림을 ripple이라 말하며 이것은 심각하게 VCO의 출력을 흔들며 jitter를 발생시킨다. 이 문제를 줄이는 방법으로 second capacitor을 R_p , C_p 와 parallel하게 연결한다. 그러면 loop filter는 2차가 되고 PLL은 3차가 되면서 stability 문제를 어렵게 할 수 있다. 그러나 C_2 가 C_p 의 1/10배 보다 작은 경우 stability를 유지 할 수 있



〈그림 15〉 CP PLL의 (a)dead zone이 발생한 경우 (b) dead zone이 없는 경우



〈그림 16〉 (a) PFD 회로도 (b) PFD 동작 파형

다. 여기에 언급된 모든 변수들이 가능한 모든 값에서 다 맞는 것이아님을 주의 하여야 한다. 모든 수식들이 non-linear를 linear로 가정하고 해석 했기 때문에 non-linear의 영역에 대해 예측하지 못하는 경우가 발생 할 수도 있다. 보다 정확한 해석을 위해서 circuit simulation으로 확인해야 한다.

VI. PFD의 Dead Zone

PFD의 두 입력의 위상 차 $\Delta\phi$ 가 ≈ 0 일 때 PFD의 출력이 모호해 지는 경우가 발생한다. 이것은 PFD의 reset pulse의 폭이 너무 좁아서 charge pump를 drive하지 못하기 때문이다. 그림 15.는 dead zone 발생시 charge pump의 current 출력을 보여 준다. 앞서 언급한 것과 같이 그림

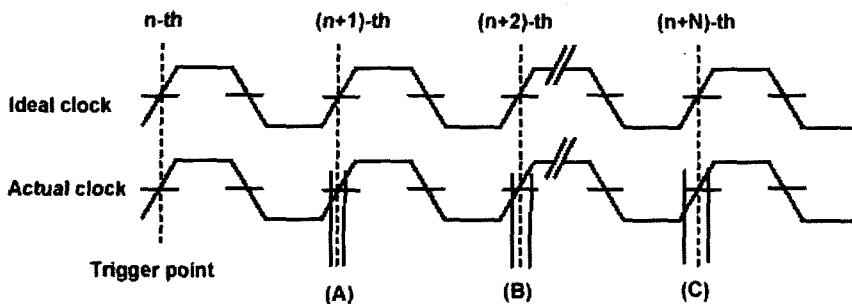
16.의 PFD는 ripple을 발생시키는 source가 되며 ripple은 VCO의 frequency를 변화시킨다. PFD는 input phase difference가 zero일 때도 QA와 QB의 출력이 아주 narrow하고 동기 되는 pulse를 발생한다. 그러나 이것은 매우 좋은 기능을 수행 한다. 만약 zero input difference에서 no pulse를 만든다면 식 (17)에서와 같이 loop gain이 zero가 되고 output phase는 lock되지 않으며 VCO는 random phase error를 발생한다. 아이러니 한 것은 ripple의 주범인 PFD narrow pulse가 오히려 dead zone을 없애 주는 역할을 감당한다는 것이다. 단 조건은 이 PFD 출력 pulse에 의해서 charge pump의 gate를 항상 turn on시킬 수 있는 정도의 폭을 가져야 한다.

이제 까지 간략하게나마 CP PLL에 대한 transfer function과 stability등 주요 design parameter에 대한 내용은 다루었다. 실제 가장 많이 쓰이는 PLL에 대한 내용을 다루다 보니 CP PLL에 초점을 맞추기 위해 conventional한 PLL과의 관계와 차이를 살펴보았다. 근본적으로 두 PLL은 같은 loop 해석이 적용 된다. 그러나 용도에 따라 각 loop parameter를 달리 쓰는 것이다. 마치 자동차 엔진의 메커니즘 같다고 볼 때 용도에 따라 트럭을 만들 때는 어디에 중점을 두는지 승용차를 만들 때는 어디에 중점을 두어야 하는지가 달라지는 것과 마찬가지로 하겠다. 때문에 PLL을 이용하여 FM modulator를 만들 때와 CPU의 clock을 만들 때와 data recovery를 만들 때 각기 block diagram이 다르며 사용하고자는 output과 해당 loop parameter가 달라진다. 그것은 그 용도마다 Bandwidth에 따른 다른 settling을 원하거나 넓은 capture range를 원하거나 input noise rejection을 원하는 등의 여러 가지 용도에 의해서 결정 되며, 같은 용도 에서도 사

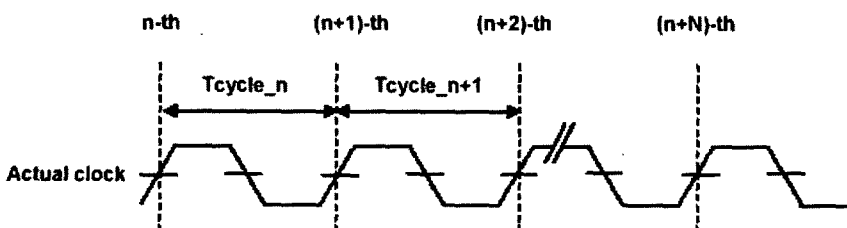
용 전압과 operation range에 따라서도 loop parameter들이 달라진다. 여기서 무슨 architecture로 설계 해야 하느냐가 PLL engineer의 고민이라면 그 설계는 좀 걱정된다는 말을 할 수 밖에 없다. PLL engineer의 고민은 위에서 언급한 각 parameter들을 얼마나 optimize하게 사용하느냐이며, 이 답을 얻기 위해서 수많은 실험과 evaluation이 필요하며, 반도체 특성상 turn around time의 인내와 수없이 많은 noise source, mismatch, parasitic 등의 문제와 싸워야 한다. 이런 고민의 결과만이 좋은 설계가 무엇인지를 스스로에게 가르쳐 주는 것이다. 여기서 언급한 PLL의 내용은 대부분의 digital system에서 사용되는 CP PLL을 예로 들었지만 용도에 따라서 PLL의 중요한 issue인 bandwidth의 문제를 해결하기 위해 Fractional N과 그 중에도 요즘 들어 각광을 받는 oversampling 방식 등이 있다. 그 밖에도 여러 종류들의 architecture와 특성들을 개발하고 optimize하며 그 과정에 문제들을 해결하는 것이 engineer들의 몫이지만 현장에서 이 분야에 인력들이 많지 않은 상황이며 현실적으로 기술 경쟁시대에서 engineer의 부족은 곧 기업의 경쟁력 약화가 아니라 국가 경쟁력의 약화로 직결되는 것임을 현장에 있는 한 사람으로써 system적인 지원의 필요를 느끼고 있다.

VII. Jitter

PLL 설계 시 중요한 몇 가지의 spec.중에 Jitter를 빼놓을 수 없다. Jitter에 대해서 잠시 살펴보면 Jitter는 자체 신호의 매 rising 때마다의 주기를 비교하여 얼마나 흔들리는가를 정의하는 것으로 Digital system 및 Analog 에서도 상당히 중요한 spec.으로 되어 있다. 여기서는 PLL의 jitter



〈그림 17〉 period jitter 의 short term과 long term 의 spec.



〈그림 18〉 Cycle to Cycle jitter 의 spec.

에 대한 이야기를 잠깐 다루고 뒤에 jitter에 대한 규정에 대해서 언급하기로 한다. 일반적으로 jitter의 source는 VCO이고 PLL로 동작할 때는 VCO jitter에 loop bandwidth에 반비례하는 상수를 곱해서 구해진다. 즉 VCO는 원천적으로 thermal noise를 피할 수 없고 PLL loop는 bandwidth에 따라서 위상 오차가 accumulation되는 것을 말하며 bandwidth가 크면 이 위상 오차를 빠른 settling으로 따라가기 때문에 loop jitter가 작아지는 것을 의미한다. 이때 input signal jitter는 crystal같은 jitter가 작은 것을 가정했을 때의 이야기며, 만약 input jitter가 많은 신호가 들어 온다면 PLL의 low pass filter기능을 이용하여 jitter를 rejection할 수 있도록 bandwidth를 낮추어야 한다.

Jitter에 대한 spec.은 다음과 같다.

1) Period Jitter(A):

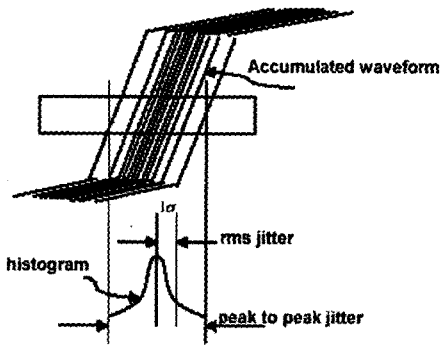
Actual clock rising edge와 Ideal clock의 rising edge와의 차이를 의미하며 trigger point는 n -th를 기준으로 $(n + N)$ -th를 측정하는 것을 의미하며 $N=1$ 로 정의한다.

2) Short-term Period Jitter(B):

위의 Period Jitter(A)에서 n -th를 기준으로 $(n + N)$ 번째의 rising edge를 측정한다고 할 때 $N < 10$ 인 경우를 의미한다.

3) Long-term Period Jitter(C):

위의 Period Jitter(A)에서 n -th를 기준으로 $(n$



(그림 19) Cycle to Cycle jitter 의 spec.

+ N)번째의 rising edge를 측정 한다고 할 때 N이 충분히 큰 경우 N이 수 천에 해당하는 경우의 jitter 값을 의미한다.

4) Cycle to Cycle Jitter:

Ideal 파형과 비교하지 않고 Actual clock 자신의 파형의 바로 다음과 비교하였을 때의 variation을 의미한다.

5) Peak to Peak jitter:

그림 19.와 같이 clock rising edge의 variation histogram을 jitter의 측정으로부터 얻었다고 할 때 peak to peak는 histogram의 max 와 min의 차이를 의미하고 rms 값은 1sigma(standard deviation) 값이다.

이러한 jitter에 대한 spec.이나 규정은 또는 용어가 그 의미상에서는 서로 통하지만 아직 IC와 통신과의 규정에 대한 차이를 서로 인정하고 있으며 위의 내용은 JEDEC JESD65의 Jitter의 정의지만 이외에도 jitter에 대한 정의 및 원인에 대한 연구가 상당히 많기 때문에 개발 관계자들은 어떠한 spec.의 jitter를 요구하는지 어떤 방법으

로 test되며 confirm하는 지에 대한 규정에 따라서 개발 및 평가를 해야 한다. Digital system에서 library나 logic들의 set up, hold time은 설계 spec.에서 이미 결정 되어 있기 때문에 min/max jitter도 이미 결정 되어 있다. 그 결과 대부분의 Digital system에서는 Period Jitter를 사용한다.

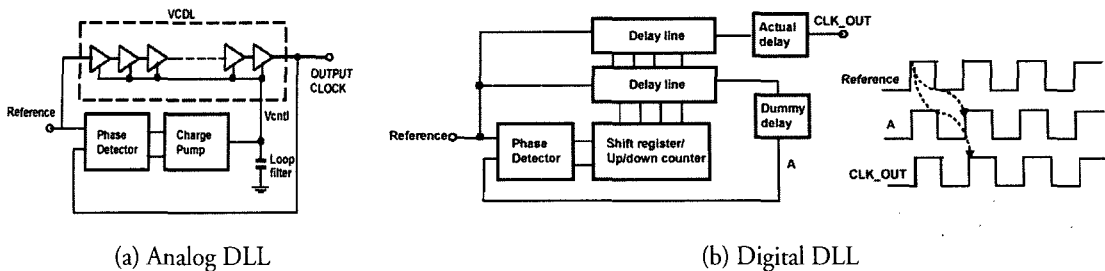
VIII. DLL의 설계기술

다음은 최근 빠르게 그 기능과 용도가 많아진 DLL에 대한 설계기술을 간단히 살펴보고자 한다. 원칙적으로 PLL의 이론을 따르기 때문에 굳이 복잡한 이론은 생략 한다.

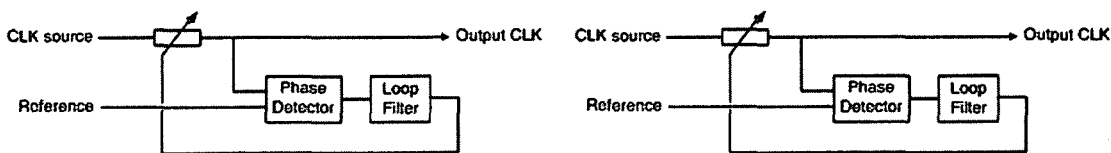
DLL은 Delay locked loop의 약어로서 최근 들어 memory나 high speed 로 동작하는 system에서 input, output의 동기를 맞추거나 data clock recovery등에 쓰이면서 그 용도가 한층 다양해지며 많은 연구가 진행되고 있다. 이러한 DLL은 Analog방식과 Digital방식으로 나누어지며 각각은 그림 20.과 같다. Analog DLL에 있어 Phase detector는 PLL과 같이 위상 차이를 비교하는 것이고 그 출력을 VCDL로 보내어 output clock을 reference와 동기 시키는 것으로 PD type에 따라 $\pi/2$ locking, π locking, 2π locking이 있다.

VCDL은 $K_{VCDL} = nS/V$ 의 gain으로 표시되고 loop bandwidth는 $\omega_c = \frac{I_{CH} \cdot K_{VCDL}}{T_{REF} \cdot C}$ 이며, I_{CH} 는 charge pump current 이고, K_{VCDL} 은 VCDL의 gain이고, T_{REF} 는 reference clock의 한 주기이며, C는 loop filter 의 capacitor 값이다. DLL 은 one pole system 이므로 항상 stability를 유지하며, delay line에서는 jitter를 발생하지 않는다.

Digital DLL은 delay line을 unit cell delay로 사용하기 때문에 phase difference의 minimum오차에 대해서 unit cell delay 이하의 정밀도를 가질



〈그림 20〉 Analog 및 Digital DLL block diagram



〈그림 21〉 DLL block diagram (a) type I (b) type II

수 없다. 그러나 analog에 비해 상당히 빠른 locking을 하기 때문에 초고속 system 에서 사용되며 그 예로 DDR에서는 필수적으로 사용된다.

끝으로 그림 21.은 DLL의 type을 나누어 본 것으로 type I 은 reference가 PD와 VCDL의 입력이 되어 output clock과 비교하는 것이고 type II 는 reference를 external clock의 delay와 비교 하는 것으로서 사용되는 쉬운 예로 multi-monitoring system에서 sync를 맞추는 것은 모두 이러한 DLL이 있어야 가능하다.

IX. 결론

이제까지 PLL/DLL의 동작과 종류 및 용도들에 대해 살펴 보며 개발 시의 문제와 대책들에 대해서 간략히 다루었다. System IC의 state of the art인 PLL의 중요성에 대해서 얼마나 많은 이야기를 하고 강조를 해도 그 의미를 다 전달

할 수 없다고 생각한다. 또 그 기술의 내용이 결과 수식만을 이용하는 것이 대부분인 현실에서 PLL의 principle의 이해는 어지간해서는 맞을 모를 정도로 그 속이 깊다는 말을 하는 것을 보면 PLL을 잘 알고 그것을 잘 사용하는 것도 쉬운 일이 아니라 생각한다. 앞서 말했듯이 PLL은 system IC 기술의 중심에 놓여있다. PLL관련 기술이 모든 분야에서 사용 안 되는 분야가 없다. 예로 ADC의 sampling clock의 jitter가 high resolution ADC의 SNR을 떨어뜨리기 때문에 low jitter가 고려된 clock을 만들어야 하며, 초고속 memory인 DDR에서 DLL의 사용은 PLL기술이 얼마나 응용력이 크고 중요한지를 다시 한번 강조 해주는 것이다. CPU의 처리속도는 성능을 절대적으로 결정 짓는 것이며 이것 또한 PLL의 기술 없이는 불가능 한 것이다. Cell library는 process에 의해서 이미 결정 되어 있다. User가 직접 만들어 사용해도 digital의 한계는 process의

한계로 결정 되는 것이며 똑 같은 최고의 process 를 사용한다면 문제는 누구의 PLL이 더 빠르고, 저전력이며, low noise하며, low jitter를 갖는가와 얼마나 작은 IP로 제공하느냐 등의 기술에 의해 성공과 실패가 결정 될 것이다. 이 말은 기술이 있어도 경쟁우위를 못 지키면 그 기술은 죽은 것과 마찬가지로 말할 수 있다. 이상주의적인 생각 같지만 internet의 발전이 가져온 지구촌의 개념은 앞으로 기술의 경쟁을 초전에 끝나도록 할 수 있는 상황으로 가게 할 것으로 생각된다. 날마다 cutting-edge technology가 monitor에서 번쩍거릴 것이고 만약 이때 우리의 logo가 안 보인다면 이미 시장은 남의 것이 된 것이고 점점 경쟁력은 멀어질 것이다. 다시 이 이야기들은 Analog의 cutting-edge기술에 의해서 그 승자가 결정될 것 이라는 이야기를 하고 싶은 것이며, 지금까지 시장의 승자 또한 최고의 Analog IP를 가진 자들 입을 안다면 Analog의 중대함을 말함에 이에 더 큰 증거는 없다. 이것은 앞으로 더욱 치열한 경쟁을 예고하고 있는 것이며 현재 기술 관련에 종사하고 있는 사람들 특히 Analog engineer들은 자신의 기술의 승패가 곧 기업과 나라가 잘 되느냐 아니면 외국 기업의 하청업체로 전락하느냐를 결정 짓는 것임을 심각하게 받아 들여야 한다. 본고를 통해 기술적인 이야기를 하고자 했지만 너무도 광범위한 내용을 다룰 수 있는 상황이 아니기 때문에 부족 된 부분에 대해서는 양해를 구하고자 한다. 나머지 기술의 이야기들은 같이 청자를 굶으면서 하기를 바라며 여기서 마친다.

참고문헌

- [1] FLOYD M.GARDNER, "Charge pump phase locked loops," IEEE trans. Comm., vol. COM-28, pp. 1849-1858, Nov.1980.
- [2] FLOYD M. GARDNER, Phaselock Techniques, Second Edition. New York: John Wiley & Sons,1979.
- [3] R. E. Best. Phase-Locked Loops, Second Edition. New York: McGraw-Hill, 1993.
- [4] Dan H. Wolaver. Phase-Locked Loop Circuit Design. New Jersey: Prentice-Hall, 1991.
- [5] WILLIAM F. EGAN. Phase-Lock Basics. New York: John Wiley & Sons,1998.
- [6] Ken Martin. Analog Integrated Circuit Design. New York: John Wiley & Sons,1997.
- [7] John G. Maneatis, "Low-Jitter Process-Independent DLL and PLL Based on self-Biased Techniques," IEEE J. Solid-State Circuits, vol. 31, pp. 1723-1732, Nov 1996.
- [8] B. Razavi, Monolithic Phase-locked loops and Clock recovery Circuits. NJ: IEEE Press, 1996.
- [9] B. Razavi, Design of Analog CMOS Integrated Circuits. Singapore: McGraw-Hill, 2001.

저자소개



방대성

1982년 송실대학교 전자공학과 학사
 1986년 송실대학원 전자공학과 석사
 1986년-1998년 LG 반도체 system IC 선임 연구원, Bipolar logic IC & Linear IC 개발, Wireless telephone IC 개발, signal processor for CCD개발, transceiver 개발, PLL IP 개발
 1999년-2004년 hynix 반도체 system IC용 analog IP 개발 업무 담당, 현 SOC지원팀 책임 연구원
 주관심분야 PLL, DLL, high speed analog