

논문 2004-41SD-10-9

# 연속 근사 레지스터를 이용한 고정밀도 동기 미러 지연 소자

## (A high-resolution synchronous mirror delay using successive approximation register)

성 기 혁\*, 김 이 섭\*\*

(Kihyuk Sung and Lee-Sup Kim)

### 요 약

칩의 외부 클럭과 내부 클럭 사이의 스큐를 줄이기 위하여 고정밀도 동기 미러 지연 소자를 제안한다. 제안하는 동기 미러 지연 소자는 두 단계에 걸쳐서 클럭 스큐를 감소시킨다. 먼저 기존의 동기 미러 지연 소자에 의하여 동기화가 이루어진다. 그 다음, 연속 근사 레지스터에 의하여 조절되는 delay-locked loop에 의하여 세밀하게 동기화가 이루어진다. 동기화가 이루어지는데 필요한 전체 시간은 10 사이클이다. 모의 실험 결과, 제안하는 동기 미러 지연 소자는 182MHz에서 50psec의 스큐 특성을 가지며, 0.35um 1-poly 4-metal CMOS 공정 하에서 3.3V의 전원 전압을 사용했을 때, 17.5mW를 소모하는 것을 알 수 있다.

### Abstract

A high-resolution synchronous mirror delay (SMD) is proposed in order to reduce the clock skew between the external clock and the internal clock of a chip. The proposed SMD reduces the clock skew in two steps. Coarse locking is achieved by the SMD<sup>[1]</sup>. Fine locking is achieved by the successive approximation register-controlled DLL<sup>[2]</sup>. The total locking time is 10 clock cycles. Simulation results show that the proposed SMD operates with 50psec clock skew at 182MHz and consumes 17.5mW at 3.3V supply voltage in a 0.35 um 1-poly 4-metal CMOS technology.

**Keywords :** Clock synchronization, synchronous mirror delay, successive approximation register

## I. 서 론

시간이 흐름에 따라 마이크로프로세서와 메모리 사이의 속도 차이는 점점 더 커지고 있다. 마이크로프로세서의 속도 증가가 메모리의 속도 증가보다 훨씬 더 빨리 이루어지고 있기 때문이다. 메모리의 속도를 증가시키기 위해 구조적 측면에서 SDRAM, Rambus DRAM, 그리고 DDR DRAM과 같은 여러 구조의 메모리가 제안되었다. 회로 설계 수준에서 메모리의 속도를 증가시키기 위해서는 외부의 클럭과 내부의 클럭을 동

기화시킴으로써 메모리 접근 시간을 줄이고자 하는 노력이 있었다. 대표적으로 phase-locked loop (PLL)와 delay-locked loop (DLL)가 클럭 동기화를 위해 지금까지 많이 사용된 기술이다. 그러나 PLL과 DLL은 피드백 구조이기 때문에 클럭이 동기화되는 데에 걸리는 시간이 수 백 사이클이나 필요하다. 최근에 소개된 동기 미러 지연 소자 (Synchronous Mirror Delay, SMD)는 이런 단점을 해결할 수 있는 구조로서 두 사이클 후에 클럭의 동기화가 이루어진다<sup>[1]</sup>. 중첩된 동기 미러 지연 소자는 클럭 스큐를 반으로 줄이고자 제안된 구조이지만 회로가 차지하는 면적이 두 배 가까이 증가하고 전력 소모 역시 증가한다는 단점이 있다<sup>[3]</sup>. 이런 단점을 개선하고자 면적을 감소시킨 저전력 중첩된 동기 미러 지연 소자도 제안된 바 있다<sup>[4]</sup>.

본 논문에서는 클럭 스큐를 더욱 줄일 수 있는 고정

\* 학생회원, \*\* 정회원, 한국과학기술원 전자전산학과  
(Dept. of Electrical Engineering & Computer Science, KAIST)

※ 본 연구는 한국과학재단과 미세정보센터의 지원을 받아 수행되었습니다.

접수일자: 2003년9월8일, 수정완료일: 2004년9월30일

밀도 동기 미러 지연 소자를 제안한다. II장에서는 기존의 동기 미러 지연 소자에 대해서 설명하고, III장에서는 제안하는 고정밀도 동기 미러 지연 소자와 각각의 세부 구성 요소에 대하여 기술한다. IV장은 모의 실험 결과를 보여주고, 마지막으로 V장에서 결론을 제시한다.

## II. 기존의 동기 미러 지연 소자

그림 1은 기존의 동기 미러 지연 소자의 회로도이다<sup>[1]</sup>. 그림 1에서 알 수 있듯이 기존의 동기 미러 지연 소자는 포워드 지연 배열 (Forward Delay Array, FDA), 백워드 지연 배열 (Backward Delay Array, BDA), 미러 제어 회로 (Mirror Control Circuit, MCC), 그리고 입력 버퍼의 지연시간 ( $d1$ )과 클럭 구동기의 지연시간 ( $d2$ )의 합만큼의 지연시간을 가지고 있는 버퍼로 구성되어 있다. 포워드 지연 배열의 단위 지연 소자의 지연시간 ( $TdF$ , NAND와 인버터의 지연시간의 합)은 백워드 지연 배열의 단위 지연 소자의 지연시간 ( $TdB$ )과 같다. 주기가  $Tclk$ 인 외부에서 들어온 신호는 포워드 지연 배열에서  $Tclk-d1-d2$ 만큼의 지연시간을 가지고, 마찬가지로 백워드 지연 배열에서도  $Tclk-d1-d2$ 의 지연시간을 가진다. 전체적으로 보면 외부에서 입력되는 클럭 신호는  $d1 + (d1+d2) + (Tclk-d1-d2) + (Tclk-d1-d2) + d2 = 2Tclk$ 의 지연시간을 갖는다. 즉 두 사이클 후에 클럭 동기화가 이루어진다.

그림 2는 주기가 4nsec인 클럭 신호가 그림 1의 회로에 입력될 때 각각의 노드의 파형을 보여 준다.

B 노드와 D 노드가 동시에 High일 때, E 노드에서 음의 펄스가 생기는 것을 관찰할 수 있다. 생성된 음의 펄스는 백워드 지연 배열과 클럭 구동기를 통과해서 내부 클럭으로 입력된다. 즉, 외부의 양의 펄스가 미러 제어 회로를 통과하면, 음의 펄스로 바뀌어서 180도의 위상차가 생기는 것이다. 그러므로, 정상적인 내부 클럭 신호를 얻기 위해서는 클럭 구동기 앞에 인버터가 필요

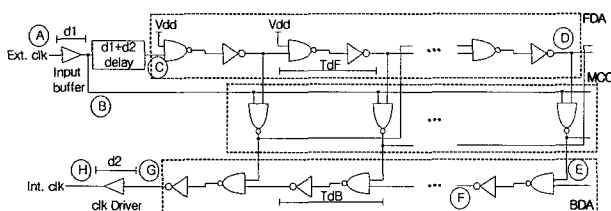


그림 1. 기존의 동기 미러 지연 소자의 회로도  
Fig. 1. Circuit diagram of the conventional SMD.

하다<sup>[4]</sup>. 제안하는 고정밀도 동기 미러 지연 소자에서도 이런 문제점을 해결하기 위해 인버터를 클럭 구동기 앞에 추가하였다.

그림 3은 그림 1의 동기 미러 지연 소자에 비해, 클럭 스큐를 반으로 줄일 수 있는 중첩된 동기 미러 지연 소자의 회로도이다<sup>[3]</sup>. 포워드 지연 배열과 백워드 지연 배열이 평행으로 두 쌍이 있고, 한 쌍에는 단위 지연 소자의 절반에 해당하는 크기의 지연 시간이 더해지므로 멀티플렉서를 통과시키면 중첩되지 않은 동기 미러 지연 소자에 비해 클럭 스큐의 크기가 반으로 줄어든다. 반면에, 두 쌍의 포워드 지연 배열과 백워드 지연 배열을 사용하였기 때문에 회로가 차지하는 면적이 두 배 가까이 증가하고 전력 소모도 증가한다는 단점이 있다.

그림 4는 면적을 감소시킨 중첩된 동기 미러 지연 소자의 회로도이다<sup>[4]</sup>. 그림 3과 비교해 보면, 두 쌍의 포워드 지연 배열과 백워드 지연 배열을 사용하는 대신 한 쌍만 사용했으므로, 회로 면적을 줄일 수 있고, 소모

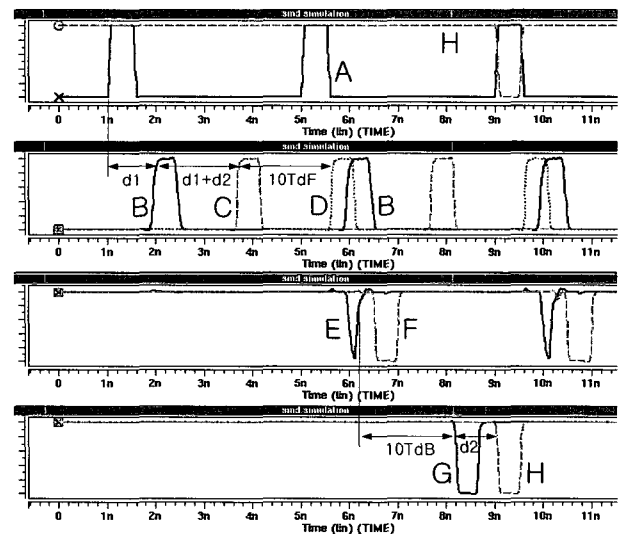


그림 2. 그림 1의 각각의 노드의 파형  
Fig. 2. Waveforms of each node in Fig. 1.

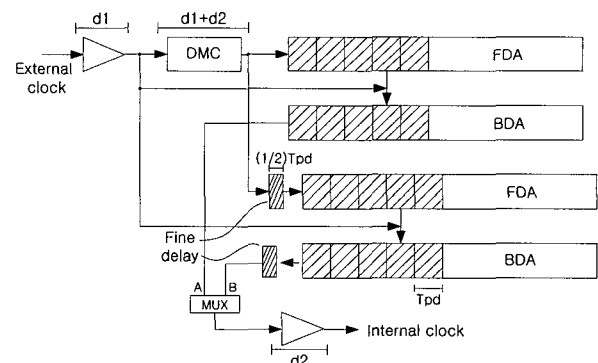


그림 3. 중첩된 동기 미러 지연 소자  
Fig. 3. Interleaved SMD.

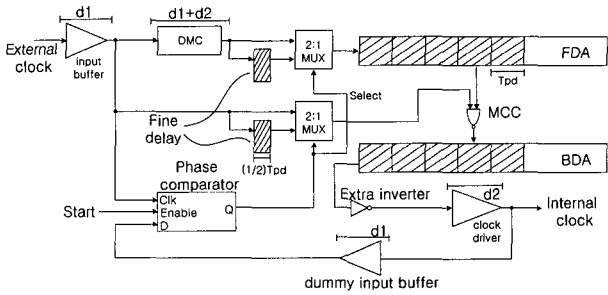


그림 4. 면적을 감소시킨 중첩된 동기 미러 지연 소자  
Fig. 4. Area-reduced interleaved SMD.

전력도 줄일 수 있음을 알 수 있다.

그림 3과 그림 4의 동기 미러 지연 소자는 그림 1의 동기 미러 지연 소자의 클럭 스큐의 절반에 해당하는 클럭 스큐를 가진다.

### III. 제안하는 고정밀도 동기 미러 지연 소자

칩의 외부 클럭과 내부 클럭 사이의 스큐를 더욱 줄이기 위해 제안하는 고정밀도 동기 미러 지연 소자의 회로도에는 그림 5와 같다.

주요 구성 요소는 그림 1에서 보인 기존의 동기 미러 지연 소자와 같이, 포워드 지연 배열 (FDA), 백워드 지연 배열 (BDA), 미러 제어 회로 (MCC), 그리고 입력 버퍼의 지연시간 ( $d_1$ )과 클럭 구동기의 지연시간 ( $d_2$ )의 합만큼의 지연시간을 가지고 있는 지연 모니터 회로 (Delay Monitor Circuit, DMC)로 구성되어 있다.

8:1 MUX의 지연시간과 8개의 세밀한 지연 소자 중에서 가장 짧은 지연 소자의 지연시간의 합은  $d_3$ 이다. 추가적인  $d_3$ 라는 지연 시간을 보상해 주기 위해서, 기존의 동기 미러 지연 소자와는 달리, 지연 모니터 회로의 지연 시간은  $d_1+d_2+d_3$ 이다. 따라서, 외부 클럭으로부터 내부 클럭까지의 지연 시간은  $d_1 + (d_1+d_2+d_3) + d_3 + (Tclk-d_1-d_2-d_3) + (Tclk-d_1-d_2-d_3) + d_2 = 2Tclk$  이다. 동기 미러 지연 소자에 의하여 두 사이클 후에 클럭 스큐가 감소된 후, 남아 있는 클럭 스큐의 최대 크기는 포워드 지연 배열의 단위 지연 소자의 지연시간 ( $=Tpd$ )과 같다. 다음으로, 연속 근사 레지스터 (Successive Approximation Register, SAR)에 의하여 선택된 세밀한 지연 소자를 전체 지연 시간에 더함으로써 남아 있는 클럭 스큐를 줄인다. 즉, 기존의 동기 미러 지연 소자로 큰 스큐를 줄이고, 연속 근사 레지스터로 작은 스큐를 줄이는, 계층적 방법으로 클럭 스큐를 줄인다.

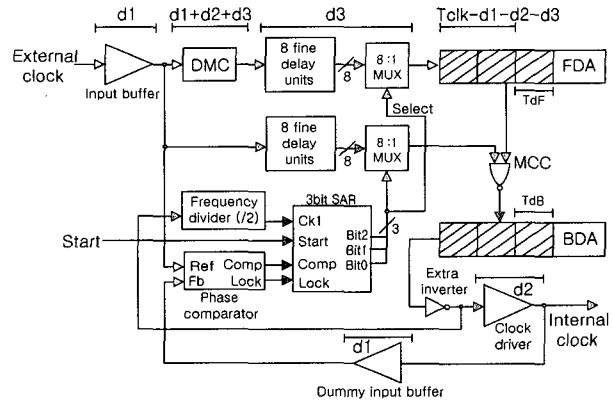


그림 5. 제안하는 고정밀도 동기 미러 지연 소자  
Fig. 5. Proposed high-resolution SMD.

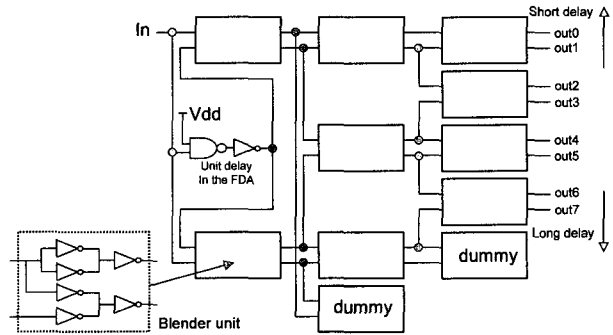


그림 6. 8개의 세밀한 지연 소자  
Fig. 6. 8 fine delay elements.

각각의 세부 구성요소는 다음과 같다.

8개의 세밀한 지연 소자는 하나의 입력을 받아서 8개의 출력을 내보내는 회로이다. 8개의 출력 신호는 각각 포워드 지연 배열의 단위 지연 소자의 지연시간 ( $=Tpd$ )의 1/8의 지연시간만큼의 차이를 갖는다.  $Tpd$ 의 1/8의 지연시간을 가지는 회로는 두 개의 직렬 인버터로 구현할 수 없을 정도로 짧은 지연시간을 갖는다. 따라서, 페이즈 블렌더 회로 (Phase blender)를 사용해서 8개의 세밀한 지연 소자를 구현하였다<sup>[5]</sup>. 그림 6에서 자세한 회로도도 명시하였다.

외부 클럭과 내부 클럭 사이의 위상을 비교하는 위상 비교기 (Phase comparator)의 회로도에는 그림 7과 같다<sup>[2]</sup>.

Ref 신호와 Fb 신호의 rising-edge를 비교하여, 동기화가 이루어지면 LD 신호를 High로 출력한다. Ref 신호가 Fb 신호보다 빨리 High로 되면 Comp 신호가 Low로 되고, Fb 신호가 Ref 신호보다 빨리 High로 되면 Comp 신호가 High로 된다. 위상 비교기의 출력 신호, 즉 Comp 신호와 LD 신호는 3-bit 연속 근사 레지스터의 입력으로 들어가서 8:1 MUX의 select 신호를

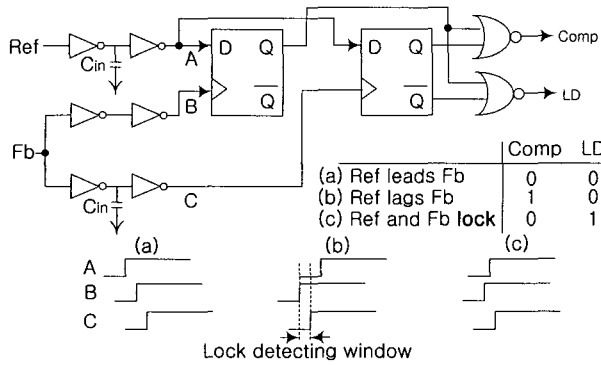


그림 7. 위상 비교기  
Fig. 7. Phase comparator.

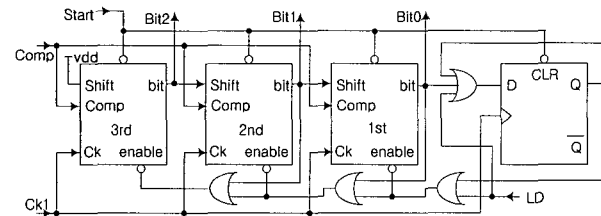


그림 8. 3-bit 연속 근사 레지스터  
Fig. 8. 3-bit successive approximation register.

결정한다. 그림 8은 3-bit 연속 근사 레지스터의 회로도를 보여준다<sup>[2]</sup>. 3-bit 연속 근사 레지스터의 동작 원리는 이진 탐색 알고리즘 (Binary search algorithm)과 같다. 3-bit 연속 근사 레지스터 대신, 3-bit counter를 사용하면 동기화에 8사이클이 필요하다. 그러나, 3-bit 연속 근사 레지스터를 사용하게 되면 3사이클 만에 동기화가 이루어지므로 동기화를 위해 필요한 latency가 더 짧아진다.

연속 근사 레지스터의 초기화를 위하여 Start 신호가 필요하며, 동기 미러 지연 소자는 두 사이클마다 안정화되므로 연속 근사 레지스터에 인가되는 클럭은 외부에서 입력되는 클럭 주파수의 절반에 해당하는 주파수를 가져야 한다. 이를 위하여 주파수 분주기(2)가 사용되었다.

#### IV. 모의 실험 결과

HSPICE 모의 실험은 다음과 같은 환경 하에서 이루어졌다. 전원 전압은 3.3V이고, 온도는 섭씨 85도이며, 0.35um 1-poly 4-metal CMOS 공정을 사용하였다.

그림 9는 외부 클럭의 주기가 7nsec일 때, 외부 클럭과 내부 클럭 사이의 스큐의 크기를 두 사이클마다 관찰한 결과이다. 8:1 MUX의 select 신호, 즉 SAR의

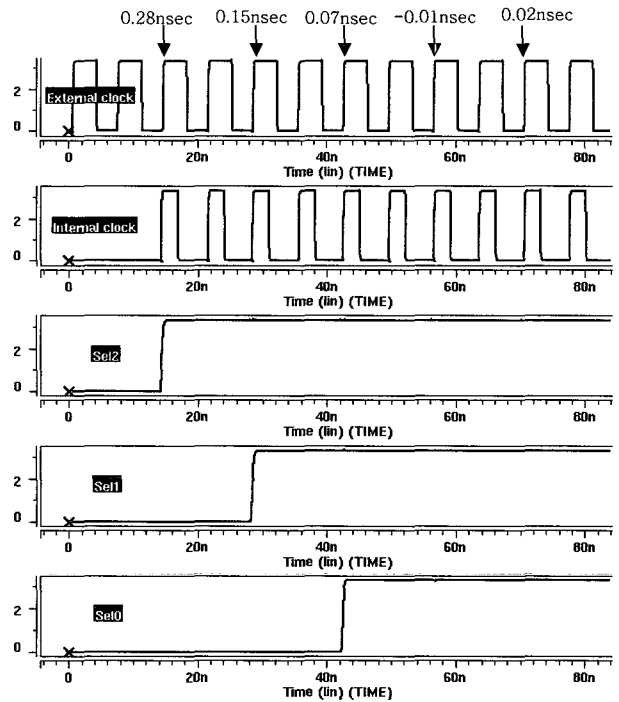


그림 9. 외부 클럭의 주기가 7nsec일 때의 파형  
Fig. 9. Waveforms when the period of the external clock is 7nsec. (=143MHz)

표 1. 스큐의 변화  
Table 1. Change of the skew.

	7ns	6.5ns	6ns	5.5ns
2 사이클	0.28ns	0.13ns	0.12ns	-0.02ns
4 사이클	0.15ns	0ns	-0.02ns	-0.09ns
6 사이클	0.07ns	0ns	0.02ns	-0.03ns
8 사이클	-0.01ns	0ns	-0.01ns	-0.07ns
10 사이클	0.02ns	0ns	-0.01ns	-0.05ns

3-bit 출력값도 관찰하였다. 동기 미러 지연 소자가 두 사이클마다 동기화되므로 두 사이클마다 스큐를 관찰하였다.

표 1은 외부 클럭의 주기를 0.5nsec씩 바꾸어 갈 때, 외부 클럭과 내부 클럭 사이의 스큐의 크기를 두 사이클마다 관찰한 결과이다. 음의 부호의 스큐는 외부 클럭이 내부 클럭보다 빨리 rising-edge가 된다는 것을 의미한다. 143 MHz (주기 = 7 nsec) 와 182 MHz (주기 = 5.5 nsec) 사이의 주파수에 대하여 10 사이클 후에 최대 50ps의 스큐를 가진다는 것을 관찰하였다.

3장의 그림 5에서 명시하였듯이 제안하는 고정밀도 동기 미러 지연 소자의 포워드 지연 배열에서는 Tclk-d1-d2-d3 만큼의 시간 동안 외부 클럭이 전파되어야 하는데, 만약 외부 클럭의 주파수가 너무 작다면, Tclk이 커지게 되어 실제 구현한 단위 지연 소자의 개수(=30개)보다 더 많은 수의 단위 지연 소자가 필요하

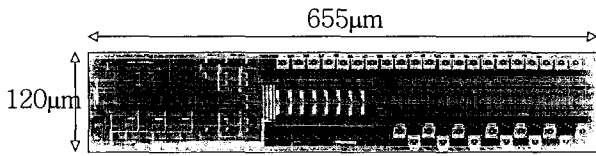


그림 10. 레이아웃

Fig. 10. Layout.

표 2. 특성 비교

Table 2. Comparison of the characteristic.

	기존의 SMD <sup>[1]</sup>	기존의 면적을 감소시킨 중첩된 SMD <sup>[4]</sup>	제안하는 고정밀도 SMD
최종 스큐	0.23ns	0.13ns	0.05ns
latency	2 사이클	4 사이클	10 사이클
소모 전력 @182MHz	7.02mW	9.08mW	17.5mW

표 3. 제안한 고정밀도 동기 미러 지연 소자의 특성

Table 3. Specification of the proposed high-resolution SMD.

공정 기술	0.35µm 1-poly 4-metal CMOS
전원 전압	3.3V
클럭 skew	50psec
Latency	10 사이클
전력 소모	17.5mW @ 182MHz
동작 주파수	143MHz ~ 182MHz
면적	655×120µm <sup>2</sup> (30개의 단위지연소자)

게 되어 오동작하게 된다.

반대로, 외부 클럭의 주파수가 커진다면, 펄스의 폭이 짧아지게 되어 미러 제어 회로의 출력값이 정확히 발생되기 어렵다. 제안하는 회로에서는 143MHz와 182MHz 사이의 외부 클럭에 대하여 이런 문제점 없이 최대 스큐가 50ps임을 알 수 있었다. 143MHz보다 낮은 주파수에서 동작하기 위해서는 단위 지연 소자를 더 많이 첨가해서 설계하면 된다. 182MHz보다 높은 주파수에서 동작하기 위해서는 각각의 단위 지연 소자를 short pulse generator로 설계하면 된다<sup>[6]</sup>. 그림 10은 제안한 고정밀도 동기 미러 지연 소자의 레이아웃을 보여준다. 회로 면적은 655 × 120µm<sup>2</sup>이다.

표 2에서는 기존의 동기 미러 지연 소자<sup>[1]</sup>, 기존의 면적을 감소시킨 중첩된 동기 미러 지연 소자<sup>[4]</sup>, 그리고 제안하는 고정밀도 동기 미러 지연 소자의 주요 특성을 모의 실험을 통하여 비교하였다.

표 2로부터 제안하는 고정밀도 동기 미러 지연 소자는 latency와 전력 소모가 증가한 반면, 최종 스큐의 크기는 가장 작다는 것을 알 수 있다. 고로, 소모전력과

latency보다 스큐의 정밀도가 요구되는 응용 분야에서 사용되면, 전체 시스템의 성능 향상에 기여할 수 있을 것으로 예상된다. latency를 줄이기 위해서는 스큐의 정밀도가 조금 떨어지지만 3-bit 연속 근사 레지스터 대신 2-bit 연속 근사 레지스터를 사용하면 되고, 소모전력을 줄이기 위해서는 단위 지연 소자의 개수를 줄이면 된다. 표 3은 제안한 고정밀도 동기 미러 지연 소자의 전체 특성을 요약한 것이다.

## V. 결 론

본 논문에서는 칩의 외부 클럭과 내부 클럭 사이의 스큐를 더욱 줄이기 위하여 고정밀도 동기 미러 지연 소자를 제안하였다. 제안하는 고정밀도 동기 미러 지연 소자는 두 단계에 걸쳐서 클럭 스큐를 감소시킨다. 먼저 일반적인 동기 미러 지연 소자에 의하여 큰 스큐를 줄인다. 다음으로 3-bit 연속 근사 레지스터에 의하여 작은 스큐를 줄인다. 쉬프트 레지스터 또는 카운터를 사용하지 않고, 연속 근사 레지스터를 사용함으로써 클럭 동기화에 필요한 latency 시간을 줄였다. 모의 실험 결과, 143MHz와 182MHz 사이의 외부 클럭에 대하여 10사이클 후에 최대 50psec의 클럭 스큐를 가지고, 3.3V 전원에서 182MHz에서 17.5mW의 전력을 소모한다. 본 논문에서 제안하는 고정밀도 동기 미러 지연 소자는 클럭 동기화의 수단으로 널리 사용될 수 있을 것이다.

## 참 고 문 헌

- [1] T. Saeki, et al., "A 2.5-ns Clock Access, 250-MHz, 256-Mb SDRAM with Synchronous Mirror Delay," *IEEE J. Solid-State Circuits*, vol. 31, pp. 1656-1665, Nov. 1996.
- [2] G. Dehng, et al., "Clock-Deskew Buffer Using a SAR-Controlled Delay-Locked Loop," *IEEE J. Solid-State Circuits*, vol. 35, pp. 1128-1136, Aug. 2000.
- [3] T. Saeki, et al., "A 10ps Jitter 2 Clock Cycle Lock Time CMOS Digital Clock generator Based on an Interleaved Synchronous Mirror Delay Scheme," in *Proc. Symp. VLSI Circuits*, pp. 109-110, June 1997.
- [4] K. Sung, et al., "Low power clock generator based on area-reduced interleaved synchronous mirror delay," *Electronics letters*, vol. 38, pp. 399-400, Apr. 2002.
- [5] B. Garlepp, et al., "A Portable Digital DLL for

High-Speed CMOS Interface Circuits, " IEEE J. Solid-State Circuits, vol. 34, pp. 632-643, May 1999.

[6] J. Lee, et al., "Synchronous Mirror Delay for Zero- and Multi-Phase Locking, " J. Korean Phys. Soc., vol. 40, pp. 87-89, Jan. 2002.

저 자 소 개



성 기 혁(학생회원)  
1997년 한국과학기술원 전자전산학과 전기및전자공학 전공 졸업 (공학사).  
1999년 한국과학기술원 전자전산학과 전기및전자공학 전공 졸업 (공학석사).

1999년~현재 한국과학기술원 전자전산학과 전기및전자공학 전공 박사과정.  
<주관심분야: 고속 저전력 디지털 회로 설계>



김 이 섭(정회원)  
1982년 서울대학교 전자공학과 학사.  
1986년 Stanford University 전자공학과 석사.  
1990년 Stanford University 전자공학과 박사.

1990년~1993년 Toshiba Corporation 연구원.  
1993년~현재 한국과학기술원 전자전산학과 전기및전자공학 전공 교수.  
<주관심분야: 3D Graphics 프로세서 및 하드웨어 설계, 고성능/저전력 디지털 IC 설계>