

논문 2004-41SD-10-10

온-칩 RC 필터 기반의 기준전압을 사용하는 8b 220 MS/s 0.25 um CMOS 파이프라인 A/D 변환기

(An 8b 220 MS/s 0.25 um CMOS Pipeline ADC with On-Chip RC-Filter Based Voltage References)

이 명 진*, 배 현 희**, 배 우 진*, 조 영 재*, 이 승 훈****, 김 영 록***

(Myung-Jin Lee, Hyeun-Hee Bae, Woo-Jin Bae, Young-Jae Cho, Seung-Hoon Lee,
and Young-Lok Kim)

요 약

본 논문에서는 온도 및 전원전압에 덜 민감한 기준전압을 위해 온-칩 필터를 사용하는 8b 220 MS/s 230 mW 3단 파이프라인 CMOS A/D 변환기(ADC) 회로를 제안한다. 제안하는 RC 저대역 필터는 기존의 큰 값을 가진 칩 외부의 바이패스 캐패시터를 사용하지 않고도 고속 동작 시 발생하는 여러 가지 잡음을 효과적으로 감쇄시키고 큰 R, C 부하에서도 기준전압의 정착시간을 줄인다. 시제품 ADC는 0.25 um CMOS 공정을 이용하여 설계 및 제작되었고, 입/출력단의 패드를 제외한 코어 면적은 2.25 mm² 이며 측정된 DNL 및 INL은 각각 -0.35~+0.43 LSB, -0.82~+0.71 LSB 수준을 보여준다. 또한, SNDR은 200 MS/s, 220 MS/s 샘플링 주파수에서 입력 주파수가 수 MHz에서 110 MHz까지 증가할 때 각각 43 dB 및 41 dB로 유지되었고, 입력주파수가 500 MHz 까지 증가할 때는 입력주파수가 110 MHz의 경우에 비해 3 dB 정도만 감소되었다.

Abstract

This work proposes an 8b 220 MS/s 230 mW 3-stage pipeline CMOS ADC with on-chip filters for temperature- and power- insensitive voltage references. The proposed RC low-pass filters improve switching noise performance and reduce reference settling time at heavy R & C loads without conventional off-chip large bypass capacitors. The prototype ADC fabricated in a 0.25 um CMOS occupies the active die area of 2.25 mm² and shows the measured DNL and INL of maximum 0.43 LSB and 0.82 LSB, respectively. The ADC maintains the SNDR of 43 dB and 41 dB up to the 110 MHz input at 200 MS/s and 220 MS/s, respectively, while the SNDR at the 500 MHz input is degraded as much as only 3 dB than the SNDR at the 110 MHz input.

Keywords : 광대역 SHA, 기준전압, RC 필터, ADC, 파이프라인

I. 서 론

최근 고밀도 VLSI 공정 기술과 더불어 디지털 신호 처리 기술의 급속한 발전으로 인하여 고화질 비디오 시

스템, 차세대 개인 휴대용 통신 기기, 고속 무선 통신망 및 의료 영상 시스템 등에 사용되는 고성능 A/D 변환기(analog-to-digital converter : ADC)에 대한 요구가 점차 증가하고 있다. 특히, 평판 패널 디스플레이, 의료 영상처리, RGB 그래픽 처리, digital data storage read channels 등의 응용 시스템에 사용되는 ADC는 샘플링 속도가 200 MS/s 이상이고, 8 비트 수준의 해상도를 가지면서 작은 면적에 적은 전력소모가 필수적이다. 기존의 다양한 ADC 구조 중에서, 200 MS/s 이상의 고속 신호 처리에 적용될 수 있는 구조로는 플래시(flash),

* 학생회원 ***정회원, ****평생회원,
서강대학교 전자공학과

(Dep. of Electronic Engineering, Sogang Univ)

** 학생회원, LG전자 디지털 미디어 연구소

(LG Electronics Digital Media Research Lab.)

※ 이 연구는 2004년도 서강대학교 교내연구비 지원에 의해 이루어졌으며, 설계Tool은 IDEC 지원을 받았음
접수일자: 2004년4월30일, 수정완료일: 2004년9월22일

폴딩 (folding), 서브래인징 (subranging) 및 파이프라인 (pipeline) 구조 등이 있으나, 본 연구에서는 이러한 구조 중에서, 샘플링 속도, 소모전력 및 칩 면적 등을 고려하여 파이프라인 구조를 사용하였다.

최근에 학회 및 저널논문 등을 통해 발표된 해상도 8 비트 및 샘플링 속도 150 MS/s 이상의 ADC 성능을 본 논문에서 제안하는 ADC 성능과 함께 그림 1에 비교하였다^{[1]-[7]}. 그림 1에서 Figure of Merit (FoM)은 다음과 같이 정의된다^[8].

$$FoM = ((2 \cdot ERBW) \cdot 2^{ENOB} / Power) \text{ (MHz/mW)} \quad (1)$$

식 (1)에서 effective resolution bandwidth (ERBW)는 낮은 입력 주파수에서의 신호 대 잡음비 (signal-to-noise ratio : SNR) 값보다 3 dB 떨어진 SNR값이 나오는 입력 주파수이며, effective number of bits (ENOB)는 ADC의 유효 비트로 정의된다.

그림 1에 나타난 대부분의 ADC는 사양에 따라 필요한 성능을 가지나, 바이폴라 공정으로 제작된 ADC는 전력 소모량이 많고, CMOS 공정으로 제작된 디지털 신호처리 회로들과 단일 칩으로 제작되지 못하여 전체 시스템 제작비용이 증가하는 단점을 가지는 ADC도 적지 않다^{[6]-[7]}. Folding /interpolation 구조의 8b ADC는 샘플링 속도 측면에서는 200 MS/s에서 동작하지만, SNR이 Nyquist 입력 주파수 이상에서는 37 dB이하로 급격하게 떨어지므로 입력 신호 대역폭이 높아야 되는 평판 패널 디스플레이 응용에는 부적합 할 수 있다^[4]. 본 논문에서 제안하는 시제품 ADC는 220 MS/s 샘플링 주파수에서 Nyquist 입력 이상까지도 signal-to-

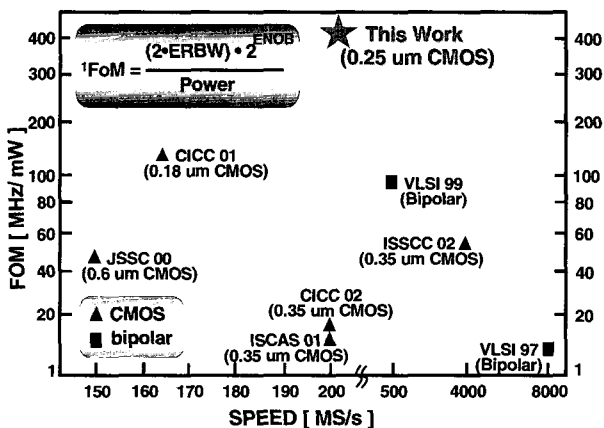


그림 1. 최근에 발표된 8 비트 ADCs의 Figure-of-Merit (FoM)

Fig. 1. Figure-of-Merit (FoM) of recently reported 8b ADCs.

-noise-and-distortion ratio (SNDR)가 40 dB 이상으로 유지되므로 이런 평판 패널 디스플레이 응용에 적합하다.

제안하는 8b 220 MS/s ADC에는 (1) 기존의 고속 ADC에서 볼 수 있는 복잡한 부트스트래핑 (bootstrapping) 회로를 사용하지 않으면서 광대역 입력에서 동작하는 샘플-앤-홀드 증폭기 (SHA), (2) 외부의 추가적인 핀을 사용한 값이 큰 바이패스 캐패시터 없이 스위칭 잡음을 줄이고 정착시간을 최소화하기 위한 온-칩 RC 필터를 집적한 온도 및 전원 전압에 독립적인 온-칩 CMOS 기준 전압 발생기, (3) 고속 스위칭 동작에서 발생하는 잡음과 전자파 방해 (electromagnetic interference : EMI) 문제를 줄이기 위한 PMOS 트랜지스터로 구현된 온-칩 decoupling 캐패시터, (4) multiplying D/A converter (MDAC)의 캐패시터 수를 50 %로 줄일 수 있는 병합 캐패시터 스위칭 (merged-capacitor switching : MCS) 기법^[9] 등과 같은 4가지 회로 설계 기법을 제안 및 적용하였다. 본 논문의 II 장에서는 제안하는 파이프라인 ADC의 전체 구조를 설명하며, III 장에서 제안하는 여러 가지 회로 설계 기법을 논의한다. IV 장에서는 제작된 ADC 시제품의 측정 결과를 요약한 후, V장에서 결론을 맺는다.

II. 제안하는 ADC의 전체 구조

본 연구에서 제안하는 8b 220 MS/s CMOS ADC의 구조를 그림 2에 나타내었다. 제안하는 전체 ADC는 입력 SHA, 2 개의 3b MDAC, 2 개의 3b 플래시 ADC, 1 개의 4b 플래시 ADC, 디지털 교정 회로 (digital correction logic : DCL), 온-칩 기준 전류 및 전압 발생기, 클럭 발생기 (clock generator) 및 온-칩 decimator 로 구성된다.

주요 아날로그 회로블록인 SHA, MDAC 및 플래시

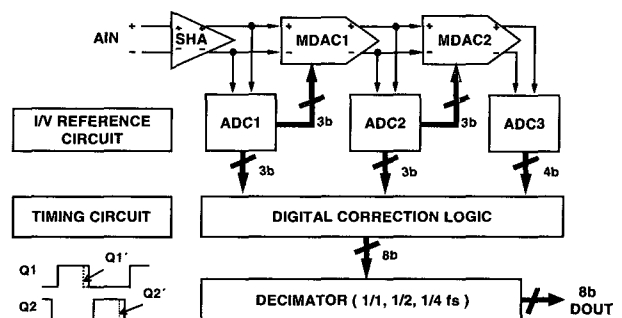


그림 2. 제안하는 8b 220 MS/s ADC

Fig. 2. Proposed 8b 220 MS/s ADC.

ADC 사이에서 발생하는 오프셋 (offset) 및 클럭 피드스루 (clock feedthrough) 등의 비선형 오차는, DCL에 입력되는 10 비트 중에서 2 비트를 중첩시켜 8 비트의 출력을 얻는 전형적인 디지털 교정 방식으로 교정된다.

III. 제안하는 회로 설계 기법

1. 광대역 SHA 회로

통상적인 광대역 입력 신호를 다루는 SHA에서는 입력 신호에 따라 변하는 샘플링 스위치의 온-저항으로 인한 신호의 왜곡을 줄이기 위해 입력 신호의 변화에 관계없이 샘플링 스위치의 게이트 (gate)-소스 (source) 사이 전압을 일정하게 유지시키는 부트스트래핑 기법을 사용한다^[10]. 그러나, 본 논문에서 제안하는 광대역 입력 SHA는 이러한 복잡하고 많은 면적을 차지하는 부트스트래핑 기법을 사용하지 않고 샘플링 CMOS 스위치와 홀딩 CMOS 스위치의 W/L 사이즈 및 비율을 최적화하여 Nyquist 입력 주파수뿐만 아니라 500 MHz의 입력 주파수에서도 높은 SNDR 값을 유지할 수 있게 하였다.

한편, SHA는 단일 op amp, 2개의 CMOS 샘플링 스위치, 2개의 샘플링 캐패시터, 캐패시터의 top plate에 연결된 2개의 PMOS 스위치 및 2개의 홀딩 CMOS 스위치를 이용하여 작은 면적과 적은 전력 소모를 가지는 전형적인 flip-around 구조를 채택하였다. 사용된 0.25 um의 공정에서, 샘플링 스위치의 온-저항은 40 ohm 이며 8 비트의 해상도에서 충분히 작은 시상수 (time constant)를 가지게 하였다. 열잡음 (thermal noise)을 고려하여 SHA의 입력 캐패시터의 크기는 1 pF를 사용하였고 op amp의 -3 dB 주파수는 526 MHz 로 설계하였다.

2. 제안하는 온-칩 RC 필터를 사용한 기준 전류 및 전압 발생기

그림 3에서 제안하는 온-칩 기준 전류 및 전압 발생기 회로는 디지털 영역에서 보정이 가능한 기준 전류 회로와 level shifter, 구동 회로 및 온-칩 RC 필터를 포함하는 기준 전압 회로 등으로 구성된다. 시제품 ADC는 추가적인 핀을 사용한 외부의 전류 및 기준 전압 회로는 별도로 사용하지 않는다. 그림 3의 IREF 블록은 공급 전압과 온도와 변화에 독립적인 기준 전류를 발생시키고, 그 값은 디지털 영역에서 ±30 % 이내의 소자 (device) 변화를 보정할 수 있다^[11].

한편, 스위치드 캐패시터 (switched capacitor) 구조

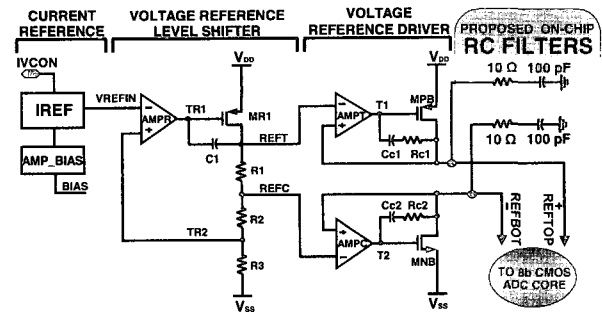


그림 3. 제안하는 온-칩 기준 전류 및 전압 발생기
Fig. 3. Proposed on-chip current and voltage references.

를 사용한 최근의 고속 고해상도 CMOS ADC는 MOS 스위치를 통하여 내부 회로들을 위한 기준전압을 공급한다^{[10],[12]}. 이런 스위치드 캐패시터를 사용한 기준전압은 충방전이 반복되면서 발생하게 되는 고주파 스위칭 잡음과 글리치를 포함하는 경우가 많다. 이러한 경우 기준 전압 출력 노드에 수 uF 수준의 캐패시터를 외부에 연결하여 고주파수의 잡음 성분을 감소시킬 수 있으나 외부 캐패시터를 연결하기 위해 할당되는 추가적인 핀과 사용되는 값이 큰 캐패시터는 핀 제약이 많은 SoC (System-on-a-Chip)의 핵심 코어 셀 (core cells)의 일부로 사용하는 용도로는 적합하지 않다. 또한, 본딩 와이어에 존재하는 기생 (parasitic) 캐패시턴스 및 인덕턴스 성분 때문에 고주파 잡음 및 글리치는 원하는 짧은 시간 내에 외부 캐패시터를 통해 통과되지 않을 수도 있다.

기준 전압 구동회로의 출력 노드 (node)에 연결한 그림 3의 제안하는 온-칩 RC 필터는 고속 동작 시 발생하는 스위칭 잡음을 효과적으로 감쇄시키고 기준 전압의 정착시간을 급속히 줄여준다. ADC 외부에 0.1 uF의 캐패시터를 연결한 기존의 구조와 RC 필터를 연결한 제안하는 구조의 정착시간을 비교하기 위하여 220 MHz 클럭에서 시뮬레이션을 수행한 결과, 그림 4에서 보듯이 RC 필터가 있는 경우는 정착시간이 0.45 ns로 400 MHz 이상의 속도에서도 충분히 동작할 수 있도록 여유 있게 설계되어 있지만, 0.1 uF의 외부 캐패시터를 연결한 경우는 정착 시간이 길어지는 것을 알 수 있다. 본 시제품에서 사용된 패키지 정보를 고려하여 본딩 패드의 기생 인덕턴스와 캐패시턴스는 각각 2.5 nH 와 0.7 pF이라고 가정하였다.

또한, RC 필터에 사용되는 캐패시터는 PMOS 트랜지스터로 구성되어 있고, 공정 변화로 인해 출력단의 게이트-소스 전압의 변화로 인한 캐패시터의 값 변화가

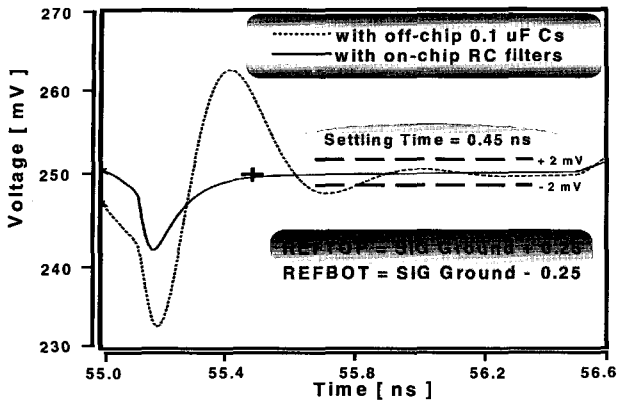


그림 4. 제안하는 온-칩 기준 전압 (REFTOP)의 모의 실험결과

Fig. 4. Simulated REFTOP of the proposed on-chip reference voltage.

$\pm 20\%$ 수준으로 변할 때에도, 제안하는 RC 필터가 연결된 기준 전압 회로는 220 MS/s의 샘플링 주파수에서 기준 전압의 정착시간에 영향을 미치지 않도록 충분히 여유를 두어서 설계되었다. 집적된 기준 전류 및 전압 발생기는 구동 회로 및 RC 필터를 포함하여 0.21 mm²의 면적을 차지하며, 220 MS/s의 샘플링 주파수에서 6.2 mW의 전력을 소모한다.

3. 온-칩 PMOS 캐패시터, 온-칩 Decimator, MCS 기법

시제품 ADC는 Metal-Insulator-Metal (MIM) 캐패시터와 PMOS 캐패시터 2가지 종류를 사용한다. PMOS 캐패시터는 MIM 캐패시터에 비해 단위 면적당 캐패시터 값이 크기 때문에 고정 바이어스 전압이 요구되고 큰 캐패시터가 필요한 경우에 사용된다. 예를 들어, 그림 5에서 보는 바와 같이 PMOS 캐패시터는 드레인과 소스에 VDD (2.5 V)를 연결하여 강 반전 (strong inversion) 영역에서 동작하게 하도록 하고, 동시에 게이트에는 REFTOP (1.5 V) 또는 REFBOT (1 V)을 각각 연결하여 몸체효과 (body effect)를 감소시켰다.

고속 동작 시 발생하는 각 회로 블록간의 간섭, EMI 문제 및 전원 전압의 잡음을 줄이기 위해 칩의 여유 공간을 이용하여 아날로그 및 디지털 전원 전압 라인에 각각 4000 pF 및 3000 pF의 온-칩 PMOS 캐패시터를 집적하였다. 한편, 시제품 ADC 측정 시 디지털 출력을 샘플링 속도 그대로 성능 평가하는 경우에 발생하는 불필요한 고주파 잡음 유입을 줄이기 위해 시제품 ADC의 출력 신호를 1/2 또는 1/4로 다운 (down) 샘플링 할

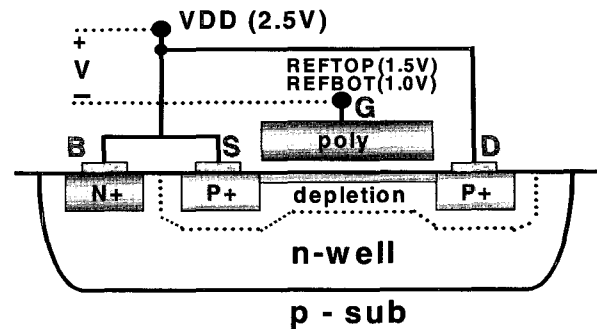


그림 5. 온-칩 PMOS 캐패시터

Fig. 5. On-chip PMOS capacitor.

수 있도록 decimator를 온-칩으로 구현하였다.

시제품 ADC는 고속에서의 전력과 잡음을 줄이기 위해 3b MDAC에 MCS 기법을 적용하였다^[9]. MDAC의 캐패시터는 전하 재분배 (charge redistribution) 원리에 의해 2개의 단위 캐패시터를 단일 캐패시터로 합치는 MCS 기법을 이용하여 요구되는 캐패시터의 수를 8개에서 4개로 줄였다. 기존의 MDAC과 같은 크기의 단위 캐패시터를 사용할 경우, SHA와 MDAC은 SHA 회로의 부하 캐패시턴스, 연결 라인의 수 및 MDAC에 사용되는 회로를 50% 감소시켜서 전력 소모의 증가 없이 속도가 향상된다. 시제품 ADC의 MDAC1과 MDAC2에 사용되는 3b MDAC의 단위 캐패시터의 크기는, 시스템의 해상도, 열잡음 및 8 비트 정합 (match) 등을 고려하여 각각 100 fF, 50 fF로 설계하였다. 또한 각각의 MDAC은 folded-cascode와 unfolded-cascode 구조로 구성된 2단 증폭기를 사용하여 MDAC1은 70 dB의 DC 이득과 562 MHz의 -3 dB 주파수를 가지고 MDAC2는 70 dB의 DC 이득과 477 MHz의 -3 dB 주파수를 가진다.

IV. 시제품 ADC 성능 측정

제안하는 8b 220 MS/s 시제품 ADC는 0.25 μm 1P5M CMOS n-well 공정을 사용하여 제작되었다. 제안하는 시제품 ADC의 칩 사진은 그림 6과 같고 회로 블록들 사이의 점선으로 표시된 부분은 온-칩 PMOS decoupling 캐패시터를 나타내고 있다.

시제품 ADC의 입/출력 패드를 제외한 칩 면적은 2.25 mm² (= 1.5 mm × 1.5 mm)이며, 2.5 V의 전원 전압에서 220 MS/s의 샘플링 주파수로 동작할 때 230 mW의 전력을 소모한다. 그림 7에서 볼 수 있는 것처럼 측정된 DNL 및 INL은 각각 -0.35~+0.43 LSB, -0.82~

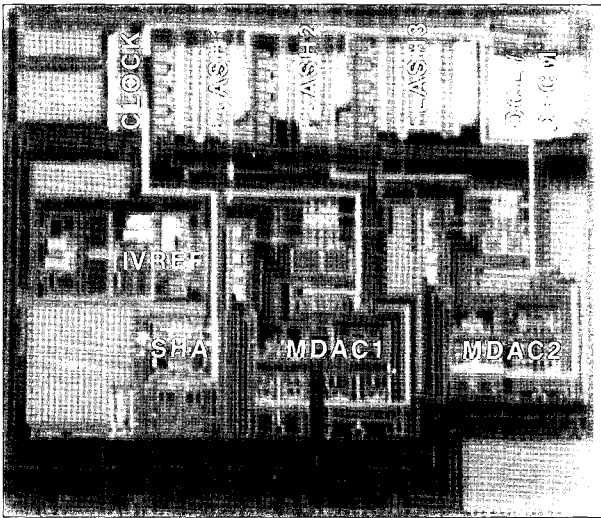


그림 6. 시제품 ADC의 칩 사진
 Fig. 6. Die photograph of the prototype ADC.
 (..... : decoupling 캐패시터)

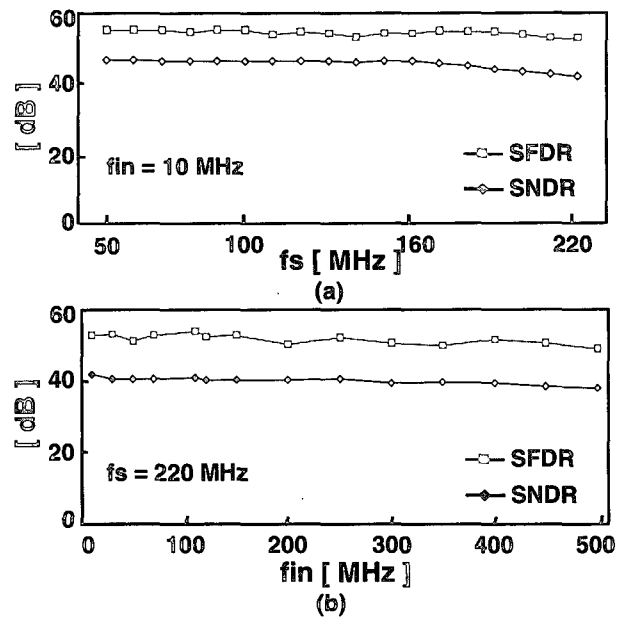


그림 9. 측정된 동적 성능 : (a) 샘플링 및 (b) 입력 주파수에 따른 SFDR 및 SNDR
 Fig. 9. Measured dynamic performance of SFDR and SNDR versus. (a) f_s and (b) f_{in}

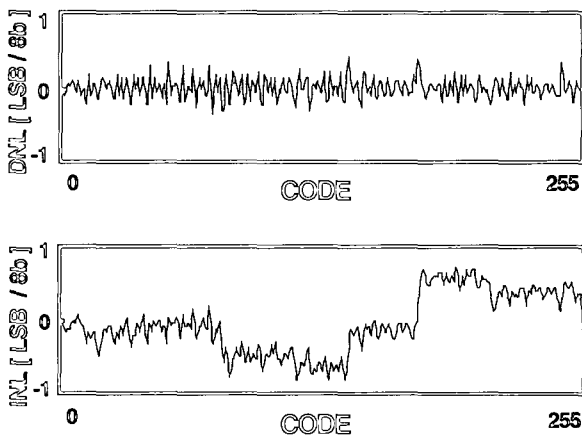


그림 7. 측정된 DNL 및 INL
 Fig. 7. Measured DNL and INL.

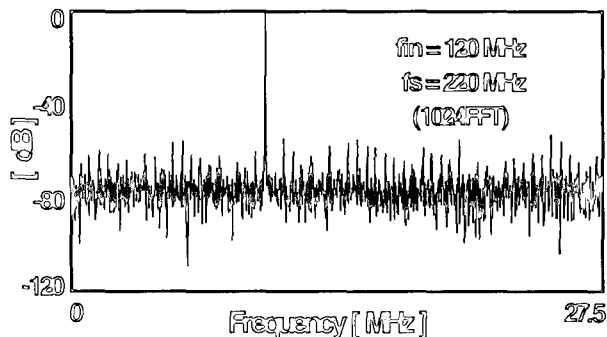


그림 8. 측정된 신호 스펙트럼
 Fig. 8. Measured signal spectrum.

+0.71 LSB 이내에 있다.

그림 8은 120 MHz 입력 주파수, 220 MS/s 샘플링 주파수에서 측정된 전형적인 신호 스펙트럼을 나타낸

다. 디지털 출력은 220 MS/s로 동작하는 ADC 내부의 온-칩 decimator를 사용하여 220 MHz의 클럭을 1/4 다운 샘플링하여 측정하였다.

그림 9는 시제품의 측정된 동적 성능을 나타내었다. 그림 9 (a)는 샘플링 주파수를 50 MS/s에서 220 MS/s 까지 증가시킬 때 10 MHz의 차동 입력 주파수에서의 SNDR 및 spurious-free dynamic range (SFDR)를 나타낸 것이다. SNDR과 SFDR은 샘플링 주파수가 220 MS/s 일 때 각각 42 dB, 53 dB 수준으로 유지되는 것을 볼 수 있다. 이러한 결과는 칩의 코어에서 본딩 패드까지의 가로, 세로 각각 1.1 mm, 1.2 mm 인 연결 라인에 존재하는 기생 캐패시턴스와 인덕턴스의 영향에 기인한다. 제안하는 ADC는 여러 블록으로 이루어진 칩의 중요한 코어셀로 집적되어 전원, 입력 및 출력을 제외하고는 내부로 짧게 연결될 것이기 때문에 최대 동작 주파수에서 ADC의 실제 동적 성능은 더욱 향상될 것으로 예상된다.

그림 9 (b)는 220 MS/s의 최대 샘플링 주파수에서, 입력 주파수를 증가시킬 때의 SNDR과 SFDR을 나타낸다. 입력 신호의 주파수가 Nyquist 주파수까지 증가할 때, SNDR과 SFDR이 각각 41 dB, 54 dB 이상을 유지하고 있는 것을 알 수 있다. 제안하는 ADC의 측정 결과는 표 1에 요약하였다.

표 1. 시제품 ADC 성능 요약

Table 1. Performance summary of the prototype ADC.

Resolution		8 bits
Max. Rate		220 MS/s
Process		0.25 um CMOS
Input Range		1 V _{p-p}
SNDR	at 200 MS/s	43.2 dB at 10 MHz, 42.5 dB at 110 MHz, 39.2 dB at 500 MHz
	at 220 MS/s	41.9 dB at 10 MHz, 40.8 dB at 110 MHz, 38.1 dB at 500 MHz
SFDR	at 200 MS/s	54.0 dB at 10 MHz, 51.6 dB at 110 MHz, 52.0 dB at 500 MHz
	at 220 MS/s	52.8 dB at 10 MHz, 54.0 dB at 110 MHz, 49.0 dB at 500 MHz
DNL		-0.35 LSB / +0.43 LSB
INL		-0.82 LSB / +0.71 LSB
ADC Core Power		230 mW at 220 MS/s
Active Die Area		2.25 mm ² (= 1.5 mm × 1.5 mm)

V. 결 론

본 논문에서는 500 MHz의 높은 입력 대역폭을 갖는 온-칩 기준전압 CMOS 파이프라인 ADC를 제안하였다. 요구되는 8b 해상도와 220 MS/s의 동적성능을 얻기 위해 다음과 같은 네가지 주요 회로 설계기법이 제안 및 구현되었다.

첫째, 광대역 SHA를 구현하여 기존의 부트스트래핑 기법 없이 500 MHz의 높은 주파수를 가지는 입력 신호를 다룰 수 있었다. 둘째, 기준전압 회로에 집적한 온-칩 RC 저역 필터는 고속 동작 시 발생하는 잡음을 효과적으로 감쇄시키고, 기준전압의 정착시간을 감소시켰다. 기준전압 발생기에 집적된 온-칩 PMOS 캐패시터는 항상 강 반전 영역에서 동작하여 일정한 캐패시터 값을 유지할 수 있도록 드레인-소스와 게이트에 각각 VDD와 기준전압의 출력 노드를 연결하였다. 셋째, 7000 pF 수준의 온-칩 PMOS decoupling 캐패시터는 고속 스위칭 동작에서 발생하는 잡음과 EMI 문제를 최소화시켰다. 마지막으로, MCS 기법은 MDAC에서 요구되는 단위 캐패시터 수를 50 %로 줄여 해상도와 동작 속도를 동시에 크게 향상시키며 고속에서의 MDAC 증폭기의 부하 영향을 최소화하였다.

위의 회로 설계 기법들을 적용하여 구현된 시제품 ADC는 110 MHz 입력 주파수와 220 MS/s의 샘플링 주파수에서 SNDR와 SFDR이 각각 41 dB, 54 dB 이며, 500 MHz 입력 주파수와 220 MS/s의 샘플링 주파수에서 SNDR와 SFDR은 각각 38 dB, 49 dB의 성능을 보

여주었다. 칩 면적은 2.25 mm²이고, 2.5 V의 전원 전압 및 220 MS/s의 샘플링 주파수에서 230 mW의 전력을 소모하였다.

참 고 문 헌

- [1] Y. T. Wang and B. Razavi, "An 8-bit 150-MHz CMOS A/D Converter," *IEEE J. Solid-State Circuits*, vol. 35, pp. 308-317, Mar. 2000.
- [2] G. Feygin, K. Nagaraj, R. Chattopadhyay, R. Herrera, I. Papantonopoulos, D. Martin, P. Wu and S. Pavan, "A 165 MS/s 8-bit CMOS A/D converter with background offset cancellation," in *Proc. IEEE Custom Integrated Circuits Conf.*, May 2001, pp. 153-156.
- [3] S. S. Kim, and M. K. Song, "An 8-bit 200 MSPS CMOS A/D converter for analog interface module of TFT-LCD driver," in *Proc. IEEE Int. Symp. Circuits and Systems*, vol. 1, May 2001, pp. 528-531.
- [4] J. Vandenbussche, K. Uyttenhove, E. Lauwers, M. Steyaert and G. Gielen, "A 8-bit 200 MS/s Interpolating/Averaging CMOS A/D Converter," in *Proc. IEEE Custom Integrated Circuits Conf.*, May 2002, pp. 445-448.
- [5] K. Oulton, R. Neff, A. Muto, W. Liu, A. Burst-ein, and M. Heshami, "A 4GSample/s 8b ADC in 0.35 um CMOS," in *ISSCC Dig. Tech. Papers*, Feb. 2002, pp. 126-127.
- [6] K. Irie, N. Kusayanagi, T. Kawachi, T. Nishibu, and Y. Matsumori, "An 8b 500 MHz full Nyquist cascade A/D converter," in *Symp. VLSI Circuits Dig. Tech. Papers*, June 1999, pp. 77-78.
- [7] K. Poulton, K. L. Knudsen, J. Kerley, J. Kang, J. Tani, E. Cornish, and M. VanGrouw, "An 8-GSa/s 8-bit ADC System," in *Symp. VLSI Circuits Dig. Tech. Papers*, June 1997, pp. 23-24.
- [8] R. H. Walden, "Analog-to-digital converter survey and analysis," *IEEE J. Solid-State Circuits*, vol. 17, pp. 539-550, Apr. 1999.
- [9] S. M. Yoo, T. H. Oh, J. W. Moon, S. H. Lee, and U. K. Moon, "A 2.5V 10b 120 Msample/s CMOS pipelined ADC with high SFDR," in *Proc. IEEE Custom Integrated Circuits Conf.*, May 2002, pp. 441-444.
- [10] A. M. Abo and P. R. Gray, "A 1.5-V, 10-bit, 14.3-MSample/s CMOS Pipeline Analog-to-Digital Converter," *IEEE J. Solid-State Circuits*, vol. 34, pp. 599-606, May 1999.
- [11] M. J. Kim, H. S. Yoon, Y. J. Lee, and S. H.

Lee, "An 11b 70 MHz 1.2 mm² 49 mW 0.18 um CMOS ADC with on-chip current /voltage references," in Proc. Eur. Solid-State Circuits Conf., Sep. 2002, pp. 463-466.

[12] S. H. Lewis and P. R. Gray, "A Pipelined 5-MSample/s 9-bit Analog-to-Digital Converter," IEEE J. Solid-State Circuits, vol. 22, pp. 954-961, Dec. 1987.

저 자 소 개



이 명 진(학생회원)
2003년 서강대학교 전자공학과 학사.
2003년~현재 서강대학교 전자공학과 석사과정.
<주관심분야: 고속 데이터 변환기(A/D, D/A) 설계, 집적회로 설계, 혼성모드 회로 설계 등임.>



배 현 희(학생회원)
2002년 서강대학교 전자공학과 학사.
2004년 서강대학교 전자공학과 석사.
2004년~현재 LG 전자 디지털 미디어 연구소 연구원.
<주관심분야: 고속 데이터 변환기(A/D, D/A) 설계, 집적회로 설계, 혼성모드 회로 설계 등임.>



배 우 진(학생회원)
2002년 한성대학교 정보통신공학과 학사.
2003년~현재 서강대학교 전자공학과 석사과정.
<주관심분야: 고속 데이터 변환기(A/D, D/A) 설계, 집적회로 설계, 혼성모드 회로 설계 등임.>



조 영 재(학생회원)
1999년 서강대학교 전자공학과 학사.
2003년 서강대학교 전자공학과 석사.
2003년~현재 서강대학교 전자공학과 박사과정.
<주관심분야: 고속 데이터 변환기(A/D, D/A) 설계, 집적회로 설계, 혼성모드 회로 설계 등임.>



이 승 훈(평생회원)
1984년 서울대학교 전자공학과 학사.
1986년 서울대학교 전자공학과 석사.
1991년 미 Illinois 대 (Urbana-Champaign) 공학박사.
1986년 KIST 위촉 연구원.
1987년~1990년 미 Coordinated Science Lab (Urbana) 연구원.
1990년~1993년 미 Analog Devices 사 senior design engineer.
1993년~현재 서강대학교 전자공학과 교수.
<주관심분야: 집적회로 설계, 데이터 변환기(A/D, D/A) 설계 등임.>



김 영 록(정회원)
1987년 서강대학교 전자공학과 학사.
1991년 미 Polytechnic 대 (NewYork) 석사.
1993년 미 Polytechnic 대 (NewYork) 공학박사.
1998년~1999년 미 AT&T(Bell) 연구소, Florham Park(NJ) 연구원.
1999년~2003년 InterDigital Communication Corp. 연구원.
2003년~현재 서강대학교 전자공학과 조교수.
<주관심분야: VLSI 설계, 무선통신모뎀용 DSP 알고리즘, Array Signal Processing, 채널 추정 알고리즘, 채널 등화기 등임.>