

논문 2004-41SD-9-13

Data Weighted Averaging을 이용한 3차 멀티비트 Sigma-Delta 변조기

(The Third-Order Multibit Sigma-Delta Modulator with Data Weighted Averaging)

김 선 홍*, 최 석 우**, 조 성 익**, 김 동 용**

(Sun-Hong Kim, Seok-Woo Choi, Sung-Ik Cho, and Dong-Yong Kim)

요 약

본 논문에서는 DWA(Data Weighted Averaging) 방식의 sigma-delta 변조기에서 피드백 지연시간을 최적화 할 수 있는 DWA 구조의 블록도 및 타이밍도를 제안한다. 변조기 설계를 위하여 MATLAB 모델링으로 적분기의 최적 계수를 설정한 후 변조기의 비이상성을 고려하여 완전 차동 SC 적분기, 피드백 DAC, 9-레벨 양자화기, DWA를 설계하였다. 각 블록을 이용하여 실현된 3차 멀티비트 sigma-delta 변조기는 0.35 μ m CMOS 공정으로 칩으로 제작하였고, 동작 특성은 1.2Vp-p 825kHz의 입력 신호, 샘플링 주파수 52.8MHz에서 75dB의 SNR과 74dB의 DR을 가진다.

Abstract

This paper presents block and timing diagrams of the DWA(Data Weighted Averaging) to optimize a feedback time delay of the sigma-delta modulator. Through the MATLAB modeling, the optimized coefficients of the integrators are obtained to design the modulator. The fully differential SC integrators, feedback DAC, 9-level quantizer, and DWA are designed by considering the nonideal characteristics of the modulator. The designed third-order multibit modulator is fabricated in a 0.35 μ m CMOS process. The modulator achieves 75dB signal-to-noise ratio and 74dB dynamic range at 1.2Vp-p 825kHz input signal and 52.8MHz sampling frequency.

Keywords : sigma-delta modulator, data weighted averaging, multibit, noise-shaping.

I. 서 론

Sigma-delta 변조 기법은 저주파수 고해상도 분야에 주로 사용 되었으나 최근에는 광대역 유무선 송수신기 분야 등에 까지 응용 되고 있다.^[1] 광대역 통신 시스템에 응용하기 위해서는 변조기는 수 MHz 이상의 신호 대역을 가져야 하며 MOS 트랜지스터의 제한된 주파수 대역 특성 때문에 낮은 OSR(oversampling ratio)에서

고해상도를 얻어야 한다. 그러므로 변조기의 성능지수인 DR(Dynamic Range)을 높이기 위해서는 OSR 대신에 고차 루프 구성과 양자화기의 비트를 올리는 두 가지 방법이 연구되고 있다. 차수를 높이는 방법으로 MASH 구조와 양자화 비트를 올리는 방법으로 멀티비트 구조가 변조기 설계에 사용되는 추세이고 차수와 비트를 동시에 올리는 방법도 제안되고 있다.^[2,3,4]

MASH 구조는 안정된 2차 루프를 사용하여 해상도를 향상 시킬 수가 있지만 아날로그 회로를 설계함에 있어서 잡음 손실로 인하여 잡음이 디지털 잡음 보정 과정에서 완전히 제거되지 않고 변조기 DR에 손실을 가져오는 문제점이 있다.

멀티비트 구조는 비트 수가 증가하면 SNR(signal-to-noise ratio)이 1 비트 마다 6dB 증가하고, 다른 구조

* 정희원, 전북대학교 전기공학과
(Department of Electric Engineering, Chonbuk Univ.)

** 정희원, 전북대학교 전자정보공학부
(Division of Electronics and Information Engineering, Chonbuk Univ.)

접수일자: 2004년6월7일, 수정완료일: 2004년8월26일

에 비해 샘플링 커패시터를 작게 사용할 수가 있어 증폭기의 설계 시 소모 전력이 감소한다는 장점이 있다. 그러나 DAC의 구성 단위요소 오차 때문에 발생하는 비선형성이 변조기 성능을 저하시키는 문제점이 있다. 이를 개선하기 위해서 여러 보정회로를 이용하지만 회로 상에서 구현이 복잡하다. 다른 방법으로 DEM (dynamic element matching) 기법을 이용하면 DAC의 단위 요소들을 재배열함으로써 비선형성 잡음을 대역 이동시킬 수가 있다. DEM 기술은 CLA(clocked level averaging), ILA(individual level averaging), DWA 알고리즘 등이 있다. 특히 DWA 알고리즘은 신호대역의 잡음을 분산시키는 역할 뿐만 아니라 신호대역의 잡음에 대해서 noise-shaping 특성을 가진다. 따라서 광대역 신호처리와 높은 샘플링 주파수에서 동작하는 변조기는 고속 동작하는 DWA의 설계가 중요하다.^[5,6,7,8]

본 논문에서는 비이상적인 성분을 고려한 Matlab 모델링을 바탕으로 SC 적분기, 피드백 DAC, 9-레벨 양자화기 설계에 있어서 [6]에서 회로구조를 응용하였고, 제안된 DWA 구조로 구성된 3차 멀티비트 sigma-delta 변조기를 설계하여 0.35 μ m CMOS 공정으로 칩 제작하였다. II장에서는 변조기 모델링을 통한 안정도와 성능 분석을 수행하였고, III장에서는 변조기의 구성 회로 설계 및 기존 방식보다 고속 동작이 가능한 DWA 구조를 제안하였다. 설계된 변조기의 시뮬레이션 및 측정 결과와 결론은 IV장과 V장에 제시하였다.

II. 변조기 모델링

1. 안정도 판별

구성된 변조기는 그림 1과 같이 3차 단일 루프 멀티비트로 구성하였다.^[6] 2차 단일 루프 변조기는 자체적으로 안정하지만 3차 이상의 구성은 루프 안정도 판별을 해야 한다. 이상적인 적분기 모델을 이용하여 각 이득 계수를 구하기 위해서 B_1 을 0.3으로 정하고 B_2, B_3 을 바꾸어가며 전체 SNR 특성을 구하면 그림 2와 같다. 이때 안정도 판별을 위한 3차 멀티비트 루프 특성방정식 (1)의 B_2, B_3 계수를 SNR이 87dB가 되는 $B_2=0.8, B_3=2$ 로 선택하면 근궤적은 그림 3과 같다.

$$1 + g \sum_{i=1}^3 \left(\prod_{j=i}^3 B_j \right) \left(\frac{z^{-1}}{1-z^{-1}} \right)^{4-i} \quad (1)$$

여기서 g 는 9-레벨 양자화기의 이득이다. 그림 3에서 안정성을 가질 조건은 최대 SNR 계수에서 g 는 0.45이

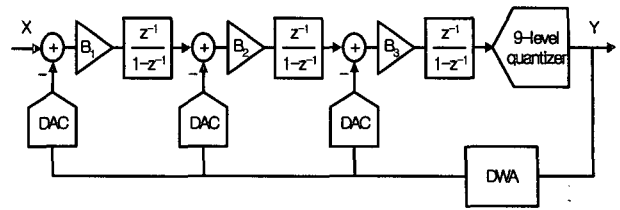


그림 1. 3차 다중비트 Sigma-delta 변조기 다이어그램
Fig. 1. Diagram of the third-order multibit sigma-delta modulator.

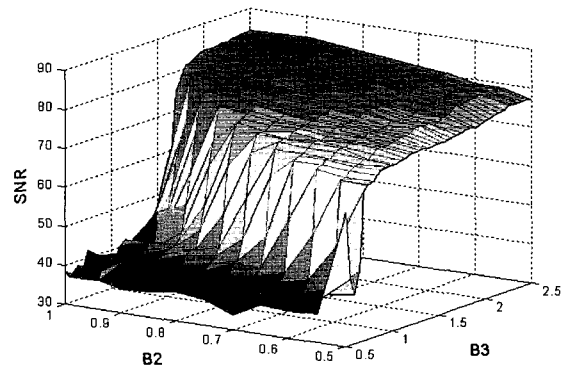


그림 2. 적분기 이득 상수에 따른 변조기 SNR 특성 ($B_1=0.3$)
Fig. 2. The SNR characteristic of the modulator according to the integrator gain coefficients ($B_1=0.3$).

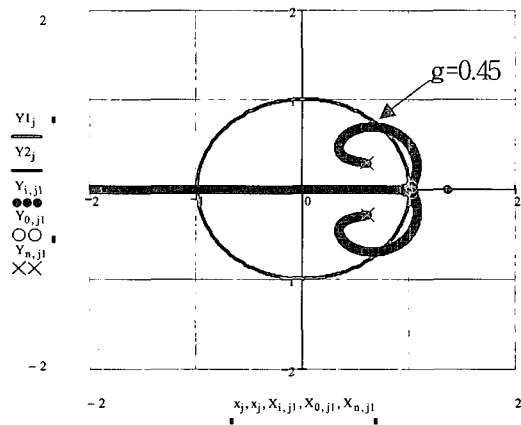


그림 3. 근궤적
Fig. 3. Root locus.

상이 되어야 한다. 그러므로 식(1)에서 제안된 양자화기의 이득 g 는 사용 입력범위 $\pm 1V$ 에서 0.5이상을 갖기 때문에 극점이 단위원상에 존재하여 안정된 동작을 할 수 있다.

2. 비이상성에 고려한 변조기 설계명세조건

변조기의 구성 요소 중 OTA(Operational Trans-conductance Amplifier), 스위치, 커패시터, 양자화기,

표 1. 변조기 설계명세조건
Table1. Design specification of modulator.

Characteristics	Permitted Range
Output swing	±1V
Amplifier gain	> 60dB
Slew rate of amplifier	> 150 V/μs
Offset of comparator	< 10 mV
Switch on resistor	< 400Ω
Capacitor ratio error	< 5 %

DAC 등은 비이상적인 특성을 갖는다. 본 논문에서는 Behavioral 시뮬레이션^[9]을 통하여 변조기가 이상적 특성에 근접하도록 비이상성을 고려한 설계명세조건을 표 1과 같이 설정하였다. 이와 같은 설계명세조건을 만족하는 경우 최대 SNR은 87dB를 얻을 수 있다.

III. 회로 설계

1. 적분기와 DAC 설계

그림 4는 스위치드-커패시터(Switched-capacitor: SC) 적분기와 피드백 DAC이다. 그림에서 ph1, ph2, ph1d, ph2d는 비중첩(non-overlapping) 클록이고 동작 원리는 다음과 같다. ph1이 "1" 동안에 입력신호는 8개의 단위 커패시터 C_{s1} 에 샘플링 되고 ph2가 "1"일 때 충전된 샘플링 전하량은 ph2 · F_i 제어신호에 의해서 기준 신호 전압 V_{r+} , V_{r-} 과 연결됨으로 적분동작과 DAC 동작을 동시에 수행한다.

설계된 적분기는 DAC 커패시터와 샘플링 커패시터 C_{s1} 를 공유하도록 하여 커패시터 면적을 1/2로 감소시킬 수 있도록 하였다. 또한 완전 차동구조를 적용하여 SNR을 향상하였고, charge injection에 의한 왜곡을 줄일 수 있도록 상보형 스위치를 사용하였다. 스위치 온 저항은 비이상성을 고려하여 250Ω으로 설정하였다.

적분기를 구성하는 OTA 설계에 있어서 전력소모를 줄이기 위해서는 커패시터 부하를 줄여야 하지만 반대로 신호대역의 kT/C 잡음을 줄이기 위해서는 적분기의 샘플링 커패시터가 커져야 한다. kT/C 잡음에 대한 샘플링 커패시터는 식(2)와 같이 주어진다.^[6]

$$C_{total} = \frac{8kT \cdot DR}{OSR \cdot V_{FS}^2} \quad (2)$$

여기서 k 는 볼츠만 상수, T 는 절대온도, V_{FS} 는 양자화기의 차동 입력이다.

본 연구에서 $OSR = 24$, $V_{FS} = 2V$, 그리고 kT/C 를 고려하여 DR을 충분히 96dB로 설정하면 식 (2)에 의해

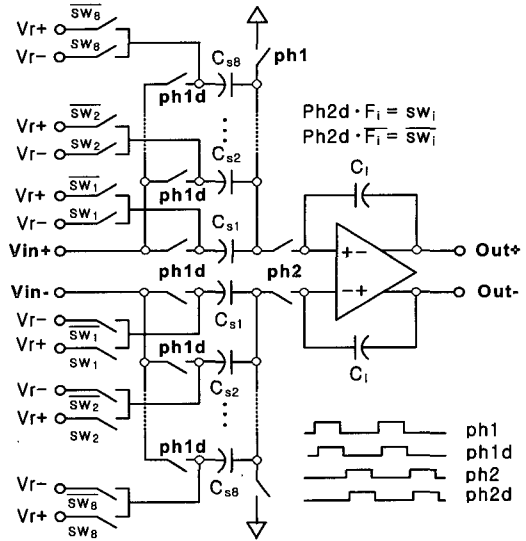


그림 4. SC 적분기와 피드백 DAC
Fig. 4. SC integrator and feedback DAC.

서 최소 샘플링 커패시터 C_{total} 은 1.4pF가 요구된다. 따라서 각각의 C_{s1} 를 200fF로 정하면 전체 입력 샘플링 커패시터는 1.6pF가 되고, 적분기 계수 $C_{total}/C_f=1/3$ 이므로 C_f 는 4.8pF가 된다.

그림 1과 같은 3차 변조기는 3개의 적분기를 필요로 하는데 첫 번째 적분기에 사용되는 OTA는 전체의 잡음 특성에 미치는 영향이 다른 OTA에 비해 크기 때문에 우수한 특성을 갖도록 설계해야 한다. 첫 번째 적분기용 OTA는 그림 5와 같이 설계하였다. OTA는 높은 이득을 얻기 위해 M4, M5, M18, M19로 구성된 gain boosting 기법을 사용하였고, 넓은 입력 범위를 얻기 위해서 입력단(M6, M7, M16, M17)을 rail-to-rail 기법으로 설계하여 ±1V에서의 입력 신호에 대해서 gm이 큰 변화가 없도록 트랜지스터의 W/L 을 조정하였다. 또한 완전차동 구조를 채택하여 잡음 특성을 개선하였고, 완전차동 구조에 필요한 dynamic common mode feedback(CMFB) 회로는 SC 구조로 설계하였다.

두 번째와 세 번째 적분기는 구조상 루프 자체에서 잡음이 억제되고, 적분기 커패시터 C_f 는 변조기 이득계수 B_2, B_3 때문에 각각 2pF과 0.8pF으로 감소한다. 따라서 두 번째와 세 번째 OTA는 첫 번째 OTA에 비해 높은 이득이 필요치 않아 gain boosting 회로를 제거하여 설계하였으며 출력 범위는 ±1V를 갖는다.

세 번째 OTA는 8개 비교기의 입력 측에서 바라본 커패시터 부하가 0.7pF이며 C_f 는 0.8pF이기 때문에 두 번째와 같은 OTA를 사용하였다. 첫 번째 OTA는 잡음 레벨을 고려하여 설계한 반면 나머지 OTA는 저 전력

표 2. OTA 성능

Table 2. Performances of OTA.

	Amp1	Amp2, 3
DC-gain[dB]	93	64
GB [MHz] ($C_L=6p$)	405	160
Phase Margin [Degree]	70°	60°
Output swing [V]	±0.85	±1
Slew rate [V/μs]	200	150

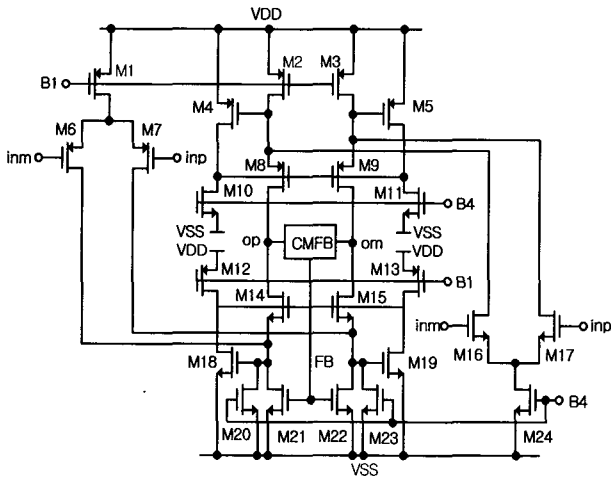


그림 5. Gain boosting 완전 차동 증폭기
Fig. 5. Gain boosting fully differential amplifier.

과 넓은 출력범위를 갖도록 하였다.

부하 커패시터를 6pF로 하여 HSPICE로 시뮬레이션 한 OTA의 성능은 표 2와 같고, 이는 변조기 비이상성 허용범위를 만족하기에 충분한 여유를 갖는다.

2. 비교기와 양자화기 설계

양자화기에 이용되는 비교기는 SC 적분기의 차동 출력과 기준전압을 비교하여 온도계 코드를 생성하도록 하여야 하고 큰 전압 이득, 빠른 동작속도, 저전력, 입력 단의 부하가 최소화 되도록 설계되어야 한다.

그림 6은 차동구조로 설계된 비교기이다. 그림에서 ph1d가 "0"인 동안에 out, outb는 "1"로 세팅되어 있고, 래치 루프는 M11, M12에 의해서 서로 차단되어 있다. ph2d가 "1"일 때 M14에 의해 발생하는 불균형은 ph2d가 하강 할 때 M13, M15에 의해서 재생(regeneration) 된다.

ph1d가 상승 할 때 M11, M12는 도통이 됨으로 재생된 차동 출력은 정제환 구성을 가지는 M4, M5에 의해 out, outb로 증폭되고 래치 된다.

그림 7의 플래쉬(Flash) 구조로 설계된 9-레벨 양자화기는 ph2d가 "1"일 때 입력신호 $vin+$, $vin-$ 을 샘플링 하고 ph1d가 "1"일 때 ph2d의 하강 시점을 비교하여 온

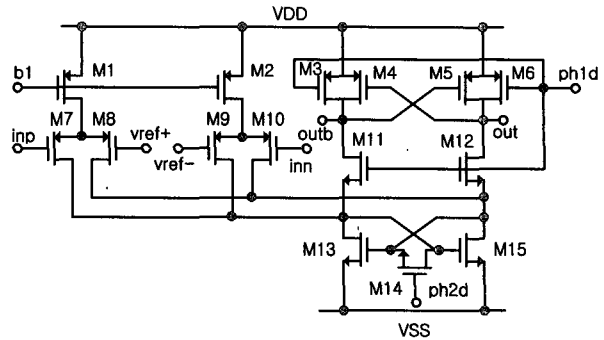


그림 6. 비교기
Fig. 6. The comparator.

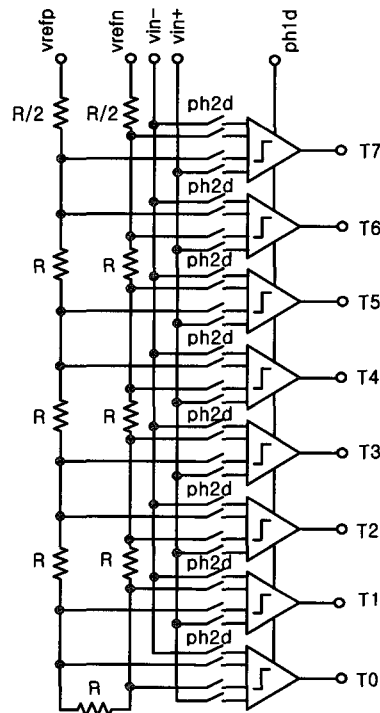


그림 7. 9-레벨 양자화기
Fig. 7. 9-Level quantizer.

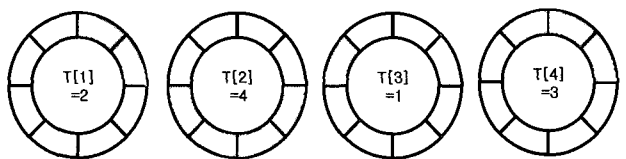
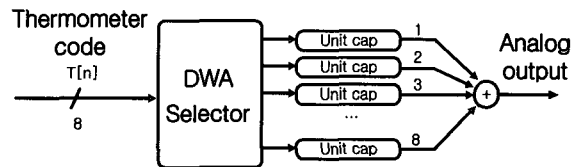


그림 8. DWA의 동작
Fig. 8. Operation of the DWA.

도계 코드를 생성한다.

양자화기에서 킱백(kickback) 현상에 의한 잡음을 줄

이기 위해서 비교기가 리셋된 ph2d 동안 입력 신호를 샘플링 하도록 하였다. 그리고 비교기의 비이상성인 오프셋(offset)이 변조기 특성에 영향을 미치지 않게 하기 위해서 비교기의 오프셋 전압은 6mV로 설계하였다.

3. DWA 설계

DAC의 커패시터 구성 요소 오차 때문에 발생하는 비선형성은 변조기의 잡음 성분을 증가시킨다. 이를 개선하기 위한 방법으로써 DEM 기법은 DAC의 커패시터 단위 요소들을 재배열함으로써 in-band 대역내의 비선형성 잡음을 out-band 대역으로 이동시킬 수가 있다.^[7]

그림 8은 DEM 기법 중 DWA 알고리즘이고, 원형에서 8개로 분할 된 것은 DAC의 단위 커패시터를 의미한다. 그림에서 양자화가 출력인 온도계 코드가 동일한 단위 커패시터를 반복 선택한다면 같은 성분의 오차로 인하여 변조기의 SNR 특성이 저하된다. 따라서 동일한 단위 커패시터를 계속적으로 선택하는 것을 막기 위해서 DWA는 매 클럭마다 새로운 시작 주소를 기억하고 그 시작점에서 단위 커패시터를 순서적으로 선택함으로써 평균적인 오차를 줄일 수가 있다. 예를 들면, 9-레벨 양자화기의 코드는 DWA selector에 의해서 재분배되어 DAC에 전달된다. 그림에서 온도계 코드가 T[n]=2, 4, 1, 3일 때 단위 커패시터는 1, 3, 7, 8 위치에서 순서적으로 선택되어 DAC에 전달된다.^[8]

하지만 변조기의 동작 클럭이 높아지면 온도계 코드 T[n]은 다음 출력 T[n+1]에서 적분기에 피드백 되어야 하기 때문에 높은 동작 주파수에서는 주기 감소로 빠른 신호 처리를 해야 한다. 1.1MHz의 신호대역을 가지고 24배의 OSR에서 52.8MHz의 클럭 주파수를 처리하기 위해서는 비중첩 구간을 제외한 8ns의 ph1 시간 안에 양자화기의 동작과 DWA 동작이 이루어져야 나머지 반 주기 ph2에서 적분 동작을 할 수 있다. 따라서 본 연구에서는 DWA가 짧은 클럭 주기 동안에 정상적으로 동작하기 위해서 적분기에 피드백 되는 신호의 지연시간을 줄임으로서 빠른 동작을 할 수 있는 개선된 DWA구조의 블록 다이어그램과 타이밍 다이어그램을 그림 9와 같이 제안하였다.

그림 9(b)의 타이밍 시점[①~⑤]에 따른 9(a)의 동작 원리는 다음과 같다.

① ph2에서 적분된 아날로그 신호를 ph2d가 "1"에서 "0"으로 변하는 순간에 9-레벨 양자화기 의해서 적분기의 출력을 샘플링 한다.

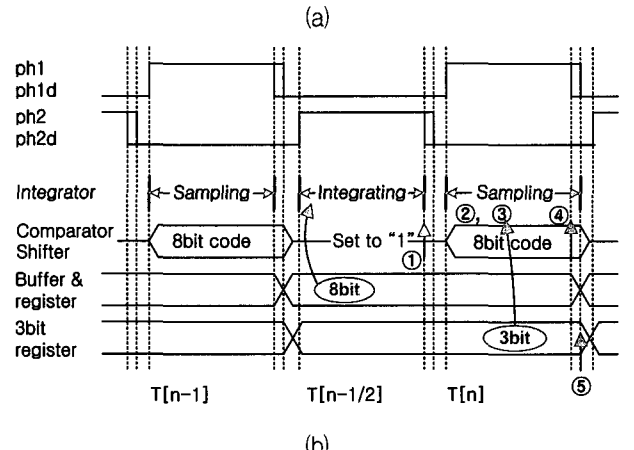
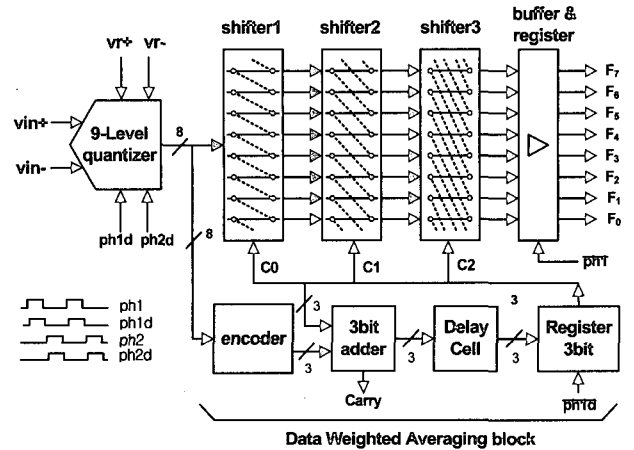


그림 9. DWA 구조 (a) 블록 다이어그램 (b) 타이밍 다이어그램

Fig. 9. DWA Structure (a) Block diagram (b) timing diagram.

② ph1d 신호에 의해서 샘플링 된 적분기의 출력이 비교기를 거쳐 8개 코드로 변환된다.

③ 비교기의 출력은 바로 shifter1, shifter2, shifter3를 통하게 되며 동시에 ph1d에 출력된 온도계 코드는 C0 C1, C2 조정 신호에 의하여 이동 없이 바로 전달되거나 각 한번 쉬프트, 두 번 쉬프트, 네 번 쉬프트를 수행 한다. 이는 조정 신호에 의해서 총 0~7번의 쉬프트를 선택 할 수 있다는 것을 의미한다.

④ Shifter를 통과한 온도계 코드는 ph2가 시작되기 전에 ph1 신호에 의해서 8-bit 버퍼에 저장한다.

⑤ 총 지연시간에 영향을 주지 않기 위해서 3-bit 메모리에서 출력되는 3단 shifter의 조정 신호는 양자화기 신호가 ph2d에 리셋 되어지기 직전인 ph1d 신호에 의해서 인코딩 된다. 이 출력은 3-bit의 현재 신호 T[n]과 이전 신호 T[n-1]시점인 ph1에서 쓰였던 shifter 조정 신호와의 합으로 표현되며, 다음 신호 T[n+1]인 ph1에 쓰일 새로운 shifter 시작 주소를 3-bit 레지스터에 저

장하게 된다.

ph1에서 그림 4의 적분기는 C_{st} 에 입력 신호를 충전하고, ph2일 때에 8-bit 온도계 코드를 사용하여 적분 동작을 한다. 따라서 ph2 신호에서 적분 동작을 시작할 때에 C_{st} 는 이미 DWA 출력 코드 Fi에 의해서 충전되어 있어야 한다. 또한 C_{st} 가 순환 동작을 하기 위해서는 현재 단위 커패시터의 시작점을 알 수 있도록 3-bit 메모리에 저장되어 있어야 한다.

기존의 [6][10]은 양자화기의 출력을 지연시간 후에 ph1 구간 내에서 latch 하기 때문에 타이밍 마진을 더 필요로 한다. 그러나 제안된 DWA 구조의 타이밍도와 블록도 동작에서는 ph1의 상승시간이 아닌 하강시점에서 latch 할 수 있도록 하고 shifter의 조정전압을 ph1 구간에서 유지 할 수 있도록 하여 안정된 동작과 더불어 타이밍 마진을 개선 할 수 있어 피드백 지연시간을 최소화 할 수 있도록 하였다. 또한 인코더와 Adder의 지연시간 마진을 충분히 확보하기 위해 지연 셀 이용하였다. ph1d 클럭 신호는 양자화기와 adder에 동시에 들어가지만 온도계 코드는 인코더, Adder, 지연 셀을 통과하기 때문에 덧셈 동작을 수행하도록 하였다.

IV. 시뮬레이션 및 측정 결과

1. 회로 시뮬레이션 결과

그림 10은 0.35 μ m 공정 파라미터로 SPICE 시뮬레이션 하였을 때 인코딩된 변조기의 3-bit 출력 결과이다. 시뮬레이션에 사용된 입력 신호 조건은 크기가 1.2Vp-p, 입력 주파수는 825kHz 그리고 샘플링 주파수는 52.8MHz이다. 8,192의 포인터에 대해서 해밍창(hanning window)을 이용하여 SNR을 구한 결과 최대 84dB를 구하였다. 그림 11의 Fi는 DWA에 입력된 온도계 코드에 의해 발생하는 출력이며 순환되는 부분을 "O"로 표시하였다. 52.8MHz의 클럭 주파수에서 제안된 타이밍과 블록에 의해서 온도계 코드가 순서적으로 선택되어지며 정상적으로 동작하였다.

2. 측정 결과

제안된 DWA 구조로 설계한 3차 멀티비트 sigma-delta 변조기는 Hynix 0.35 μ m 2P4M CMOS 공정을 사용하여 그림 12과 같이 칩 제작되었고, 칩 면적은 2mm \times 1.2mm이다.

Test board를 제작 시 칩 내부와 외부에 각각 바이

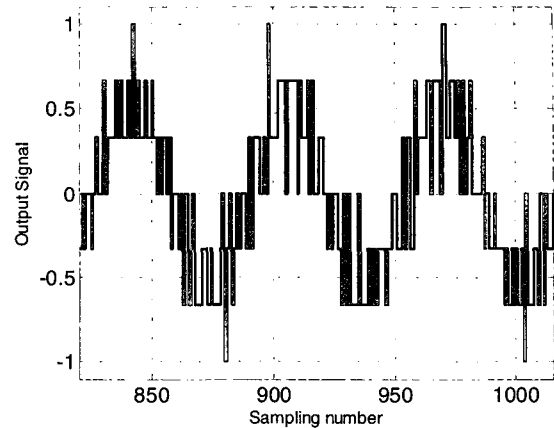


그림 10. Sigma-delta 변조기 출력
Fig. 10. Output of the sigma-delta modulator.

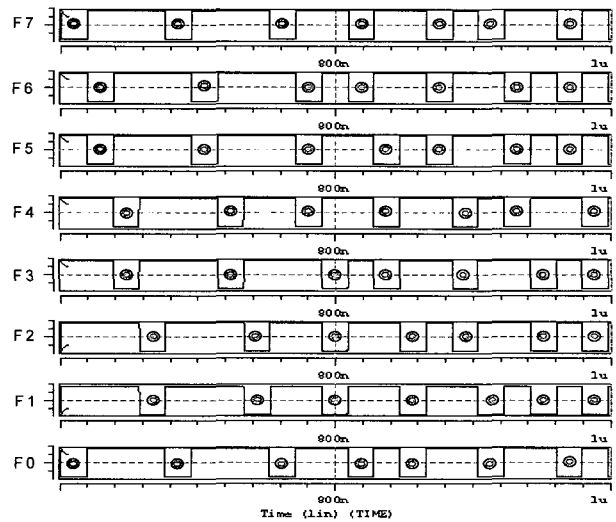


그림 11. 분산된 온도계 코드 출력
Fig. 11. Output of the scramble thermometer code.

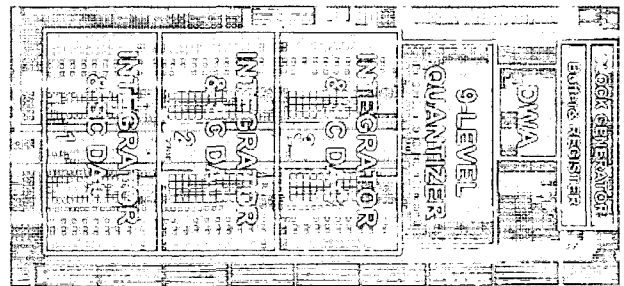


그림 12. 변조기의 칩 사진
Fig. 12. Photography of the modulator.

패스(bypass) 커패시터를 사용하여 전원잡음의 영향을 최소화 하였고, 바이어스 전류와 기준 전압은 칩 외부에서 공급하였다. PCB 기판은 4층으로 설계하여 기판 잡음을 감소 시켰고 고속 스위치 동작에 의한 디지털 잡음의 유입을 막기 위해서 아날로그 그라운드와 디지털 그라운드를 비드(bead)로 한 점 연결을 하였다.

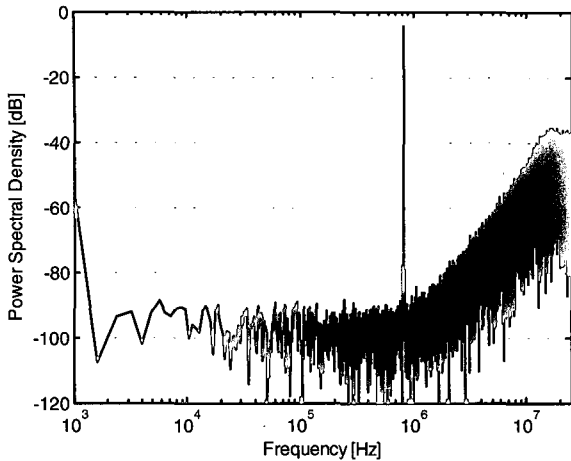


그림 13. 측정된 출력 스펙트럼
Fig. 13. Measured output spectrum.

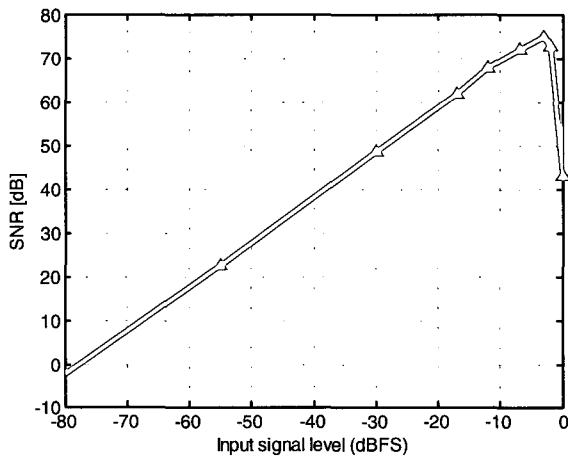


그림 14. 입력 크기에 대한 SNR
Fig. 14. SNR versus input amplitude.

입력 신호는 mutisource 2026(marconi instrument)를 사용하였고 single 입력을 differential 입력으로 만들기 위해서 AD847 칩을 사용하였다. 그림 13은 칩 제작된 변조기에 1.2Vp-p, 825kHz의 입력 신호, 52.8MHz의 클럭 주파수를 인가한 출력 스펙트럼이고, 입력크기에 따른 SNR은 그림 14과 같이 측정되었다. 출력 스펙트럼 측정은 변조기의 출력 신호를 logic analyzer(Agilent 1670A)를 사용하여 ph1 상승시간에 65,536 포인트 출력을 샘플링 하여 Matlab으로 FFT를 수행하였다.

52.8MHz 샘플링 주파수에서 입력 신호에 대한 최대 SNR은 75dB, DR은 74dB로 측정되었고, 시뮬레이션과 약 10dB 정도의 오차를 갖는다. 이러한 오차는 측정을 위해 제작한 PCB 회로와 테스트 보드에서 발생하는 아날로그 디지털 그라운드 환경, 홀(hole) 형태 소켓에 대한 영향, 디커플링 커패시터의 위치와 출력 핀의 부하 등과 같은 영향으로 noise floor가 증가하기 때문이다.

제안된 3차 DWA 멀티비트 sigma-delta 변조기의

표 3. 성능 요약

Table 3. Performance summary.

Technology	0.35 μ m CMOS 2P4M
Signal band	1.1MHz
Sampling frequency	52.8MHz
Peak SNR	75 dB
Dynamic range	74 dB
Power supply voltage	± 1.65
Power consumption	120mW
Area	2mm \times 1.2mm

측정 결과 표 3에 요약하였다.

V. 결 론

본 논문에서는 광대역 신호와 24배 오버샘플링에서 고주파수 동작하는 변조기의 특성을 높이기 위해서 멀티비트 양자화기 구조를 사용하였다. 이러한 구조에서 피드백 되는 지연시간을 최적화하는 DWA 구조의 블록 및 타이밍을 제안하였고, 52.8MHz에서 동작하는 멀티비트 sigma-delta 변조기를 설계하여 칩으로 제작하였다. 제안된 구조를 가지는 3차 3-bit sigma-delta 변조기의 칩 동작 특성은 52.8MHz의 샘플링 주파수에서 SNR은 최대 75dB, DR는 74dB로 12-bit의 해상도를 가졌고, ± 1.65 V 공급전원에서 120mW 전력을 소모하였다.

참 고 문 헌

- [1] I. Galton, "Delta-Sigma Data Conversion in Wireless Transceivers," *IEEE Transactions on Microwave Theory and Techniques*, vol. 50, no. 1, pp. 302-316, Jan. 2002.
- [2] A. Marques, V. Peluso, M. S. Steyaert, W. M. Sansen, "Optimal Parameters for $\Delta\Sigma$ Modulator Topologies," *IEEE Transactions on Circuit and Systems*, vol. 45, no. 9, pp. 1232-1241, Sep. 1998.
- [3] B. P. Brandt, B. A. Wooley, "A 50-MHz Multibit Sigma-Delta Modulator for 12-b 2-MHz A/D Conversion," *IEEE J. Solid-State Circuits*, vol. 26, pp. 1746-1756, Dec. 1999.
- [4] B. W. Cho, P. Choi, J. R. Choi, D. H. Kwon, B. K. Sohn, "A Second-Order Sigma-Delta Modulator with a Gain Scaling of ADC and a Simple Multibit DAC", *IEICE Trans. Fundamentals*, Vol. E83-A, no. 6. Jun. 2000.
- [5] J. Grilo, I. Galton, K. Wang, and R. Montemayor,

"A 12-mW ADC Delta-Sigma Modulator With 80dB of Dynamic Range Integrated in a Single-Chip Bluetooth Transceiver," *IEEE J. Solid-State Circuits*, vol. SC-37, pp. 271-278, Mar. 2002.

[6] Y. Greets, M. Steyaert, and W. Sansen, "A High-Performance Multibit $\Delta\Sigma$ CMOS ADC," *IEEE J. Solid-State Circuits*, vol. SC-35, pp. 1829-1840, Dec. 2000.

[7] F. Chen, and B. Leung, "A High Resolution Multibit Sigma-Delta Modulator with Individual Level Averaging," *IEEE J. Solid-State Circuits*, vol. SC-30, pp. 453-460, Apr. 1995.

[8] M. R. Miller, C. S. Petrie, "A Multibit Sigma-Delta ADC for Multimode Receivers," *IEEE J. Solid-State Circuits*, vol. SC-38, pp. 475-482, Mar. 2003.

[9] Category: delsig Toolbox, SD Toolbox [Online]. Available: <http://www.mathworks.com/>

[10] A. A. Hamoui and K. Martin, "Linearity enhancement of multibit $\Delta\Sigma$ modulator using pseudo data-weighted averaging," in Proc. *IEEE ISCAS*, pp. III 285-288, May 2002.

저 자 소 개



김 선 홍(정회원)
1997년 전북대학교 전기공학과
학사 졸업.
1999년 전북대학교 전기공학과
석사 졸업.
2000년~현재 전북대학교
전기공학과 박사과정.

<주관심분야: Oversampling ADC, SC 필터, PLL>



최 석 우(정회원)
1988년 전북대학교 전기공학과
학사 졸업.
1990년 전북대학교 전기공학과
석사 졸업.
1994년 전북대학교 전기공학과
박사 졸업.

1999-2001년 The Ohio State University, Post-Doc.
1996년~현재 전북대학교 전자정보공학부 부교수.
<주관심분야: 회로망합성, 아날로그 집적회로>



조 성 익(정회원)
1987년 전북대학교 전기공학과
학사 졸업.
1989년 전북대학교 전기공학과
석사 졸업.
1994년 전북대학교 전기공학과
박사 졸업.

1994년~2004년 Hynix 반도체 메모리 연구소
책임연구원
2004년~현재 전북대학교 전자정보공학부 교수.
<주관심분야: 저전압/고속 Graphic DRAM, ADC
/DAC, PLL/DLL >



김 동 용(정회원)
1967년 전북대학교 전기공학과
학사 졸업.
1973년 전북대학교 전기공학과
석사 졸업.
1985년 캐나다 마니토바대학교
박사 졸업.

1975년~현재 전북대학교 전자정보공학부 교수.
<주관심분야: 아날로그 집적회로, 회로및 시스템>