

논문 2004-41SD-11-1

RFIC를 위한 Nano-scale MOSFET의 Effective gate resistance 특성 분석

(Analysis of Effective Gate resistance characteristics in Nano-scale MOSFET for RFIC)

윤형선*, 임수*, 안정호***, 이희덕**

(Hyung-sun Yun, Su Lim, Jung-ho Ahn, and Hi-deok Lee)

요약

RFIC를 위한 Nanoscale MOSFET에서의 유효 게이트 저항을 직접 추출법으로 추출하여 다양한 게이트 길이에 대해 분석하였다. 추출된 유효 게이트 저항은 비교적 정확하면서 간소화된 모델을 통한 측정결과와 비교하여 10GHz 대역까지 잘 일치함을 확인하였다. 같은 공정기술로 제작된 소자들 중에서 reverse short channel 효과가 생기지 않는 긴 채널 MOSFET 소자의 경우에 일반적인 유효 게이트 저항에서와는 다른 인가전압 및 주파수 종속성을 가짐을 확인하였다. 특히, 문턱전압을 전후하여 주파수에 따라 상이한 결과를 나타내고 있으며, 게이트 인가전압이 문턱전압에 가까울 때 비정상적으로 큰 유효 게이트 저항값을 나타내었다. 이러한 특성은 직접추출법을 사용하는 RF MOSFET 모델링에 있어서 참고해야 할 중요한 특성이 될 것이다.

Abstract

Effective gate resistance, extracted by direct extraction method, is analyzed among various gate length, in nanoscale MOSFET for RFIC. Extracted effective gate resistance is compared to measured data and verified with simplified model. Extracted parameters are accurate to 10GHz. In the same process technology effect has a different kind of gate voltage dependency and frequency dependency compared with general effective gate resistance. Particularly, the characteristic of effective gate resistance before and after threshold voltage is noticeable. When gate voltage is about threshold voltage, effective gate resistance is abnormally high. This characteristic will be an important reference for RF MOSFET modeling using direct extraction method.

Keywords : Effective gate resistance, Direct extraction Method, sub 100nm CMOS, Nano CMOS, RF MOSFET

I. 서론

MOSFET 제조기술의 발달로 MOSFET 소자의 크기가 계속 감소하고 있으며, 현재에는 게이트 길이가

100nm 이하인 nanoscale MOSFET 소자에 대한 연구와 개발이 활발히 진행되고 있다.^[1] 이러한 CMOS 소자의 축소화에 따라 CMOS 소자의 성능이 매우 향상되어 channel length가 100nm급 MOSFET의 cut off frequency f_T 가 100GHz에 육박하면서 무선랜과 같은 고주파 대역 무선통신 단말기 제작에 실리콘 기반의 MOSFET 소자의 적용이 가능하게 되었다.^[2,3]

시장에 적용 가능한 실리콘 기반 RFIC 제작을 위해서는 RFIC의 기본이 되는 RF MOSFET의 특성 분석 및 성능 향상이 필수적이며, 설계에 적용 가능한 보다 정확한 MOSFET model의 개발이 미리 이루어져야 한다. 따라서, RF 대역에서 적용 가능한 모델의 개발은

* 정회원, 동부아남반도체
(Technology Center APD TEAM, DongbuAnam Semiconductor)

** 정회원, ***학생회원 충남대학교 전자공학과
(Department of Electronics Engineering, Chungnam University)

※ 본 연구는 과학기술부에서 추진하는 21세기 프론티어사업 중 테라급나노소자개발사업단과 IDEC지원으로 이루어졌음.

접수일자: 2004년5월6일, 수정완료일: 2004년10월28일

이미 활발히 진행되고 있으나, 100nm급 및 sub 100nm급 MOSFET 소자의 연구는 미비한 실정이다. 소자 파라미터 중에서도 유효 게이트 저항 성분은 고주파 대역에서의 성능 평가 지수 중 하나인 f_{MAX} 와 밀접한 관계가 있어, 모델링 뿐 아니라 성능 평가에서도 또한 중요한 파라미터이다.^[3] 특히 100nm급 MOSFET에서는 f_T 보다는 f_{MAX} 의 값이 훨씬 작아져서^[4] f_{MAX} 가 전체 소자의 성능을 좌우하게 되어서 f_{MAX} 에 직접적인 영향을 미치는 유효 게이트 저항의 추출은 매우 중요하다.

RF MOSFET에서 유효 게이트 저항의 추출은 게이트 폴리 저항의 면저항을 전송선 이론에 적용하여 게이트 저항을 추출하거나^[5,6], 채널 영역의 분포 저항을 non quasi static 지수를 사용하여 표현하는 Elmore 저항^[7,8], 비교적 단순화 된 모델을 사용하여 Z parameter 또는 Y parameter로 변환하여 직접 추출하는 직접추출 방법이 있다.^[9] 게이트 폴리 저항으로부터 유효 게이트 저항을 추출하는 방법은 게이트 전압에 따라 산화막을 통한 채널의 반전이라는 MOSFET의 고유 특성에 적용하기 부적합하며, 채널저항 성분을 추가로 추출하여 포함하여야만 타당한 의미를 갖게 된다. 그러나, MOSFET이 GHz 이상의 고주파 대역에서 동작할 때, 게이트 폴리 저항과 채널 저항은 산화막을 통해서 분포 저항의 형태로 나타난다. 이 때, 물리적인 형태는 게이트 폴리 저항과 산화막의 캐패시터 그리고, 채널 저항 성분이 대각선으로 나타나는 그림 1과 같은 복잡한 형태가 되어, 채널 저항만을 따로 추출하여 게이트 폴리 저항에 추가하는 방법은 실현에 있어 그 한계가 있다.

Elmore 저항의 경우, 채널 길이가 긴 소자에 대해서는 채널의 길이와 폭, 이동도의 유효값을 구하는 것은 어렵지 않으나, nanoscale MOSFET의 경우 유효 채널 길이 자체가 정확하게 추출하기 어렵고, 속도 포화로 인하여 유효 이동도 역시 정확한 추출이 어렵다. 마스크를 기준으로 하는 채널의 길이와 추출된 채널의 길이가 수십%의 차이가 있다는 것 역시 이 방법의 신뢰성을 저하시킨다.^[10]

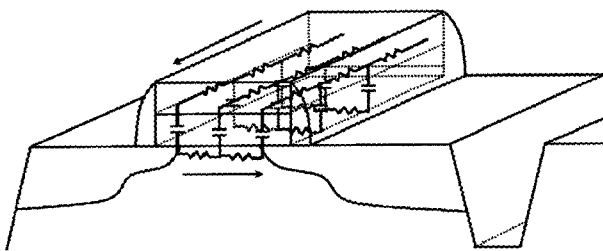


그림 1. 게이트 폴리 저항과 채널 저항
Fig. 1. Gate poly resistance and channel resistance.

이전의 논문들에서는 비교적 channel length가 긴 MOSFET을 통하여 실험하였으나, 본 연구에서는 현재 Logic 회로의 주류가 되는 130nm급 MOSFET을 RF회로에 맞도록 finger type 및 GSG PAD로 수정한 MOSFET의 측정데이터로부터 유효게이트 저항을 직접 추출하여 주파수 및 전압 종속성을 관찰하였다. 특히 RF CMOS 회로에서는 minimum channel length를 갖는 MOSFET 뿐만 아니라 load 역할을 위한 long channel MOSFET도 사용되므로, 다양한 gate length의 MOSFET에서 유효 게이트 저항을 분석하였다. 또한 다양한 gate 전압이 소자에 인가될 수 있으므로 gate 전압에 따른 유효 게이트 저항도 분석하였다. 분석 결과, 게이트 length에 따른 유효 게이트 저항의 의존성이 달라짐을 파악할 수 있었으며, 이에 따라 다양한 게이트 길이에 대해 소자들의 유효전압을 동시에 분석하는 것이 중요함을 알 수 있었다.

II. 게이트 길이에 따른 유효 게이트 저항

실험에 사용한 MOSFET 소자는 STI(Shallow Trench Isolation)와 Retrograde Twin well, dual oxide 그리고, CoSi2 기술이 적용된 0.13 μ m CMOS 공정을 이용하여 제작되었다. 게이트 저항의 감소를 갖도록 multi finger구조로 layout 하였으며, 소자의 정확한 특성을 분석하기 위해 Pad등에 의한 parasitic 효과를 제거할 수 있도록 그림 2와 같은 open, short test pattern을 사용하여 De-embedding 하였다.

유효 게이트 저항은 측정된 S parameter들을 De-embedding한 후, Y parameter로 변환하여 추출하였다.^[11] 추출된 유효 게이트 저항의 검증은 위하여 그림 3과 같은 등가회로의 파라미터를 추출하여^[12] 시뮬레이션 과정을 거쳐 측정결과와 비교하였다.

등가회로의 파라미터 값은 $V_{GS}=0.9V$, $V_{DS}=1.2V$ 의 포

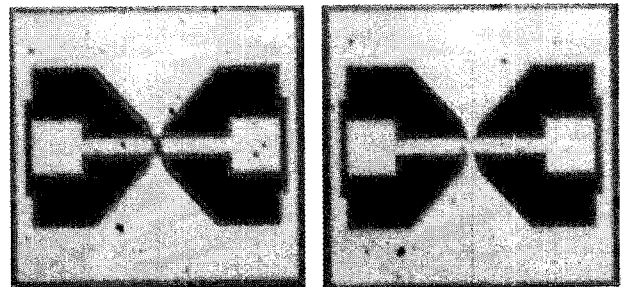


그림 2. De-embedding을 위한 open short pattern
Fig. 2. Open short pattern for De-embedding.

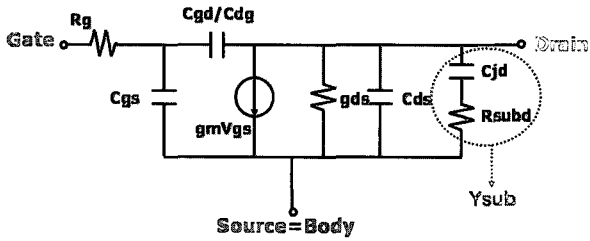
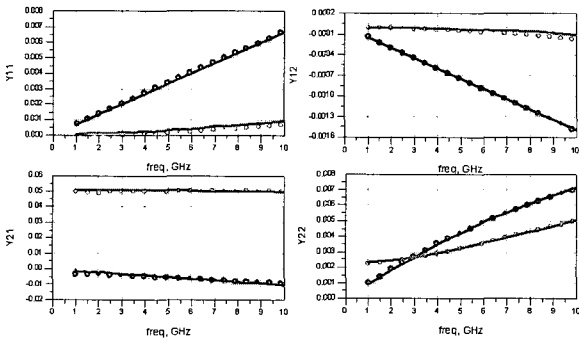
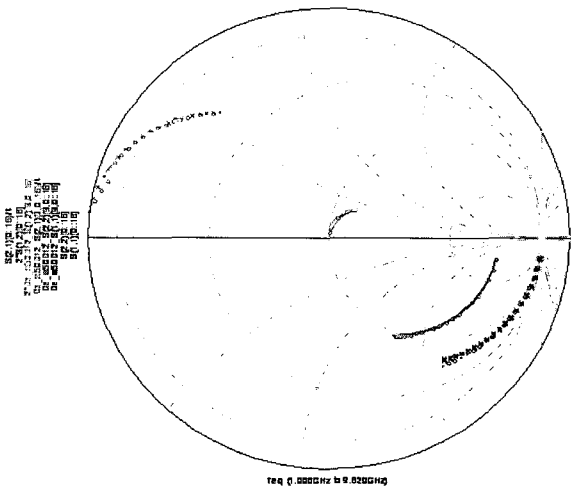


그림 3. 유효 게이트 저항의 검증을 위한 등가회로
Fig. 3. Equivalent circuit for verifying of effective gate resistance.



(a) Y parameters (\bullet : real, \circ : imaginary)



(b) S parameters (line : simulated, circle : measured)

그림 4. 추출된 결과와 측정값의 비교
(W/L = $5\mu\text{m} \times 10/0.13\mu\text{m}$)

Fig. 4. Extracted results vs. measured data.
(W/L = $5\mu\text{m} \times 10/0.13\mu\text{m}$)

화영역에서 추출하였으며, 이것을 등가회로에 넣어서 시뮬레이션 하여 측정데이터와 비교한 결과를 그림 4와 같이 얻었다. 10GHz까지 잘 맞음을 확인하였다. 설계에서는 여러 변수를 고려하여 f_T 의 1/10정도인 주파수 대역까지 사용하므로 10GHz라는 주파수는 실제 적용에 있어 타당한 주파수라 할 수 있다.

RF MOSFET의 고주파 특성을 살펴보기에 앞서 게

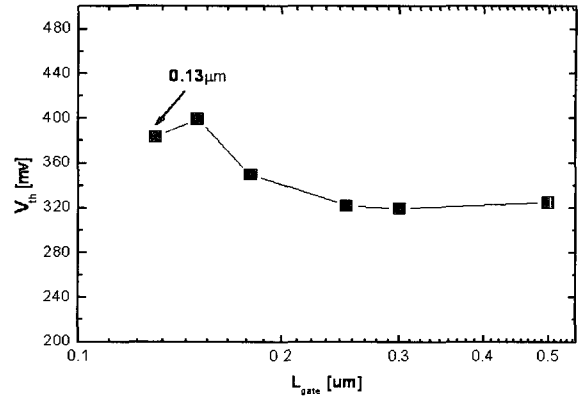
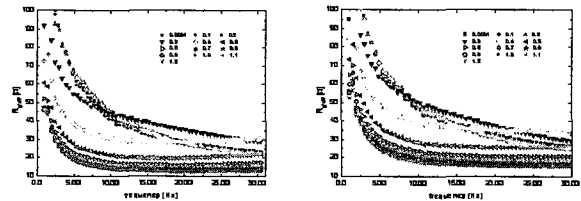


그림 5. 게이트 길이, L_{gate} 에 따른 문턱전압
Fig. 5. Threshold voltage of MOSFETs with different a gate length, L_{gate} .



(a) $V_{DS} = 0V$

(b) $V_{DS} = 1.2V$

그림 6. 게이트 전압 및 주파수에 따른 유효 게이트 저항 ($L_{gate} = 0.5\mu\text{m}$)

Fig. 6. Effective gate resistances with different V_{GS} and frequency ($L_{gate} = 0.5\mu\text{m}$).

이트 길이에 따른 Reverse Short Channel Effect (RSCE) 및 Short Channel Effect(SCE)를 살펴보기 위해 문턱전압을 측정하여 그림 5와 같이 게이트 길이에 따른 변화를 확인하였다. 게이트 길이 $0.25\mu\text{m}$ 이하에서 RSCE가 나타나며, 100nm 근처에서 SCE가 나타남을 확인하였다.

추출된 유효 게이트 저항은 그림 6에서 보이는 바와 같이 드레인 전압에는 많은 영향을 받지 않고, 게이트 전압 및 주파수에 따라 큰 변화를 가짐을 확인할 수 있다. 그림 6은 게이트 길이가 $0.5\mu\text{m}$ 일 때, 드레인 전압을 0V와 1.2V에 대해서 각각 게이트 전압을 0.0001V부터 1.2V까지 변화시키면서 주파수에 따른 유효 게이트 저항을 관찰 한 것이다.

여기서 주목할 점은 문턱 전압을 기준으로 추출된 유효 게이트 저항의 값이 주파수 및 게이트 길이에 따라 상이한 결과를 갖는다는 것이다. 우선 주파수에 따른 의존성을 살펴보면, 게이트 인가전압이 문턱전압보다 높은 경우에는 약 10GHz 이후부터 안정된 값은 갖는 반면 문턱전압보다 낮은 전압에서는 주파수가 증가함에 따라 계속 감소하는 특성을 나타내고 있다. 이러한 특

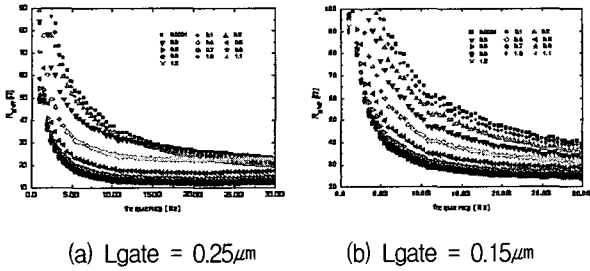


그림 7. 게이트 길이에 따른 유효 게이트 저항
Fig. 7. Effective gate resistance with different gate length.

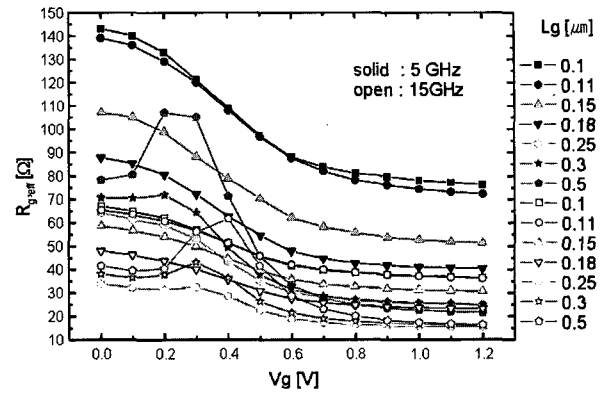
성은 주파수에 따라 안정된 값을 취해서 모델에 사용하는 추출 방법에서는 심각한 오류를 가져올 수 있다. 왜냐하면, 문턱 전압보다 낮은 인가 전압에 대한 모델링의 경우 측정 주파수 범위에 따라 안정화되지 않은 값을 취할 수 있기 때문이다.

게이트 길이에 따른 유효 게이트 저항 의존성을 살펴보면, 앞서와 같은 특성이 RSCE가 나타나는 게이트 길이의 특성과 관련을 가짐을 확인 할 수 있는데, 이는 게이트 길이가 0.25 μm 와 0.15 μm 인 경우를 비교함으로써 확인 할 수 있다. 그림 7에서 보이는 바와 같이 RSCE가 나타나는 0.15 μm 에서는 그 이상의 gate length에서와는 달리 유효 게이트 저항 값이 문턱전압에 상관없이 주파수에 따라 감소하는 특성을 확인 할 수 있었다.

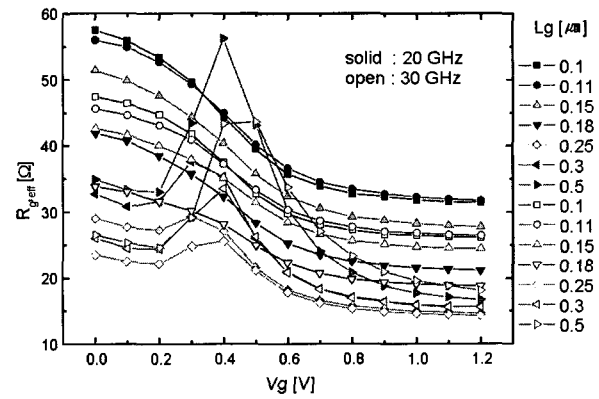
III. 유효 게이트 저항의 전압 의존성

유효 게이트 저항의 주파수 및 인가 전압에 따른 특성은 인가 전압에 따른 변화를 살펴보면 보다 확실한 변화를 확인 가능하다. 일반적으로 10GHz 내외의 주파수에서 비교적 일정한 값을 취하는 직접추출법을 고려하여 5GHz, 15GHz, 20GHz 그리고, 30GHz 에서 각각 유효 게이트 저항을 추출하였으며, 결과를 그림 8에서와 같이 비교하였다. 15GHz 이상의 주파수인 경우에는 추출값이 주파수에 따라 큰 차이를 보이지 않으므로 안정되었음을 확인 할 수 있다.

공정 기술인 0.13 μm 전후의 게이트 길이를 갖는 소자에서는 게이트 인가전압에 따른 경향성을 잘 나타내고 있는 반면, 채널 길이가 긴 소자의 경우 낮은 게이트 전압에서는 비교적 높은 값을 나타내고 있으며, 문턱 전압 근처에서는 가장 높은 값을 갖는다. 이러한 특성은 유효 게이트 저항이 비교적 안정된 20GHz와 30GHz에서도 똑같이 나타남으로써 단순한 주파수에 따른 안정성 문제와는 별도로 생각해야 한다.



(a) 추출한 주파수 : 5GHz, 15GHz



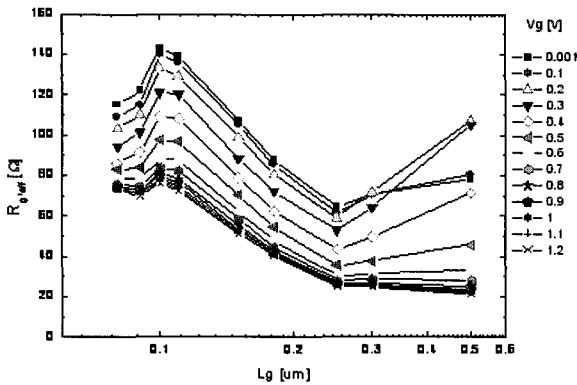
(b) 추출한 주파수 : 20GHz, 30GHz

그림 8. 서로 다른 주파수에서 추출한 유효 게이트 저항

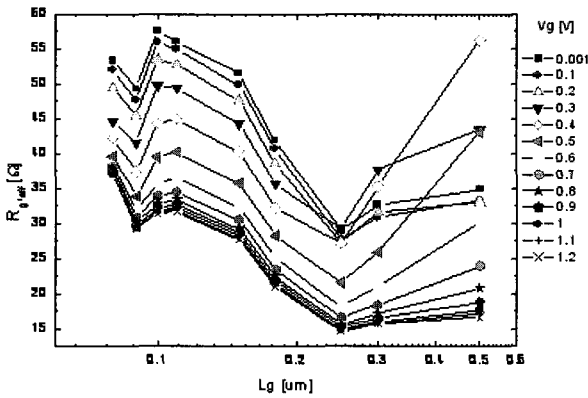
Fig. 8. Effective gate resistance extracted at different frequencies.

따라서, MESFET에서 사용되는 cold FET의 파라미터 추출법^[13]은 MOSFET 소자에 그대로 적용하였을 경우 오차를 포함한다는 것을 확인 할 수 있다. Cold FET 파라미터 추출법은 드레인과 게이트의 전압이 모두 0V로 고정되었을 때, 등가회로에서 Gm과 rds가 없어짐으로써 간단하게 저항 성분을 추출하는 것을 말한다. 그러나, short channel MOSFET 소자의 특성상 게이트 전압이 0V인 경우에도 채널의 장벽이 완전히 off로 동작되지 않으며, 이러한 특성은 nanoscale급의 짧은 채널 길이를 갖는 소자의 경우 특히 심하게 나타난다. 따라서, 등가회로부터 Gm을 제거하고 고려할 수 있는 cold FET 방법은 MOSFET의 경우 accumulation 이후 flatband 전압부터 적용 가능하다.

게이트 길이에 따른 유효 게이트 저항의 증감은 그림 9에서 확인할 수 있다. RSCE가 나타나는 지점부터 채널 길이가 짧아짐에 따라 저항값이 증가함을 확인할 수 있다. 유효 게이트 저항 성분에 있어서 게이트 폴리



(a) 추출 주파수 : 5 GHz



(b) 추출 주파수 : 20 GHz

그림 9. 게이트 길이에 따른 유효 게이트 저항 변화
Fig. 9. Effective gate resistance characteristics of MOSFETs with different gate length.

저항이 주요하다면, 전체적으로 채널 길이가 짧아짐에 따라 저항 성분은 증가하는 경향성을 가져야 하지만, $0.5\mu\text{m}$ 에서부터 $0.25\mu\text{m}$ 까지는 거의 변화가 없거나 오히려 감소하는 특성을 확인 할 수 있다. 또한, $0.1\mu\text{m}$ 이하에서도 게이트 길이가 감소함에 따라 유효 저항이 감소하는 현상이 나타나고 있다. 따라서 유효 게이트 저항은 폴리 저항보다는 채널의 inversion 정도에 따른 영향을 주로 받으며, RSCE가 나타남에 따라 채널의 문턱전압이 높아지는 영향이 그대로 나타남을 알 수 있다.

IV. 결 론

본 논문에서는 GHz 대역에서 응용 가능한 nanoscale RF MOSFET의 정확한 모델링을 위한 유효 게이트 저항의 추출법의 특성 및 신뢰성을 살펴보았다. 기존의 면저항을 전송선 이론에 적용하여 추출하는 방법과 Elmore 저항법의 문제를 지적하였으며, 직접 추출법으로부터 얻어진 데이터의 주파수 및 게이트 인가전압에

따른 변화로부터 같은 공정기술을 적용하여 소자를 제작하였을 경우, RSCE가 나타나지 않고 NQS 효과가 나타나는 긴 채널 길이의 소자에서 문턱전압 전후에 따른 변화를 확인하였다. 일반적으로 RF MOSFET 모델링에 널리 사용되는 직접추출법으로부터 추출된 유효 게이트 저항의 문턱전압 특성은 주목할 현상이다. 이것은 설계자가 다양한 게이트 길이의 MOSFET 소자를 사용할 수 있도록 자유도를 향상시키기 위해서, 긴 채널의 소자에서 보다 충분히 높은 주파수까지 소자를 측정하여 문턱전압 특성을 보다 정확하게 대신 모델에 적용하도록 하는 모델 개발자들에게 유용하게 사용될 수 있을 것이다.

참 고 문 헌

- [1] S. Song, J. H. Yi, W. S. Kim, J. S. Lee, K. Fujihara, H. K. Kang, J. T. Moon, and M. Y. Lee, "CMOS Device Scaling Beyond 100nm", IEEE, Electron Devices Meeting, 10-13 Dec., 2000.
- [2] H. Iwai, "CMOS Technology for RF Application", IEEE Microelectronics, 2000 22nd International Conference on, Vol. 1, p. 27, 2000.
- [3] P. H. Woerlee, M. J. Knitel, R. van Langevelde, Dirk B. M. Klaassen, Luuk F. Tiemeijer, A. J. Scholten, and A. T. A. Zegers van Duijnhoven, "RF CMOS Performance Trends", IEEE, Trans. Elect. Devices, Vol.48, p. 1776, 2001.
- [4] 안정호, 윤형선, 임수, 이희덕, "고주파영역에서 Nano Scale MOSFET의 정확한 fMAX 추출", 2003년도 대한전자공학회, 추계학술대회 논문집, Vol. 26, p. 59, 2003.
- [5] S. F. Tin, A.A. Osman, K. Mayaram, and C. Hu, "A simple subcircuit extension of the BSIM3v3 model for CMOS RF design", IEEE JSSC, Vol.35, p. 612, 2000.
- [6] R. Torres Torres, R.S. Murphy Arteaga, and S. Decoutere, "MOSFET gate resistance determination", IEEE Electronics Letters, Vol. 39, p. 248, 2003.
- [7] W. C. Elmore, "The transient response of damped linear networks with particular regard to wideband amplifiers", J. Appl. Phys., Vol. 19, p. 55, 1948.
- [8] L. T. Pillage and R. A. Rohrer, "Asymptotic waveform evaluation for timing analysis", IEEE Trans. Computer Aided Design, Vol. 9, p. 352, 1990.
- [9] S. Lee, C. Kim and H. Yu, "A small signal RF

- model and its parameter extraction for substrate effects in RF MOSFETs", IEEE, Trans. Elect. Devices, Vol.48, p. 1374, 2001.
- [10] 김용구, 지희환, 박성형, 이희덕, "Capacitance Voltage 방법을 이용한 MOSFET의 유효 채널 길이 추출", 2003년도 대한전자공학회 하계학술대회 논문집, Vol. 26, p. 679, 2003.
- [11] C. Enz, "An MOS Transistor Model for RF IC Design Valid in All regions of Operation", IEEE, Trans. MTT, Vol.50, p. 342, 2002.
- [12] I. Kwon, M. Je, K. Lee, and H. Shin, "A Simple and Analytical Parameter Extraction Method of a Microwave MOSFET", IEEE, Trans. MTT, Vol. 50, p. 1503, 2002.
- [13] D. Loveface, J. Costa, and N. Camilleri, "Extracting small signal model parameters of silicon MOSFET transistors", IEEE, MTT S Digest, Vol.2, p. 865, 1994.

 저 자 소 개



윤 형 선(정회원)
 2002년 충남대학교 전자공학과
 학사 졸업.
 2004년 충남대학교 전자공학과
 석사 졸업.
 현재 동부아남 반도체 APD팀
 <주관심분야: RF CMOS소자 및
 설계>



임 수(정회원)
 2002년 충남대학교 전자공학과
 학사 졸업.
 2004년 충남대학교 전자공학과
 석사 졸업.
 현재 동부아남 반도체 APD팀
 <주관심분야: RF CMOS 소자
 modeling>



안 정 호(학생회원)
 2003년 한남대학교 전자공학과
 학사 졸업.
 현재 충남대학교 전자공학과
 석사과정
 <주관심분야: RF CMOS소자 및
 설계>



이 희 덕(정회원)
 1990년 한국과학기술원 전기 및
 전자공학과 학사 졸업.
 1992년 한국과학기술원 전기 및
 전자공학과 석사 졸업.
 1996년 한국과학기술원 전기 및
 전자공학과 박사 졸업.
 1993~2001년 LG반도체 및 Hynix 반도체 책임연구원
 현재 충남대학교 전자공학과 조교수
 <주관심분야: 나노소자 및 신뢰성, RF 소자
 modeling 및 RF소자설계 등>