

논문 2004-41SD-11-2

고압 중수소 열처리 효과에 의해 조사된 수소 결합 관련 박막 게이트 산화막의 열화

(Hydrogen-Related Gate Oxide Degradation Investigated by
High-Pressure Deuterium Annealing)

이 재 성*

(Jae-Sung Lee)

요 약

두께가 약 3 nm 인 게이트 산화막을 갖는 P 및 NMOSFET를 제조하여 높은 압력 (5 atm.)의 중수소 및 수소 분위기에서 후속 열처리를 각각 행하여 중수소 효과(동위원소 효과)를 관찰하였다. 소자에 대한 스트레스는 $-2.5V \leq V_g \leq -4.0V$ 범위에서 100°C의 온도를 유지하며 진행되었다. 낮은 스트레스 전압에서는 실리콘 계면에 존재하는 정공에 의하여 게이트 산화막의 열화가 진행되었다. 그러나 스트레스 전압을 증가시킴으로써 높은 에너지를 갖는 전자에 의한 계면 결합 생성이 열화의 직접적인 원인이 됨을 알 수 있었다. 본 실험조건에서는 실리콘 계면에서 phonon 산란이 많이 발생하여 impact ionization에 의한 "hot" 정공의 생성은 무시할 수 있었다. 중수소 열처리를 행함으로써 수소 열처리에 비해 소자의 파라미터 변화가 적었으며, 게이트 산화막의 누설전류도 억제됨이 확인되었다. 이러한 결과로부터 impact ionization이 발생되지 않을 정도의 낮은 스트레스 전압동안 발생하는 게이트 산화막내 결합 생성은 수소 결합과 직접적인 관계가 있음을 확인하였다.

Abstract

Experimental results are presented for the degradation of 3 nm-thick gate oxide under $-2.5V \leq V_g \leq -4.0V$ stress and 100°C conditions using P and NMOSFETs that are annealed with hydrogen or deuterium gas at high-pressure (5 atm.). The degradation mechanisms are highly dependent on stress conditions. For low gate voltage, hole-trapping is found to dominate the reliability of gate oxide both in P and NMOSFETs. With increasing gate voltage to $V_g = -4.0V$, the degradation becomes dominated by electron-trapping in NMOSFETs, however, the generation rate of "hot" hole was very low, because most of tunneling electrons experienced the phonon scattering before impact ionization at the Si interface. Statistical parameter variations as well as the gate leakage current depend on and are improved by high-pressure deuterium annealing, compared to corresponding hydrogen annealing. We therefore suggest that deuterium is effective in suppressing the generation of traps within the gate oxide. Our results therefore prove that hydrogen related processes are at the origin of the investigated oxide degradation.

Keywords : Deuterium, hydrogen, gate oxide, gate leakage current, threshold voltage.

I. 서 론

전자 회로의 빠른 동작 속도와 낮은 소비 전력을 실현하기 위해서 전자 부품인 MOSFET의 게이트 산화막

의 두께는 얇은 것이 유리하다. 현재의 게이트 산화막은 나노(nano) 단위까지 집적화가 이루어진 상태이다. 그러나 이러한 박막의 게이트 산화막은 동작 회로 내에서 높은 전장(electric field)을 경험하게되어 신뢰성 측면에서 매우 취약하게 된다. 특히, 플래시 메모리와 같은 비휘발성 메모리 소자의 경우에 관찰되는 고전계 스트레스 후에 나타나는 저전계 게이트 산화막 누설 전류(stress-induced leakage current : SILC)의 증가는 매우 심각한 집적화 방해 요소이다.

* 정회원, 위덕대학교 정보통신공학부
(Division of Information and Communication
Engineering, Uiduk University)

※ 본 논문은 한국과학재단의 해외 Post-doc. 연수지원
(No. 01-08-06-2)에 의하여 연구되었습니다.

접수일자: 2004년6월28일, 수정완료일: 2004년10월19일

게이트 산화막의 누설 전류를 줄이는 방법 및 그 열화 모델에 대한 많은 연구가 이루어지고 있다. 열화는 게이트 산화막 내에 존재하는 결함(defect)에 의해 발생하게 된다. SILC의 경우, 낮은 전계에서 결함의 생성과 소멸이 게이트 산화막내에서 동시에 발생하며, trap assisted tunneling (TAT) 개념에 의해 낮은 구동 전압에서 누설 전류가 증가하게 된다. 많은 결함 밀도가 게이트 산화막에 국부적으로 분포하면, multi-step TAT 개념에 의해 누설 전류는 더욱 증가하게 된다. 이러한 과정을 통해 최종적인 절연파괴(breakdown) 현상이 나타나게 된다^[1-3].

대기압 조건에서 중수소(Deuterium)를 사용한 금속 증착 후 열처리 공정(post-metalization anneal : PMA)이 소개되어 MOSFET의 신뢰성 문제를 극복하는 방법으로 제시되었다^[4-7]. 게이트 산화막내의 결함 생성의 원인이 산화막내의 수소 결함과 관련이 있을 경우, Si-H 결함을 Si-D 결함으로 대체함으로써 게이트 산화막의 결함 생성을 억제할 수 있다. 이러한 현상을 동위원소 효과(Isotope Effect)라 하며, hot-carrier 열화에서 그 효과를 관찰할 수 있었다^[5]. 그러나 hot-carrier 이외의 열화 현상에서 동위원소 효과에 대해서는 아직 연구 중에 있다. 게이트 산화막내의 결함 생성 모델로는 Hydrogen-Release(HR) 모델과 Anode-Hole Injection(AHI) 모델이 현재 유력하다^[8,9]. 수소 결함과 관련된 HR 모델을 기본으로 한 실험에서는 동위원소 효과가 나타날 수 있으나, impact ionization과 관련된 AHI 모델에서는 이러한 효과를 관찰할 수 없을 것이다. 중수소 효과를 뚜렷하게 관찰하기 위해서는 게이트 산화막내에 중수소가 충분히 주입되어 Si-H 결함보다는 Si-D 결함이 많이 존재하여야 한다^[10].

본 논문에서는 중수소 열처리 효과가 게이트 산화막의 열화에 미치는 영향을 조사하여 그 열화 모델을 확인하고자 한다. 약 3 nm의 얇은 게이트 산화막을 갖는 MOSFET를 제조하여 높은 기압에서 중수소 열처리를 행하였다. 열처리 기압을 높임으로써 게이트 산화막으로 중수소의 주입을 활성화시킬 수 있다. 게이트 산화막의 열화는 직접 터널링(direct tunneling) 스트레스 조건에서 행하였으며, 스트레스 시 분위기 온도는 고온을 유지시켰다. 스트레스 진행동안 중수소 열처리한 소자는 수소 열처리한 소자에 비해 파라미터의 변화가 적게 나타났으며, 게이트 산화막의 누설 전류도 억제됨이 확인되었다.

II. 실험 방법

기본적인 CMOS 공정을 사용하여 게이트 산화막의 물리적 두께가 약 3 nm 이고 채널 길이와 폭이 최소 0.13 μ m인 MOSFET 소자를 제조하였다. 게이트 산화막은 H₂-O₂ 분위기에서 성장시킨 후, NO 열처리를 통해 제조되었다. 게이트 전극 물질로는 고농도 도핑된 250 nm 두께의 다결정 실리콘을 사용하였다. 각 소자의 소오스/드레인 영역에는 "halo" 이온 주입을 행하여 각 접합을 안정화시켰다. 금속 배선 접촉부분은 Co 실리사이드를 사용하여 접촉 저항을 줄였다. 금속 배선 형성 후, 후속 열처리는 수소(H₂) 분위기에서 행하여졌다. 기본적인 후속 열처리 공정을 행한 소자는 두 분류로 나누어, 추가로 수소 및 중수소 열처리를 각각 행하였다. 추가 열처리는 450°C, 및 5 기압의 조건에서 이루어졌다. 제조된 소자의 열화는 100°C의 분위기의 V_g = -2.5V ~ -4.0V, V_D = V_S = V_{well} = 0V의 스트레스트 전압에서 관찰되었다. 스트레스트에 의한 게이트 산화막내의 누설 전류측정을 위해서 넓은 게이트 면적(W/L = 32 μ m/32 μ m)을 갖는 MOSFET를 사용하였다. 문턱전압의 변화(V_{TH})와 포화드레인 전류의 백분율 변화(%)를 각각 조사하여 소자의 파라미터 변화를 관찰하였다. 조사된 문턱 전압은 포화 동작 영역에서 드레인 전류가 40 nA × W/L 일 때 측정된 게이트 전압으로 정하였다. 게이트 산화막의 열화 정도는 100°C에서 측정된 누설전류의 백분율 변화($\Delta I_g/I_{g0}$)로 조사하였다. 제조된 소자의 전기적 특성을 시뮬레이션하기 위해 ISE사의 TCAD를 사용하였다.

III. 실험 결과 및 토의

그림 1은 스트레스트 전압 크기에 따른 P 및 NMOSFET에서 관찰된 문턱 전압의 변화를 나타낸다. 스트레스트는 V_g = -2.8, -3.4, 및 -4.0V에서 각각 1000초 동안 행하여 졌다. 포화 영역에서 측정된 문턱 전압은 게이트 산화막 내에 존재하는 전하량에 의해 그 크기가 변하게 된다. NMOSFET에 비해 PMOSFET에서 문턱 전압의 변화가 크게 나타났다. 이는 부(negative) 전압의 게이트 전압 상태에서 PMOSFET의 게이트 산화막으로 전자의 주입보다는 채널 정공의 주입이 많이 이루어져 양전하 결함을 쉽게 형성하기 때문이다. 그러나 NMOSFET에서는 전공 뿐 아니라 전자의 주입이 동시에 많이 발생하게 된다. 그림 1에서 PMOSFET는 스트레스트 전압의 증가에 따라 문턱 전압이 증가하고 있는

데, 이는 게이트 산화막내에 양전하를 띤 결함들이 스트레스 전압에 따라서 증가하고 있다는 것을 의미한다. PMOSFET의 게이트 산화막에서 존재하는 양전하는 실리콘과의 계면에 존재하는 positive-donor type 결함과 벌크(bulk)에 존재하는 fixed positive charge로 분류할 수 있다^[11,12]. 수소 열처리보다는 중수소 열처리과정을 통해 문턱전압의 증가가 억제되고 있다. 그러므로 중수소 열처리에 의해 양전하 결함의 생성이 보다 효과적으로 억제되었음을 의미한다.

그림 1에서 NMOSFET는 PMOSFET와는 다른 양상을 보이고 있다. 낮은 스트레스 전압($V_g = -2.8V$)에서는 문턱전압이 감소하였으며, 높은 스트레스 전압($V_g = -4.0V$)에서는 문턱전압이 증가하였다. NMOSFET에서 낮은 부의 스트레스 전압의 경우, 양전하 결함은 실리콘 계면에서 제공되는 정공과 Si-H(D) 결함의 반응에 의해 발생된다. 낮은 스트레스 전압에서 게이트 전극으로부터 공급되는 전자는 양전하 생성에 크게 기여하지 못하는 것으로 알려져 있다^[13]. 높은 부의 스트레스 전압의 경우에는 음전하의 생성이 관찰되었다. 높은 에너지의 전자가 게이트 산화막으로 주입되어 실리콘 계면을 손상시켜 negative-acceptor type 결함을 생성하기 때문이다. 중수소 열처리를 행한 NMOSFET에서 스트레스에 의한 결함 생성이 효과적으로 억제되었음을 확인하였다.

스트레스동안 NMOSFET에서 발생하는 게이트 산화

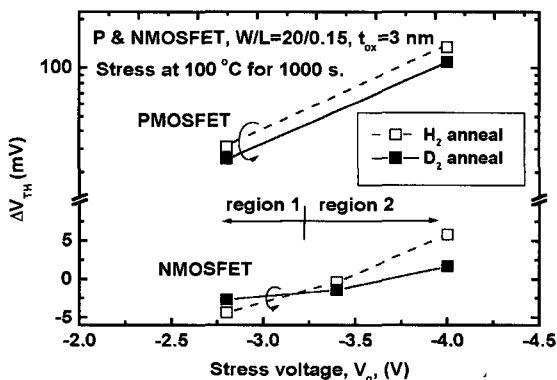


그림 1. 중수소와 수소에서 추가 열처리된 게이트 산화막을 갖는 P 및 NMOSFET($L=0.15 \mu m$)에 대한 스트레스에 따른 V_{th} 의 변화. 각 소자는 3 시간 동안 $450^\circ C$ 에서 열처리가 진행되었음.

Fig. 1. Stress time dependence of V_{th} for P and NMOSFETs ($L=0.15 \mu m$) having deuterium- and hydrogen-annealed gate oxides. Devices were annealed at $450^\circ C$ for 3 hrs before stress.

막내의 음전하 생성과 중수소 열처리 효과의 관계를 조사하기 위해서는 $V_g = -4.0V$ 스트레스 조건에서 열화 진행 과정을 관찰할 필요가 있다. 그림 2는 중수소 및 수소 분위기에서 각각 추가 열처리된 NMOSFET ($W/L=20\mu m/0.13\mu m$)에서 스트레스($V_g = -4.0V$)가 진행됨에 따라 나타나는 문턱전압의 변화와 포화 전류의 백분율 변화를 각각 나타낸다. 두 종류의 소자에서 문턱전압은 스트레스 초기에는 감소하는 경향을 보이지만 스트레스가 진행됨으로써 서서히 증가하는 경향을 보이고 있다. 스트레스 초기에는 양전하 생성이 나타나지만, 스트레스가 진행될수록 음전하의 생성이 우세하게 나타남을 알 수 있다. 그러나 중수소 열처리를 행한 게이트 산화막에서 음전하의 생성은 수소 열처리를 행한 소자에 비해 매우 느리게 진행되었다. 그림에서 두 종류의 소자에 대한 포화 전류 감소는 음전하 생성 시기인 약 60 초 이후부터 뚜렷하게 차이가 나타났으며, 중수소 열처리에 의해 포화 전류의 감소가 다소 억제됨을 알 수 있다.

본 논문에서 사용된 소자의 게이트 산화막내 트랩 전하의 생성 원인을 주입되는 전자 및 정공과 관련하여 설명하고자 하다.

① 게이트 전극에서 전자 주입

게이트의 전도 대역에서 게이트 산화막으로 주입되는 전자는 직접 터널링(direct tunneling)에 의해 실리콘

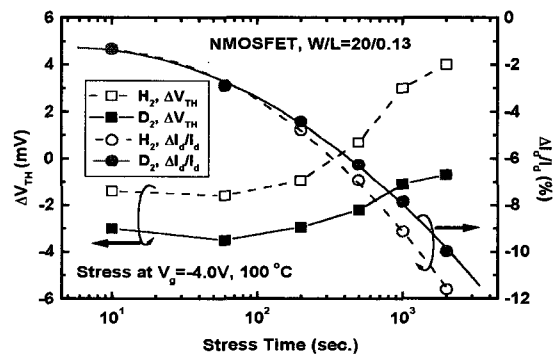
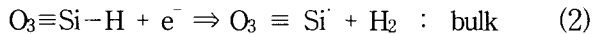
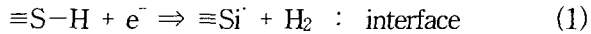


그림 2. NMOSFET($L=0.13 \mu m$)에 대한 스트레스에 따른 V_{th} 및 I_d/I_{d0} 변화. 음의 방향으로 V_{th} 이동은 양전하의 생성을 나타내며, 양의 방향으로 V_{th} 이동은 음전하의 생성을 나타낸다.

Fig. 2. Stress time dependence of V_{th} and I_d/I_{d0} for NMOSFETs ($L=0.13 \mu m$). The generation of positive charges is indicated by the negative V_{th} shift during the initial stress, and that of negative charges is indicated by the positive V_{th} shift for the remainder of stressing time.

계면에 도달하게 된다. 이때 산화막내에 존재하는 Si-H 결합을 파괴시켜 계면 결합을 생성시키게 된다. 소자의 동작 영역에서 이러한 계면 결합들은 PMOSFET의 경우에는 positive-donor like 결합으로, NMOSFET의 경우에는 negative-acceptor like 결합으로 나타날 수 있다. 식 1과 2는 주입되는 전자에 의해 게이트 산화막내에서 발생할 수 있는 결합 형성 과정을 나타낸다.



각 식에서 e^- 는 전자를 나타낸다. Si^\cdot 는 계면 결합으로 존재하기도 하고, 산화막내에서는 중성 전자 결합(neutral electron trap)으로 존재하기도 한다. 소자의 전기적 특성 변화는 bulk 결합보다는 계면 결합의 영향을 많이 받게 된다.

② 실리콘 계면에서 정공 영향

실리콘 계면에 존재하는 정공은 식 3과 같은 반응을 통해 계면 트랩 및 oxide charge를 생성시킬 수 있다. 생성물인 수소 이온(H^+)은 게이트 산화막내로 확산되어 홀러 들어가 양전하로 남게 되어 소자의 특성에 영향을 미치게 된다. 이러한 현상은 전형적인 negative-bias temperature instability(NBTI)의 열화 현상과 동일하다^[11].



그림 1의 PMOSFET에서는 게이트에서 주입되는 전자보다 계면에 존재하는 정공의 농도가 높기 때문에 NBTI 열화가 전 스트레스 전압 ($-2.8\text{V} \leq V_g \leq -4.0\text{V}$)에 걸쳐 일정한 비율 ($\Delta V_{\text{TH}} \propto \exp(AV_g)$, A: 비례상수)로 나타나고 있다.

Fowler-Nordheim(FN) 터널링이 아닌 direct 터널링이 주요 전도 모델인 박막($T_{\text{ox}} \leq 5\text{nm}$)의 게이트 산화막에서 게이트 산화막으로 주입되는 전자나 정공은 산화막내(bulk)에서 결합을 직접적으로 발생시키지는 않는다고 알려져 있다^[13]. 그러나 식 3과 같은 화학적 반응을 통해 생성되는 수소 양이온은 주입되는 전자와 결합하여 중성으로 바뀔 수 있다. 주입되는 전자가 상대적으로 많은 NMOSFET에서 수소 양이온의 중성화(neutralization)는 더욱 활발하게 진행될 수 있다.

게이트 산화막 열화에 있어 중수소의 영향은 실리콘 계면에 존재하는 Si-H 결합을 Si-D 결합으로 대체시킴

으로써 설명할 수 있다. 동위원소 효과(Isotope Effect)에 의하면 중수소 원소(D_2)는 수소 원소(H_2)에 비해 질량이 두 배이므로, 실리콘 원소와의 결합에서 낮은 진동(vibration) 주파수를 갖게 된다. 이러한 이유로 외부 요인(hot electron 등)에 의해 Si-D 결합이 파괴될 확률은 Si-H 결합의 경우보다 낮게 된다.

수소 및 중수소 열처리를 각각 행한 게이트 산화막의 열화 모델에 고려해야 할 다른 요소로는 각 이온들의 산화막 내에서 확산계수 차이이다. 식 3에서 실리콘 계면에서 생성된 수소 또는 중수소 이온들은 외부 인가전압에 의해 게이트 산화막내로 확산되어 진다. 즉, 식 4와 같은 방정식으로 이온의 확산이 이루어진다.

$$\frac{\delta C(t, x)}{\delta t} = D \frac{\delta^2 C(t, x)}{\delta^2 x} \quad (4)$$

여기에서 $C(x, t)$ 는 수소 또는 중수소 원소의 농도이며, D 는 해당 원소의 확산계수이다. 이러한 이온들이 스트레스 동안 게이트 전극의 계면을 통해 빠져나간다(out-diffusion)고 가정하면 수소 및 중수소 이온의 확산계수 차이에 의해 특정 시간에 존재하는 게이트 산화막내 양전하의 농도가 달라질 수 있다. 그림 2의 결과에서 두 종류의 소자에 대한 V_{TH} 차이는 중수소 이온의 낮은 확산 계수 및 낮은 Si-D 결합 파괴 확률에 의해 발생하는 것으로 판단된다. 그리고 스트레스 초기에 양전하가 존재함에도 불구하고 포화 전류가 감소한 이유는 실리콘 계면에서 생성된 negative-acceptor like 결합 때문으로 판단된다.

본 실험의 결과를 서론에서 언급된 두 종류의 열화 모델 중 HR 모델로써 설명하고자 한다. 이를 확인하기 위해서 본 실험에서 사용된 스트레스 전압 조건에서 impact ionization에 의한 높은 에너지를 갖는 "hot" 정공의 생성 여부를 조사하고자 한다. Hot 정공은 터널링되는 높은 에너지의 전자가 그 에너지를 실리콘에 전달함으로써 생성되는 전자-정공 쌍에 의해 존재하게 된다. 만약, 본 실험 조건에서 "hot" 정공이 많이 생성되었다면 본 실험 결과는 AHI 모델을 배제할 수 없을 것이다.

스트레스 게이트 전압에 의한 실리콘 계면에서 impact ionization을 확인하기 위해 ISE-TCAD를 사용하여 동일한 NMOSFET를 설계하였다. 게이트 전극의 인가 전압에 따른 MOSFET의 여러 가지 변수들을 DESSIS 프로그램을 수행하여 계산하였다. 그림 3은 MOS 구조 에너지 밴드에서 게이트 산화막으로 주입되

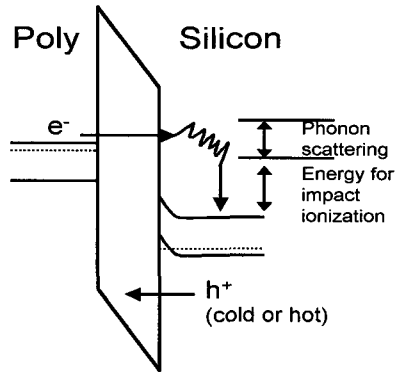


그림 3. 에너지 밴드에서 게이트 산화막으로 주입되는 전자와 정공
 Fig. 3. Band diagram illustrating the conduction processes for electron and hole in gate oxide.

는 전자가 그 에너지를 실리콘에 전달하는 과정을 보여 주고 있다. 실리콘 계면에 존재하는 정공은 축적(accumulation)된 "cold" 정공이거나 impact ionization에 의해 생성된 "hot" 정공 일 수 있다. Phonon 산란에 의해 전자 에너지 일부가 소모되며, 나머지 에너지는 실리콘의 가전자 대역에 전달된다. 그러므로 impact ionization 확률은 phonon 산란이 적을수록 증가하게 된다. TCAD 시뮬레이션을 통해 특정 게이트 전압이 인가될 때 전자가 갖는 전자 에너지를 계산할 수 있었다.

각 전자 에너지에서 나타나는 impact ionization rate와 electron-phonon scattering rate는 그림 4와 5로부터 얻을 수 있었으며^[14], 특정 게이트 전압에서 조사된 결과를 표 1에 정리하였다. 표에서 각 경우의 전자의 수명(τ)의 역수가 해당 현상의 확률을 나타내며, 이는 곧 에너지 소모의 정도를 나타낸다. τ_{ph} 및 τ_i 는 각각 phonon scattering 및 impact ionization에 해당되는 상수이다. $V_g = -4.5V$ 에서는 phonon 산란으로 손실되는 에너지보다 실리콘의 가전자 대역에 전달되는 에너지가 상대적으로 크기 때문에 impact ionization 확률이 높게 된다. 그러나 $V_g = -4.0V$ 이하에서는 대부분의 에너지가 phonon 산란에 의해 소모되므로 impact ionization이 일어날 확률이 줄어들게 된다. 즉, impact ionization에 의한 높은 에너지를 갖는 "hot" 정공의 생성이 어렵게 된다. 그러므로 본 실험에서 사용된 스트레스 전압 범위 ($-2.8V \leq V_g \leq -4.0V$)동안 게이트 산화막내에서 생성되는 결함들은 "hot" 정공과는 거의 무관하다고 볼 수 있다. 이는 본 소자의 열화 모델이 HR 모델만으로도 설명될 수 있음을 확인시켜 준다.

그림 6은 수소 및 중수소에서 각각 추가 열처리된 P 및 NMOSFET의 게이트 산화막에 대한 누설 전류(Δ

표 1. 게이트 전압의 크기에 따른 phonon 산란 및 총등 이온화 비율

Table 1. Phonon scattering rate and impact ionization rate corresponding to the gate voltage.

V_g (V)	$1/\tau_{ph}$ ($10^{12}s^{-1}$)	$1/\tau_i$ ($10^{12}s^{-1}$)
-2.5	1/0.009	1/500.0
-3.5	1/0.013	1/10.0
-4.0	1/0.011	1/2.0
-4.5	1/0.009	1/0.5

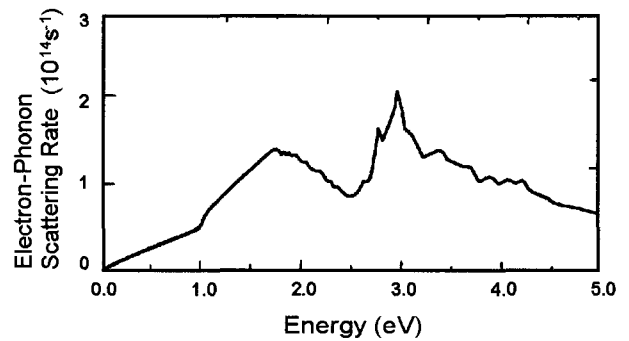


그림 4. 실리콘 내 전자의 에너지와 관련된 phonon 산란 비율^[14].
 Fig. 4. The total phonon scattering rate of silicon corresponding to the electron energy^[14].

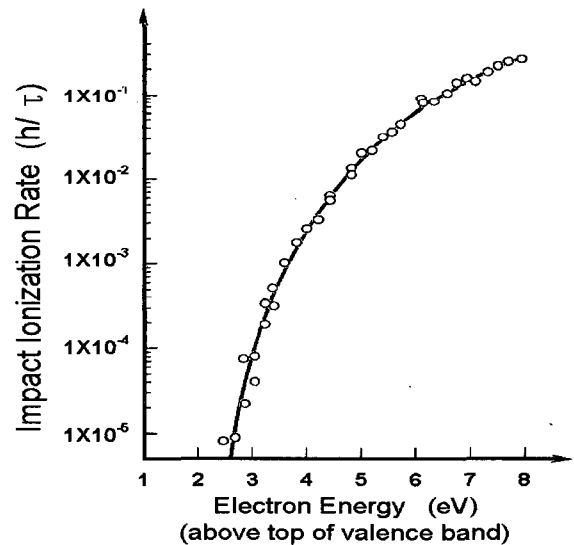
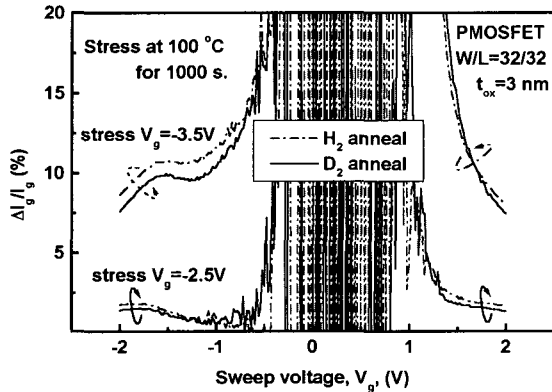
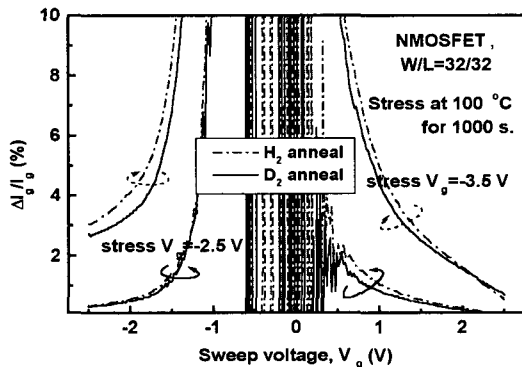


그림 5. 실리콘 내 전자의 에너지와 관련된 총등 이온화 비율^[14].
 Fig. 5. Impact ionization rate for electron in silicon as a function of energy^[14].

I_g/I_{g0})를 나타낸다. 모든 소자는 $V_g = -2.5V$ 및 $-3.5V$ 에서 1000초 동안 각각 열화가 진행되었다. 누설 전류를 용이하게 관찰하기 위해 게이트 면적이 큰 소자($W/L = 32\mu m/32\mu m$)를 선택하였다. 누설 전류는 MOS 소자의 축적 및 반전 영역에서 각각 관찰되었다. 본 소자의 동작 전압(V_{dd}) 범위인 $V_g = \pm 1.5V$ 근처의 전압에서 나타나는 누설전류특성에서 중수소 열처리한 게이트 산화막이 효



(a)



(b)

그림 6. 정전압 스트레스($V_g = -2.5V$ 및 $3.5V$) 후에 나타나는 (a) PMOSFET 와 (b) NMOSFET의 게이트 누설전류.

Fig. 6. Stress-induced gate leakage current of both (a) PMOSFETs and (b) NMOSFETs after constant voltage stress ($V_g = -2.5V$ and $3.5V$).

과적으로 누설전류가 억제되었음을 알 수 있다. 즉, 동위 원소효과를 게이트 산화막의 누설 전류특성에서도 관찰할 수 있었다. 이러한 결과로부터 impact ionization이 발생하지 않을 정도의 낮은 게이트 전압 스트레스 조건에서 게이트 산화막으로 주입되는 전자나 정공은 게이트 산화막내 Si-H 또는 Si-D 결합과 화학적 반응을 갖게되며, 수소와 중수소의 화학적 특성 차이에 의해 그 열화 정도가 다르게 나타남을 확인하였다.

IV. 결 론

중수소(D_2)와 수소(H_2)로 열처리된 게이트 산화막을 사용하여 게이트 전극에 부전압의 스트레스를 인가함으로써 나타나는 게이트 산화막의 열화 차이를 확인하였다. Si-H 결합 대신 Si-D 결합이 게이트 산화막내에

존재함으로써 스트레스에 따른 계면 결함의 생성이 억제되어 문턱 전압 변화 및 누설 전류 억제 등의 효과가 나타났다. 본 실험에서 사용된 소자는 $V_g < -4.5V$ 의 범위에서 impact ionization이 발생할 확률이 적음을 TCAD 시뮬레이션을 통해 확인하였다. 이러한 결과들로부터 impact ionization이 발생하지 않는 스트레스 조건 ($|V_g| < 4.5V$)에서 수소 관련 화학적 반응이 게이트 산화막내 결함 생성의 직접적인 원인임을 확인할 수 있었다.

참 고 문 헌

- [1] E. Rosenbaum and J. Wu, "Trap generation and breakdown processes in very thin gate oxides", *Microelectronics Reliability*, vol. 41, pp.625-632, 2001.
- [2] H. Guan, M. F. Li, Y. He, B. J. Cho, and Z. Dong, "A thorough study of quasi-breakdown phenomenon of thin gate oxide in dual-gate CMO SFET's", *IEEE Trans. Electron Devices*, vol. 47, pp. 1608-1616, Aug.2000.
- [3] S. I. Takagi and M. Takayanagi, "Carrier transport properties of thin gate oxides after soft and hard breakdown", *Microelectronic Engineering*, vol. 59, pp. 5-15, 2001.
- [4] M. H. Lee, C. H. Lin, and C. W. Liu, "Novel methods to incorporate deuterium in the MOS structures," *IEEE Electron Device Lett.*, vol. 22, pp.519-521, Nov. 2001.
- [5] K. Hess, I. C. Kizilyalli, and J. W. Lyding, "Giant isotope effect in hot electron degradation of metal oxide silicon devices," *IEEE Trans. Elec-tron Devices*, vol. 45, pp. 406-416, Feb. 1998.
- [6] Z. Chen, K. Hess, J. Lee, J. W. Lyding, E. Rosenbaum, I. Kizilyalli, S. Chetlur, and R.Huang, "On the mechanism for interface trap creation in MOS transistors due to channel hot carrier stressing," *IEEE Electron Device Lett.* vol. 21, pp. 24-26, Jan. 2000.
- [7] J. Wu, E. Rosenbaum, B. MacDonald, E. Li, B. Tracy, and P. Fang, "Anode hole injection versus hydrogen release: The mechanism for gate oxide breakdown," *IEEE Int. Reliability Physics Symp.*, San Jose, CA, 2000, pp. 27-32.
- [8] K. F. Schuegraf and C. Hu, "Hole injection SiO_2 breakdown model for very low voltage lifetime extrapolation," *IEEE Trans. Electron Devices*, vol. 41, no. 5, pp. 761-766, 1994.
- [9] D. J. DiMaria and E. Cartier, "Mechanism for

- stress-induced leakage currents in thin silicon dioxide films," *J. Appl. Phys.*, vol. 78, pp. 3883-3894, 1995.
- [10] Y. Mitani, H. Satake, H. Itoh, and A. Toriumi, "Suppression of stress-induced leakage current after Fowler-Nordheim stressing by deuterium pyrogenic oxidation and deuterium poly-Si deposition," *IEEE Trans. Electron Devices*, vol. 49, pp. 1192-1197, Jul. 2002.
- [11] T. Yamamoto, and K. Uwasawa, and T. Mogami, "Bias temperatre instability in scaled p⁺ polysilicon gate p-MOSFETs," *IEEE Trans. Electron Devices*, vol. 46, pp. 921-926, May. 1999.
- [12] H. Uchida, S. Inomata, and T. Ajioka, "Effect of interface traps and bulk traps in SiO₂ on hot-carrier-induced degradation," *IEEE Int. Conference on Microelectronics Test Structures*, 1989, pp. 103-108.
- [13] S. Tsujikawa, Y. Akamatsu, H. Umeda, and J. Yugami, "Two concerns about NBTI issue: gate dielectric scaling and increasing gate current," *IEEE Int. Reliability Physics Symp.*, Phoenix, AZ, 2004, pp. 28-34.
- [14] K. Hess, *Theory of semiconductor devices*, New York : IEEE Press, 2000. ch.8 and ch.13.

 저 자 소 개



이 재 성(정회원)

1987년 경북대학교 전자공학과 학사 졸업.

1989년 경북대학교 전자공학과 석사 졸업.

1996년 경북대학교 전자공학과 박사 졸업.

1996년~1998년 현대 전자, system IC 연구소 근무

2002년~2003년 University of Illinois at Urbana-Champaign, Post-doc.

1998년~현재 위덕대학교 교수

<주관심분야: 소자 및 회로 신뢰성 분석, 반도체 소자 설계>

