

논문 2004-41SD-11-6

# 트랜지스터 차동쌍 폴딩 기법을 적용한 250-MSamples/s 8-비트 폴딩 아날로그-디지털 변환기의 설계

(A Design of 250-MSamples/s 8-Bit Folding Analog to Digital Converter using Transistor Differential Pair Folding Technique)

이 돈 섭\*, 광 계 달\*\*

(Donsuep Lee and Kaedal Kwack)

## 요 약

본 논문에서는 저 전력, 고속 동작을 위하여 트랜지스터 차동쌍 폴딩 회로를 사용하는 CMOS 폴딩 ADC를 설계하였다. 본 논문에서는 제안한 트랜지스터 차동쌍 폴딩 회로에 대한 동작원리와 기존의 폴딩 회로에 비해 어떤 장점을 가지고 있는지 설명한다. 이 회로를 적용하여 설계한 ADC에서는 폴딩신호를 처리하기 위하여 16 개의 정밀한 전압비교기와 32 개의 인터폴레이션 저항을 사용하므로 저 전력, 고속동작이 가능하고, 작은 칩 면적으로 제작할 수 있다. 설계공정은 0.25 $\mu$ m double-poly 2 metal n-well CMOS 공정을 사용하였다. 모의실험결과 2.5V 전원전압을 인가하고 250MHz의 클럭 주파수에서 45mW의 전력을 소비하였으며 측정값을 통하여 계산된 INL은  $\pm 0.15$ LSB, DNL은  $\pm 0.15$ LSB, SNDR은 10MHz 입력신호에서 50dB로 측정되었다.

## Abstract

A CMOS folding ADC with transistor differential pair folding circuit for low power consumption and high speed operation is presented in this paper. This paper explains the theory of transistor differential pair folding technique and many advantages compared with conventional folding and interpolation circuits. A ADC based on transistor differential pair folding circuit uses 16 fine comparators and 32 interpolation resistors. So it is possible to achieve low power consumption, high speed operation and small chip size. Design technology is based on fully standard 0.25 $\mu$ m double poly 2 metal n-well CMOS process. A power consumption is 45mW at 2.5V applied voltage and 250MHz sampling frequency. The INL and DNL are within  $\pm 0.15$ LSB and  $\pm 0.15$ LSB respectively. The SNDR is approximately 50dB at 10MHz input frequency.

**Keywords:** ADC, AD변환기, AD converter, 폴딩 ADC, 트랜지스터 차동쌍 폴더

## I. 서 론

아날로그-디지털 변환기(ADC)는 디지털회로와 함께 단일 칩 상에서 제조되고 있으며 따라서 저전력 고속 변환 기술이 중요시되고 있다. 고속 동작을 위한 ADC

는 플래시 ADC가 대표적으로 사용되고 있으나 많은 전압비교기의 수로 인하여 칩의 면적과 큰 소비전력으로 인하여 큰 집적회로에 내장하여 사용하는데 제약점을 가지고 있다. 폴딩 기술을 이용한 폴딩 ADC는 전압비교기의 수를 줄일 수 있으므로 칩의 면적과 소비전력 면에서 잇점이 있으며 또한 고속 동작이 가능하다<sup>[1]-[4]</sup>.

8 비트 해상도를 가진 폴딩 ADC는 일반적으로 3-비트로 이루어진 상위 3-비트를 구하기 위한 Coarse ADC와 하위 5-비트를 구하기 위한 Fine ADC로 구성된다. Fine ADC는 그림 1에서와 같이 일반적으로 4 개의 폴딩 블록 (FB; Folding block)과 64 개의 사다리 저항로 이루어진 인터폴레이션 저항, 32 개의 전압비교기,

\* 정회원, 두원공과대학 소프트웨어개발과  
(Dept. of Software Engineering, Doowon Technical College)

\*\* 정회원, 한양대학교 전자전기컴퓨터공학부  
(Division of Electrical and Computer Engineering, Hanyang University)

※ 본 연구는 한양대학교 교내 연구과제로 수행되었음.  
접수일자: 2004년7월8일, 수정완료일: 2004년10월28일

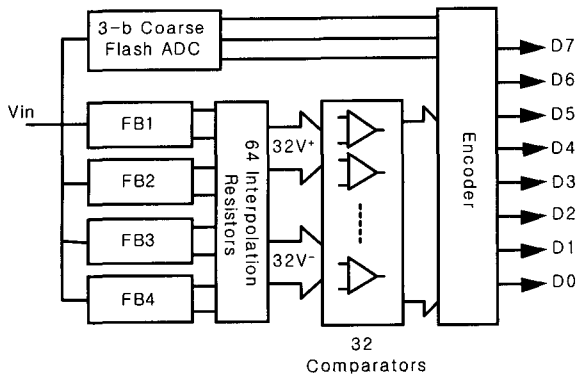


그림 1. 일반적인 폴딩 ADC의 구조  
Fig. 1. Block diagram of the conventional folding AD converter.

디지털 신호를 처리하기 위한 인코더 회로 등으로 구성된다<sup>[2]-[4]</sup>. 폴딩 ADC는 폴딩 블록과 인터플레이션 사다리 저항을 통해 출력되는 신호는 입력 신호에 대해 비선형 동작특성을 가지고 있으므로 이 문제를 해결하기 위한 많은 시도가 이루어졌다.

본 논문에서는 폴딩 ADC의 비선형 동작특성을 향상시키기 위하여 변형된 폴딩 블록에 트랜지스터 차동쌍 폴딩 회로가 추가되는 2 단 폴딩 구조를 사용하였다. Fine ADC에서 하위 5-비트 디지털 출력을 구하기 위하여 16 개의 전압비교기와 32 개의 인터플레이션 저항만을 사용하므로 소비전력과 칩 면적을 크게 줄일 수 있다. 또한 인터플레이션 저항의 개수를 줄일 수 있으므로 저항의 비선형 특성에 의한 영향이 크게 감소되어 INL(integral non-linearity)과 DNL(dynamic integral non-linearity)을 크게 개선시킬 수 있다.

II장에서는 본 논문에서 제안하는 2 단 폴딩 ADC의 전체적인 구조를, III장에서는 트랜지스터 차동쌍 폴딩 회로의 동작원리를, IV장에서는 모의실험 결과를 논의하고, V장에서는 결론을 맺는다.

## II. 2 단 폴딩 ADC의 구조

### 1. 기본구조

폴딩 블록은 여러 개의 CDP(Coupled differential pair)로 구성되는데 CDP의 개수는 여기에 인가되는 기준전압의 크기, 오프셋, 동작속도 등에 영향을 미치므로 폴딩 ADC의 동작특성에 큰 영향을 끼친다<sup>[1]-[3]</sup>. 한 개의 폴딩 블록을 구성하는 CDP의 개수를 폴딩율로 정의하는데 8 비트 해상도를 가진 폴딩 ADC에서는 여러 가지 이유로 인해 폴딩율이 8인 폴딩 블록을 사용한다<sup>[1]-[4]</sup>. 최근에 발표되는 폴딩 ADC는 폴딩신호의 선형

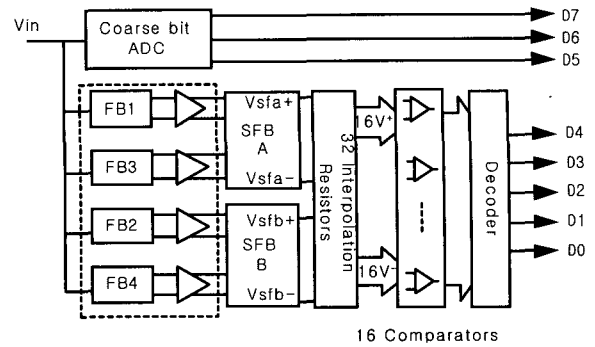


그림 2. 2 단 폴딩-인터플레이션 ADC의 구조  
Fig. 2. Block diagram of the 2 stage folding and interpolation AD converter.

영역에서 출력을 얻기 위하여 4 개의 폴딩 블록과 인터플레이션 저항을 사용하여 신호 당 1 개의 레벨을 감지하는 인터플레이션 회로를 사용한다<sup>[3]</sup>. 이 회로는 하위 5-비트를 결정하기 위하여 32 개의 전압비교기와 64 개의 인터플레이션 저항을 사용한다. 폴딩율을 높이면 전압비교기와 인터플레이션 저항의 숫자를 줄일 수 있다. 만약 폴딩율이 16인 폴딩 블록을 만들기 위하여 기존의 폴딩 회로를 사용한다면 폴딩 블록 당 16 개 이상의 CDP와 32 개 이상의 기준전압을 필요로 한다. 폴딩율이 8인 일반적인 폴딩 블록의 각 CDP는 입력신호가 인가되는 MOS 트랜지스터는 W/L 비가 100:1, 전류는 40  $\mu\text{m}$  정도이며, 출력단에서의 기생용량은 2pF 정도로 매우 크다<sup>[1]</sup>. 폴딩 블록의 크기, 소비전력, 동작특성 등을 고려해 볼 때 일반적으로 사용했던 CDP 구조로는 폴딩율이 16인 폴딩 블록을 설계하기가 쉽지 않다. 따라서 폴딩율이 8인 폴딩증폭기를 그대로 사용하면서 폴딩 ADC의 비선형 동작특성을 개선하려는 많은 시도가 이루어졌다<sup>[5][7][10][11]</sup>.

그림 2에서는 본 논문에서 제시하는 2 단 폴딩 ADC의 구조를 나타내었다.

상위 3-비트를 얻기 위하여 Coarse 3-비트 ADC와 하위 5-비트를 얻기 위하여 Fine ADC로서 4 개의 폴딩 블록을 기본 구조로 사용한 점은 기존에 제안된 폴딩 ADC와 같다. 기존의 연구에 의하면 인터플레이팅 사다리 저항의 동작특성에 의해 발생하는 비선형 에러는 0.1~0.2LSB 정도의 큰 값을 갖는다.<sup>[2],[5]</sup> 따라서 폴딩 ADC의 인터플레이팅 사다리 저항을 줄임으로서 비선형 동작특성을 개선시킬 수 있다. 본 논문에서는 이 저항의 개수를 줄이기 위하여 2 단 폴딩을 통하여 폴딩 신호의 폴딩율을 높이는 구조를 제안하였으며 트랜지스터 차동쌍 폴더를 추가하여 폴딩 ADC의 비선형 동작

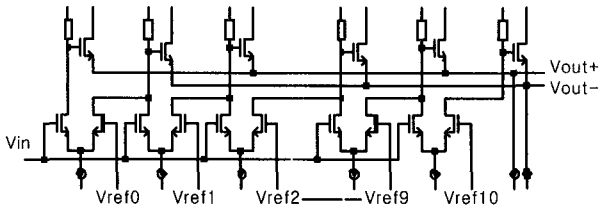


그림 3. Wired-OR로 구성된 폴딩 블록의 구조  
Fig. 3. Structure of folding block based on wired-OR interconnection.

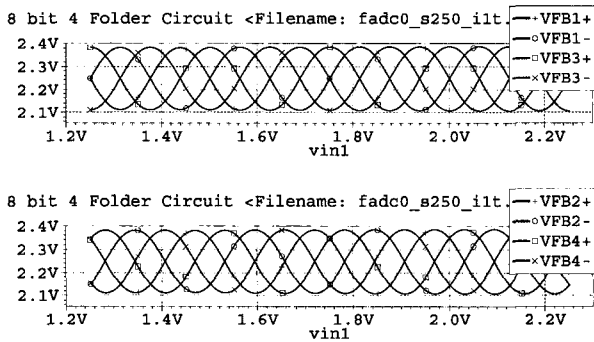


그림 4. 제안한 폴딩 블록의 출력 신호  
Fig. 4. Output signals of proposed folding blocks.

특성을 개선하였다.

### 2. 폴딩 블록

기존의 폴딩 블록에서는 각 폴딩 블록은 9 개의 CDP 로 구성되며 따라서 4 개의 폴딩 블록에 모두 36 개의 기준전압이 인가된다. 그림 3에서는 본 논문에서 제시 하는 폴딩 블록의 구조와 기준전압을 나타내었다.

Vref1에서 Vref9까지 인가되는 전압은 일반적인 폴딩 블록에 인가되는 기준전압과 같다. 그러나 Vref0에 는 Vref1보다 1LSB 만큼 작은 전압을, Vref10에는 Vref9보다 1LSB 만큼 큰 전압을 인가한다. 그림 4는 이와 같이 CDP가 추가된 폴딩 블록의 출력을 나타낸 것으로서 입력전압의 전 범위에서 거의 완전한 사인파 형태의 차동 신호를 출력한다. 완전 차동 폴딩신호는 다음 단계에 이어지는 트랜지스터 차동쌍을 폴더로 동작 시키는 입력신호로 사용하게 된다. 뿐만 아니라 입력 전압의 전 범위에서 정확한 폴딩신호를 구할 수 있으므로 폴딩 블록의 비선형 동작특성을 개선할 수 있다.

### 3. 트랜지스터 차동쌍

그림 4와 같이 출력되는 폴딩신호의 형태로부터 폴딩 블록 1과 3, 2와 4에서 출력되는 폴딩신호는 각 각 90° 위상차를 가지고 있음을 알 수 있다. 90° 위상차를

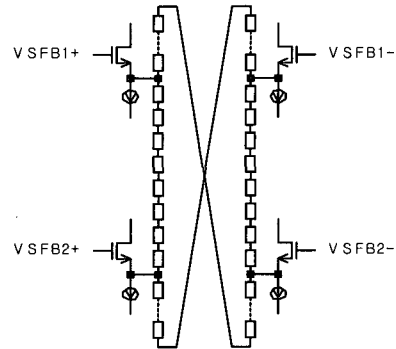


그림 5. 사다리 저항을 사용한 인터폴레이션 회로  
Fig. 5. Interpolation circuit using resistor ladder.

가진 폴딩 블록 1-3의 출력전압을 그림 2에 나타낸 2 번째 폴딩 회로 SFB(SFB; Second folding block) A에 인가하면 2 배로 폴딩된 신호를 얻을 수 있다. 트랜지스터 차동쌍으로 구성되는 2 번째 폴딩 회로의 동작원 리는 III 장에서 자세히 언급하기로 한다. 마찬가지로 폴딩 블록2-4의 출력전압을 SFB B에 인가하여 2 배로 폴딩된 신호를 얻을 수 있다. 트랜지스터 차동쌍에서 출력된 폴딩신호는 결과적으로 입력된 신호에 대하여 폴딩율이 16인 신호와 같은 신호로 볼 수 있다. 즉, 2 단 폴딩 회로를 사용할 경우 기존의 폴딩 증폭기의 구조를 그대로 이용하므로 빠른 동작 특성을 유지하면서 선형성이 개선된 폴딩율이 16인 폴딩 증폭기를 구현할 수 있다.

### 3. 기타 회로

트랜지스터 차동쌍 폴딩 회로에서 출력된 폴딩신호 는 그림 5와 같이 32 개의 사다리 저항으로 연결된 소 오스 플로워로 구동되는 인터폴레이션 회로에 인가된다. 사다리 저항을 사용한 인터폴레이션 회로는 차동회 로에 연결되므로 저항을 흐르는 전류가 거의 없어서 전 력손실이 없다<sup>[7]</sup>.

인터폴레이션 회로에서 만들어진 16 개의 차동신호 는 약 100mV 정도의 크기를 가지고 있으며 전압비교기 로 입력되어 순환코드로 변환된다. 전압비교기는 입력 된 차동신호의 교차점(zero-crossing)을 감지하여 디지 털 출력신호를 내보낸다. 따라서 입력되는 신호의 오프 셋 전압이나 전압비교기 자체의 오프셋 전압 변동이 순 환코드를 생성하는데 크게 영향을 미치지 않는다<sup>[6][7]</sup>.

디코더는 8 비트 디지털 데이터를 출력한다. 16 개의 전압비교기에서 출력된 순환 코드와 4 개의 폴딩 블록 에서 입력된 순환 코드를 이용하여 하위 5-비트 데이터 를 만든다. 2 번째 폴딩 회로를 통하여 변환된 하위 4-

비트 데이터와 첫 번째 폴딩 회로를 통하여 변환된 2 비트 중 LSB+3 비트는 서로 같은 디지털 출력값을 가져야 한다. 그러나 지연시간의 차이에 의해 에러가 발생할 수 있다. 마찬가지로 상위 3-비트 역시 하위 5-비트와 지연시간의 차이로 인해 에러가 발생할 수 있다. 따라서 플립플롭을 사용한 지연보상회로를 통하여 지연 시간을 보상해야 한다.

### III. 트랜지스터 차동쌍 폴딩 회로의 동작원리

그림 6에 트랜지스터 차동쌍 회로를 나타내었다. 서론에서 언급했듯이 여기에서 사용한 차동쌍으로 동작하는 두 개의 트랜지스터가 폴딩신호를 출력하기 위해서는 몇 가지 조건에 부합되어야 하는데, 이러한 조건은 일반적인 MOS 트랜지스터 제조과정에서 충분히 고려될 수 있는 것들이다. 첫째, 두 개의 트랜지스터 M1과 M2는 서로 잘 매칭되어 있는 NMOS이다. 둘째, 두 트랜지스터는 모두 포화된 상태에서 동작한다. 셋째, 채널 변조효과를 줄이기 위해 L 값은 비교적 큰 값을 갖도록 한다<sup>[8]</sup>. 마지막으로 트랜지스터의 게이트에 인가되는 AC 입력신호는 충분한 크기의 DC 전압 상에 인가한다. 이 네 가지 조건을 만족할 경우 서로 90°의 위상차를 가진 신호가 입력되면 새로운 폴딩신호를 얻을 수 있다.

NMOS 트랜지스터의 동작특성을 나타내는 드레인 전류  $i_D$ 는 (1) 식과 같이 주어진다<sup>[9]</sup>.

$$i_D = \frac{\mu_0 C_{ox} W}{L} \left[ (V_{GS} - V_T) - \frac{V_{DS}}{2} \right] V_{DS} (1 + \lambda V_{DS}) \quad (1)$$

이 트랜지스터가 포화되어 있다면, 포화전압  $V_{DS}(sat)$ 는  $V_{DS}(sat) = V_{GS} - V_T$ 와 같이 주어진다. 여기에서  $V_{DS} \gg V_{DS}(sat) = V_{GS} - V_T$  이고 L 값을 0.5

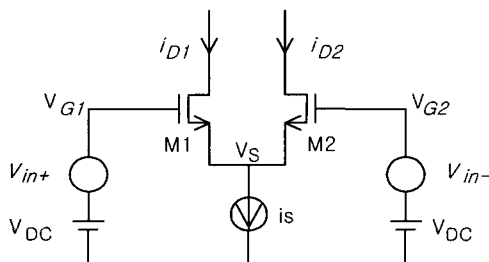


그림 6. NMOS 트랜지스터 차동쌍 회로  
Fig. 6. NMOS transistor differential pair circuit.

$\mu m$  보다 크게 한다면 채널변조효과를 무시할 수 있으므로  $\lambda$ 를 포함하는 포화전압  $V_{DS}$  항을 무시할 수 있다. 따라서 (1) 식은 다음과 같이 쓸 수 있다.

$$i_D = \frac{\mu_0 C_{ox} W}{2L} [(V_{GS} - V_T)^2] \quad (2)$$

그림 6에서 NMOS 트랜지스터 쌍 M1, M2의 드레인으로 흐르는 전류를 각각  $i_{D1}$ ,  $i_{D2}$ , 게이트 전압을  $V_{GS1}$ ,  $V_{GS2}$ , 싱크 전류를  $i_S$ , 소오스 전압을  $V_S$ 라고 하면 이 회로의 전류-전압 관계식은 (3), (4), (5) 식과 같이 나타낼 수 있다.

$$i_S = i_{D1} + i_{D2} \quad (3)$$

$$\begin{aligned} V_{G1} &= V_{GS1} + V_S \\ &= V_{DC} + V_{in} \end{aligned} \quad (4)$$

$$\begin{aligned} V_{G2} &= V_{GS2} + V_S \\ &= V_{DC} - V_{in} \end{aligned} \quad (5)$$

(4), (5) 식을 이용하여 (2) 식을 다시 쓰면, 드레인 전류  $i_{D1}$ ,  $i_{D2}$ 는 다음과 같이 표현된다.

$$i_{D1} = K_n' (V_{GS1} - V_T)^2 \quad (6)$$

$$i_{D2} = K_n' (V_{GS2} - V_T)^2 \quad (7)$$

여기에서  $K_n' = \frac{\mu_0 C_{ox} W}{2L}$  이다.

따라서 (3) 식은 (6)과 (7)식을 이용하여 다음과 같이 표현된다.

$$\begin{aligned} i_S &= K_n' (V_{GS1} - V_T)^2 + K_n' (V_{GS2} - V_T)^2 \\ &= 2 K_n' [ V_S^2 - 2(V_{DC} - V_T)V_S \\ &\quad + \{ V_{in}^2 + (V_{DC} - V_T)^2 \} ] \end{aligned} \quad (8)$$

(8) 식을  $V_S$ 에 대하여 구하면 다음과 같다.

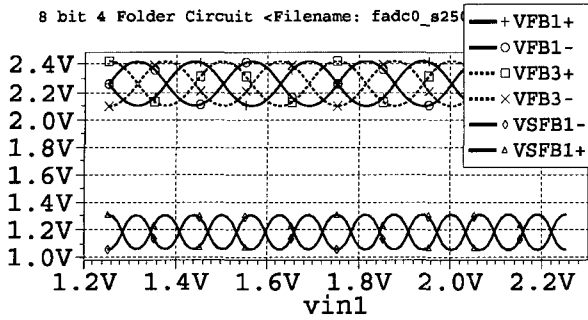
$$V_S = (V_{DC} - V_T) \pm \sqrt{\frac{i_S}{2K_n'} - V_{in}^2} \quad (9)$$

여기에서  $K_n'$ 의 단위는  $\mu A/V^2$ 이다. 따라서  $\frac{i_S}{2K_n'}$  항은  $V^2$ 의 형태를 갖는다. 따라서  $\frac{i_S}{2K_n'} = V_{ref}^2$  이라 하면

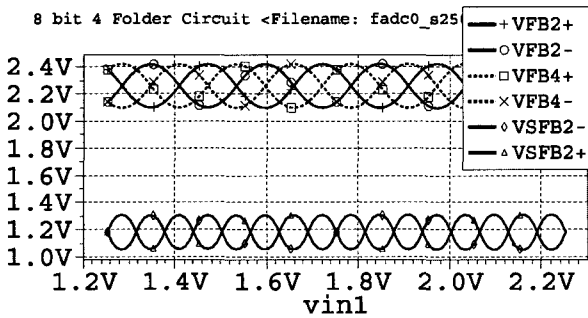
(9) 식은 다음과 같이 표현할 수 있다.

$$V_S = (V_{DC} - V_T) \pm \sqrt{V_{ref}^2 - V_{in}^2} \quad (10)$$





(a)



(b)

그림 8. 트랜지스터 차동쌍 폴더의 출력 신호 (a) FB1-FB3의 폴딩신호에 대한 트랜지스터 차동쌍 폴더의 출력 (b) FB1-FB3의 폴딩신호에 대한 트랜지스터 차동쌍 폴더의 출력

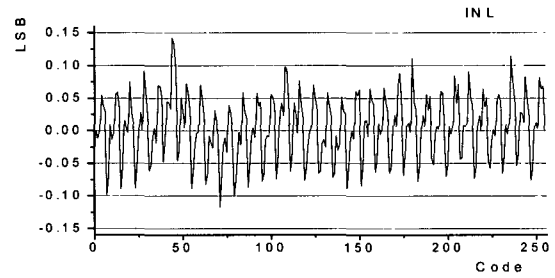
Fig. 8. Output Signals of transistor differential pair folding circuit. (a) Output waveform of transistor differential pair folder with FB1-FB3 outputs (b) Output waveform of transistor differential pair folder with FB1-FB3 outputs.

신호를, VSFB는 2 차 폴딩 회로에서 출력되는 폴딩 신호를 의미한다. 이 출력전압은 그림 5의 소오스 플로워로 구성되는 인터플레이팅 사다리 저항 회로에 인가되고 전압비교기를 통하여 디지털 신호로 바뀌어 진다.

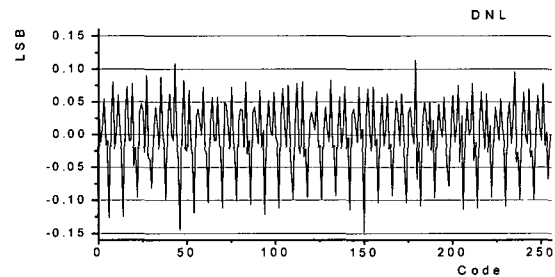
#### IV. 모의실험 결과

제안한 트랜지스터 차동쌍 폴딩 회로를 이용한 폴딩 ADC는 2.5V 단일 전원을 사용하며 0.25 $\mu$ m 표준 n-well CMOS 제조공정 파라미터를 사용하여 모의실험하였다. 모의실험 도구는 Hspice를 이용하였으며 250MHz의 고속 동작속도와 45mW의 소비전력을 갖는 등 매우 우수한 결과를 얻을 수 있었다. 실험 결과값을 이용하여 비선형 에러에 대한 파라미터로서 측정된 INL과 DNL은 각각  $\pm 0.15$ LSB와  $\pm 0.15$ LSB이며 그림 9에 나타내었다.

표 1에 기준에 발표된 폴딩 ADC와의 소비전력과 비



(a)



(b)

그림 9. 250MHz 샘플링 주파수에의 INL과 DNL (a) INL (b) DNL

Fig. 9. INL and DNL at 250MHz sampling frequency (a) INL (b) DNL.

표 1. 소비전력 및 비선형 에러의 비교

Table 1. Comparisons of the power consumption and nonlinearity errors in folding ADC.

	INL(LSB)	DNL(LSB)	소비전력(mW)
본 논문	$\pm 0.15$	$\pm 0.15$	45
참고문헌[3]	$\pm 3.0$	$\pm 0.8$	300
참고문헌[4]	언급 없음	언급 없음	200
참고문헌[6]	$\pm 1.0$	$\pm 0.3$	45
참고문헌[7]	$\pm 0.8$	$\pm 0.45$	80
참고문헌[10]	언급 없음	$\pm 0.8$	150
참고문헌[11]	언급 없음	$\pm 0.9$	200

선형 에러의 크기를 비교하였으며 크게 개선되어 있음을 알 수 있다. 그림 10은 1MHz의 사인파를 인가하여 얻은 FFT(Fast fourier transform)로서 SFDR(Spurious-free dynamic range)은 62.5dB이다. 그림 11은 입력 주파수를 100KHz에서 100MHz까지 증가시키며 얻은 SNDR (Signal-to-noise and distortion ratio)로서 10MHz 입력신호에서 약 50dB로 측정되었다. 측정된 SFDR과 SNDR로부터 계산한 유효비트는 7.8 비트로서 250Msamples/s의 샘플링 속도로 10MHz의 입력신호까지는 잘 동작함을 알 수 있다.

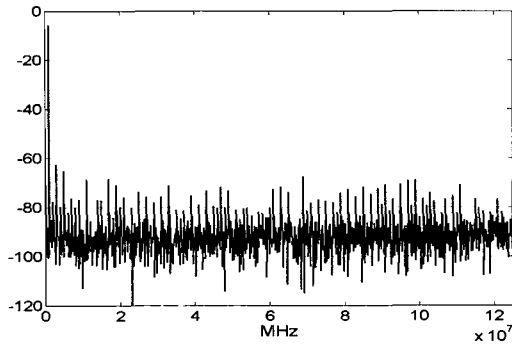


그림 10. 250MHz 샘플링 주파수에서의 FFT  
Fig. 10. FFT at 250MHz sampling frequency.

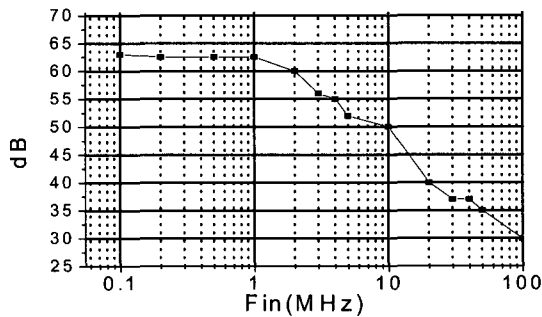


그림 11. 250MHz 샘플링 주파수에서의 SNDR  
Fig. 11. SNDR at 250MHz sampling frequency.

### V. 결 론

본 논문에서는 고속에서 저 전력으로 동작하며 칩의 면적을 줄일 수 있는 트랜지스터 차동쌍 폴딩 기술을 적용한 폴딩 ADC를 설계하였다. 이 기술을 적용하여 Fine ADC를 구성하는 전압비교기와 인터플레이션 저항의 수를 각각 16 개와 32 개로 줄일 수 있었다. 전압 비교기와 인터플레이션 저항 수를 줄임으로서 소비전력과 비선형 에러를 크게 줄일 수 있었다. 250MHz의 샘플링 주파수에서 소비전력은 45mW, 비선형 에러의 측정 지표인 INL과 DNL 값이 각각  $\pm 0.15\text{LSB}$ ,  $\pm 0.15\text{LSB}$ 로 측정되었다. SNDR은 10MHz의 입력신호에서 50dB로 측정되었다. 본 논문에서 제안한 ADC는 고속으로 동작하는 큰 규모의 집적회로의 부 회로에 적용하면 소비전력과 함께 칩 면적을 크게 줄일 수 있는 장점을 가지고 있다.

### 참 고 문 헌

[1] Rob E. J. Van de Grift and Rudy J. Van de

Plassche, "A Monolithic 8-Bit Video A/D Converter," *IEEE J. of Solid-State Circuits*, vol. sc-19, no. 3, pp 376-377, June. 1984.

[2] ROB E.J. Van de Grift, Ivow.J.M. Rutten, and Martien Van de Veen, "An 8-bit Video ADC Incorporating Folding and Interpolation Techniques," *IEEE J. of Solid-State Circuits*, vol. sc-22, no. 6, pp. 994-953, Dec. 1987.

[3] P.Vorenkamp,R.Roovers, "A 12b 50MSamples/s Cascaded Folding and Interpolating ADC," *ISSCC97 Session8*, pp.134-135,442, 1997.

[4] M. Flynn and B. Sheahan. "A 400-Msample/s, 6-b CMOS folding ADC," *ISSCC98, Session9*, 1932-1938, 1998.

[5] Johan van Valburg and Rudy J. van de Plassche, "An 8-b 650-MHz Folding ADC," *IEEE J. of Solid-State Circuits*, vol.27, no.12, pp. 1662-1666, Dec. 1992.

[6] Bram Nauta and Ardie G.W. Venus, "A 70-MS/s 110-mW 8-b CMOS Folding and Interpolating A/D Converter," *IEEE J. of Solid-State Circuits*, vol.30, no.12, pp. 1302-1308, Dec. 1995.

[7] Ardie G.W. Venes, and Rudy J. van de Plassche, "An 80-MHz, 80-mW, 8-b CMOS Folding A/D Converter with Distributed Track-and-Hold Processing," *IEEE J. of Solid-State Circuits*, vol. 31, no. 12, pp. 1846-1853, Dec. 1996.

[8] Mohammed Ismail and Terri Fiez, "Analog VLSI, Signal and Information Processing," McGraw-Hill Book Co.,pp.205-206, 1994.

[9] Phillip E. Allen and Dounglas R. Holberg. "CMOS Analog Circuit Design," Saunders College Publishing, pp. 96-103, 1987.

[10] Michael P. Flynn and David J. Allstot, "CMOS Folding A/D Converters with Current-Mode Interpolation," *IEEE J. of Solid-Stat Circuits*, vol.31, no.9, pp. 1248-1257, Sep. 1996.

[11] Michael P. Flynn and Ben Sheahan, "400-Msample/s, 6-b CMOS Folding and Interpolating ADC," *IEEE J. of Solid-Stat Circuits*, vol.33, no.12, pp. 1932-1938, Dec. 1998.

## 저 자 소 개



이 돈 섭(정회원)

1982년 성균관대학교 전자공학과  
학사 졸업.

1984년 한양대학교 전자공학과  
석사 졸업.

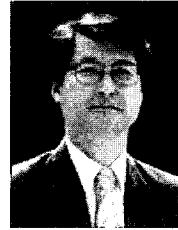
1997년 한양대학교 전자공학과  
박사과정 수료.

1983년~1990년 대우전자 컴퓨터개발부

1990년~1995년 충청대학 전자과 조교수

1996년~현재 두원공과대학 소프트웨어개발과  
부교수

<주관심분야: AD, DA변환기, 영상신호처리시스  
템의 설계>



곽 계 달(정회원)

1974년 한양대학교 전자공학과  
학사 졸업.

1976년 한양대학교 전자공학과  
석사 졸업.

1980년 ENSEEIHT, I.N.P,  
France 공학박사.

1982년~현재 한양대학교 전자전기컴퓨터공학부  
교수

2004년~현재 대한전자공학회 부회장

<주관심분야: 반도체회로설계, 나노메모리설계>