

논문 2004-41SD-11-8

# 3차원 연결선 모형의 효율적인 커패시턴스 추출 방법

(Efficient Capacitance Extraction Method for 3D Interconnect Models)

김 정 학\*, 성 윤 모\*, 김 석 윤\*

(Kim Jung Hak, Sung Yoon Mo, and Kim Seok Yoon)

## 요 약

본 논문은 3차원 연결선 모형을 이용하여 효율적으로 회로 연결선에 기생하는 커패시턴스 성분을 추출하는 방법을 제안한다. 제안한 방법은 경험식에 의한 방법 중 2차원 연결선 모형의 커패시턴스를 추출하는 알고리즘을 이용하여 수행시간을 개선하였고, 정확도의 오차를 줄이기 위하여 3차원 커패시턴스 추출에서 이용되는 모형화 방법을 적용하였다. 이 방법은 FastCap을 이용하여 실험한 결과와 비교하면 1.8%의 오차 범위에서 952배의 시간 이득을 얻을 수 있다. 제안한 방법은 VLSI 시스템의 칩 내 외부 연결선의 전기적 변수 추출에 효과적으로 이용될 수 있을 것이다.

## Abstract

This paper proposes an efficient method for computing the 3-dimensional capacitance of complex structures. The proposed method is based on applying numerical 2-dimensional capacitance extraction formula for 3-dimensional interconnect models. This method improves the extraction efficiency 952 times while compromising the accuracy within 1.8 percentage of maximal relative error, compared with the results of Fastcap program for various 3-D models. The proposed method can be used efficiently to extract electrical parameters of on/off-chip interconnects in VLSI systems.

**Keywords** : Capacitance, Extraction, Interconnect, VLSI

## I. 서 론

최근 디지털 집적 회로에서 트랜지스터 소자의 크기가 1마이크론 보다 작아짐에 따라 집적 회로에 내장된 소자의 개수는 수 백 만개를 넘어서고, 집적 회로의 크기 증가로 인하여 신호 연결선의 길이는 증가하는 추세를 보이고 있다. 이에 따라 집적 회로에서 트랜지스터와 같은 능동 소자에 의한 신호 지연보다 연결선과 같은 수동 소자에 의한 신호의 지연이 증가<sup>[1]</sup>하는데, 이러한 연결선을 정확하게 해석하기 위해서는 물리 설계 이후에 변수 추출 과정을 이용하여 연결선의 기생 성분(parasitics)을 정확하게 추출하는 것이 중요한 문제가 되었다. 특히, 커패시턴스 성분을 정확하게 추출하여 모형화하는 연구들이 최근에 많이 진행되고 있다. 기생

성분의 추출은 크게 해석적인 방법, 수치적인 방법, 경험식에 의한 방법으로 분류 할 수 있다. 해석적인 방법에 의한 연결선의 변수 추출방법은 실제 레이아웃(Layout)의 복잡한 구조에 적용하기에는 한계가 있으므로 정확성 문제가 발생하게 된다. 수치적인 방법은 유한차분법(Finite difference method)<sup>[2]</sup>, 유한 요소법(Finite element method)<sup>[3]</sup>, 경계요소법(Boundary element method)<sup>[4]</sup>, 다극자 알고리즘(multipole algorithm)<sup>[5]</sup> 등의 방법이 널리 사용되고 있는데, 이러한 방법들은 회로 집적도의 증가로 인하여 높은 시간 비용이 요구되고, 메모리 사용은 집적도와 비례를 하기 때문에 집적 회로 전체의 커패시턴스를 추출하기에는 비효율적이다. 경험식에 의한 방법<sup>[6]</sup>은 적은 메모리의 사용과 빠른 수행 시간이라는 장점을 갖고 있으나 복잡한 구조에서는 정확도가 떨어지며, 커플링(Coupling) 현상으로 인한 2차적인 전기 변수 추출의 어려움이 발생한다. 이러한 이유로 본 논문에서는 빠른 수행 시간과 적은 메모리를 이용하여 정확하게 전기 변수를 추출할 수 있는 효율적인 알고리즘을 제안한다.

\* 정회원, 숭실대학교 대학원 컴퓨터학과  
(Dept. of Computer, Graduate School, Soongsil University)

※ 본 연구는 숭실대학교 교내 연구비 지원으로 이루어졌습니다.

접수일자: 2004년6월24일, 수정완료일: 2004년10월28일

본 논문에서 제안하는 3차원 모형을 이용한 효율적인 커패시턴스 추출 방법은 기존의 경험식에 의한 방법을 개선한 것으로 기존의 커패시턴스 추출을 위하여 실험한 결과로서 얻어진 수식을 커패시턴스 변수 추출에 적용하고, 결과 값을 행렬(Matrix)로 출력함으로써 연결선에 기생하는 커패시턴스를 정확하게 추출할 수 있다. 더불어, 기존의 3차원 커패시턴스 추출 알고리즘에서 이용되는 모형화 방법을 적용하여 실험함으로써 정확도의 손상을 최소화 하면서 시간의 이득을 얻고자 한다.

본 논문의 구성은 다음과 같다. 후술하는 II절에서는 기존의 연결선에 기생하는 커패시턴스를 추출하는 방법을 제시하고, 이어 III절에서는 본 논문에서 제안한 커패시턴스 추출 방법 및 수식에 대하여 기술한다. IV절에서는 제안한 커패시턴스 추출 방법을 이용하여 실험함으로써 본 논문에서 제시한 방법의 우수성을 보이고, 마지막으로 V절에서 결론을 맺는다.

## II. 기존 커패시턴스 추출법

### 1. 기존의 커패시턴스 추출 방법

회로 연결선의 구조 및 배치를 최적화하기 위해서는 정확한 해석이 선행되어야 한다. 회로 연결선의 해석과정은 특성화(characterization), 모형화(modeling), 해석(analysis)의 3단계로 이루어진다. 해석과정 중에서 가장 중요한 과정은 특성화 단계로 회로 연결선의 구조 및 매체 정보로부터 전자기적 특성을 추출해 내는 과정이다. 본 절에서는 회로 연결선의 커패시턴스성분을 추출하는 방법에 대하여 기술한다.

#### 가. 2차원 커패시턴스 추출 방법

회로 연결선에 기생하는 커패시턴스 성분은 공정 기술이 발전함에 따라 반드시 고려해야 되는 중요한 문제가 되었다. 커패시턴스 추출 방법은 정확한 값을 얻기 위하여 1차원, 그리고, 2차원, 2.5차원, 3차원방법을 이용하여 지속적으로 발전하였다. 그러나 발전된 커패시턴스 추출방법으로 정확도는 향상되었지만 수행시간의 문제가 발생하여 현재는 2차원 커패시턴스 추출방법을 이용하여 정확도를 높이는 방법들이 널리 이용되고 있다. 커패시턴스 성분은 자체 커패시턴스(self capacitance)성분과 상호 커패시턴스(mutual capacitance)성분으로 나눌 수 있다. 자체 커패시턴스 성분이란 하나의 도체에 의하여 유기되는 값으로, 도체와 그라운드

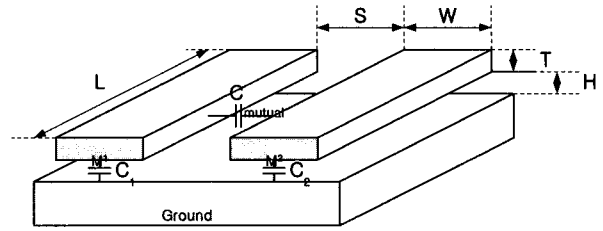


그림 1. 커패시턴스 성분 추출을 위한 연결선의 기하학적 모형

Fig. 1. Geometric model for capacitance extraction of interconnects.

(ground) 사이의 커패시턴스로 정의하며, 상호 커패시턴스란 도체들 사이의 상호작용에 의한 값으로, 도체와 도체 사이에 존재하는 커패시턴스를 이용하여 정의한다. 상호 커패시턴스는 공정기술이 발전하면서 도체들 간의 거리가 좁아져 커패시턴스 값이 증가하는 경향을 보이고 있으며, 회로 해석을 할 경우 반드시 고려해야 할 중요한 문제이다.

그림 1에서는 이상적인 연결선 기하구조에서의 커패시턴스 성분을 보이고 있다.  $C_1$ 과  $C_2$ 는 도체의 자체 커패시턴스 성분을 나타내며,  $C_{mutual}$ 은 두 도체 사이의 상호 커패시턴스 성분을 의미 한다.

그림 1의 구조의 커패시턴스 성분을 추출하기 위해서 연결선의 길이(L)와 연결선의 폭(W), 연결선의 두께(T), 그라운드와 연결선 사이의 간격(H)을 고려하여야 한다. 연결선  $M_1$ 에 기생하는 커패시턴스 성분은 연결선의 변수 값을 이용하여 수식 1과 같이 나타 낼 수 있다. 아래의 식에서 이용된 변수 A는 연결선의 면적( $L \cdot W$ )을 나타낸다.

$$C = \epsilon \cdot \frac{A}{H} \tag{1}$$

수식 1은 그라운드 위에 유한한 길이를 갖는 연결선을 가정한 이상적인 수식으로, 현재의 복잡한 구조에서 적용하기에는 오차가 크기 때문에 가장자리 장(fringing field) 효과를 고려한 식을 사용하여 커패시턴스 성분을 추출한다. 그림 1의  $M_1$ 에 기생하는 자체 커패시턴스( $C_1$ )와  $M_2$ 에 기생하는 자체 커패시턴스 성분( $C_2$ )은 수식 (2)를 적용하여 구할 수 있다<sup>[7]</sup>.

$$C = \epsilon \cdot \left\{ \frac{W}{H} + 3.28 \left( \frac{T}{T+2H} \right)^{0.023} \left( \frac{S}{S+2H} \right)^{1.16} \right\} \tag{2}$$

부가적으로, 최근에 부각되는 회로 내에 기생하는 상

호 커패시턴스는 연결선 사이의 거리에 반비례하므로 수식 (3)과 같이 나타 낼 수 있다<sup>[7]</sup>.

$$C = \epsilon \cdot \left\{ 1.064 \left( \frac{T}{S} \right) + \left( \frac{T+2H}{T+2H+0.5S} \right)^{0.695} + \left( \frac{W}{W+0.8S} \right)^{1.4148} \left( \frac{T+2H}{T+2H+0.5S} \right)^{0.804} + 0.831 \left( \frac{W}{W+0.8S} \right)^{0.055} \left( \frac{2H}{2H+0.5S} \right)^{3.542} \right\} \quad (3)$$

수식 (2)와 식(3)에 이용된 상수는 실험 결과에 의하여 얻어진 값이며, 수식에 이용된 변수들은  $0.3 \leq \frac{W}{H} \leq 10$ ,  $0.3 \leq \frac{S}{H} \leq 10$ ,  $0.3 \leq \frac{T}{H} \leq 10$ 의 범위의 값을 갖는다.

나. 3차원 커패시턴스 추출 방법

연결선의 3차원 커패시턴스 추출 방법에서 이용되는 커패시턴스 추출 방법은 전하밀도와 점전하 전위의 관계식을 이용한다. 이를 위하여 포아송 방정식(Poisson's equation)이라고 부르는 식 (4)을 이용한다<sup>[5]</sup>.

$$\nabla^2 \phi(r) = -\frac{\rho(r)}{\epsilon} \quad (4)$$

위의 수식에 유한 요소법을 적용하여 도체 사이의 자유전하 공간을 작은 셀들로 분할하고, 셀들 사이의 거리를 사용하여 전위 계수를 얻음으로서 전하  $\rho(r)$ 의 근사값을 얻을 수 있다. 이때 전하 값의 합이 도체의 커패시턴스 값이 된다.

식 (4)에서의  $\rho$ 에 대한 적분을 사용하여  $\phi$ 에 대한 해를 식 (5)와 같은 식으로 구할 수 있다.

$$\Phi_i(r_i) = \int \rho(r) G(r_i, r) dV_n \quad (5)$$

위의 적분식은 도체의 모든 면을 포함한 수식으로,  $G(r_i, r)$ 은 포아송 방정식을 이용하여 식 (6)과 같이 재구성 할 수 있다.

$$\nabla^2 G(r_i, r) = -\frac{\delta(r_i - r)}{\epsilon} \quad (6)$$

다시 위 식을 유한 유전체에 대한 그린 함수(Green's Function)  $G(r_i, r)$ 로 정의하면 수식 (7)과 같이 표현된다.

$$G(r_i, r) = \frac{1}{4\pi\epsilon_0\epsilon|r_i - r|} \quad (7)$$

경계 요소법의 커패시턴스 추출 방법은 전하들이 시스템에서 도체의 표면에 점전하의 전위가 형성된다는 것을 응용하여 도체의 표면을 적분함으로써 커패시턴스

를 구하는 방법이다. 이를 가정하여, 시스템의 모든 도체 면적의 표면 적분으로 식 (5)를 간소화 할 수 있는데, 이러한 모든 면적은  $\partial V$ 에 의해서 식 (8)과 같이 표현할 수 있다. 여기서,  $V$ 는 도체의 체적을  $\sigma$ 는 면 전위 밀도를 나타낸다.

$$\Phi_i(r_i) = \int_{\partial V} \sigma(r) G(r_i, r) dS_n \quad (8)$$

즉, 경계 요소법의 커패시턴스 추출은 도체의 표면을 셀들로 분리하는 것으로 시작하여, 표면 전하밀도의 함수로서 표면의 전위를 구한다. K개의 도체 각각의 표면들은 도체 당 면의 개수 N으로 인하여 K×N개의 면들의 집합이 된다. 그리고 각 면들은 분할된 작은 셀들을 이루게 된다. 이때, 도체 i에서 셀의 중점  $r_i$ 의 표면전위는 식 (9)와같이 표현되며,  $\sigma_n(r)$ 은 도체 표면  $S_n$ 에서의 전하 밀도이다.

$$\Phi_i(r_i) = \sum_{k=1}^K \left[ \sum_{n=1}^{N_k} \int_{S_n} G(r_i, r) \sigma_n(r) dS_n \right] \quad (9)$$

각 셀의 표면 전하밀도  $\sigma_n(r)$ 은 평균값의 이론을 사용하여 적분형 안에서 제거할 수 있다. 그리고 모든 셀 i에 대한 식 (9)가 적분되어지면, 경계요소법의 Galerkin 방법을 사용하여 다음의 식 (10)을 얻을 수 있다. 여기서, 평균 면적 전하밀도는  $\sigma_n = \frac{q_n}{S_n}$  이다<sup>[5]</sup>.

$$\begin{aligned} \Phi_i &= \frac{1}{S_i} \int_{S_i} \Phi(r) dS \\ &= \sum_{k=1}^K \sum_{n=1}^{N_k} \frac{q_n}{S_i S_n} \int_{S_i} \int_{S_n} G(r_i, r) dS_i dS_n \end{aligned} \quad (10)$$

위의 식을 행렬식으로 바꾸면 식 (11)이 된다.

$$[\Phi] = [P][Q] \quad (11)$$

여기서, 분할된 패널 전위는  $\Phi = [\Phi_1 \ \Phi_2 \ \dots \ \Phi_N]^T$ 이고 패널 전하는  $Q = [Q_1 \ Q_2 \ \dots \ Q_N]^T$ 이다. 이때 P는 셀들 사이의 전위 또는 유도 행렬이며, N×N행렬 P의 값은 식 (12)가 된다.

$$p_{ij} = \frac{1}{S_i S_j} \int_{S_i} \int_{S_j} G(r_i, r) dS_j dS_i \quad (12)$$

따라서, 커패시턴스 행렬 C는 식 (13)이 된다.

$$[C] = [A]^T [P]^{-1} [A] \quad (13)$$

C 행렬은 전위 행렬 P와 상대 행렬 A로부터 얻을 수 있다. 이때  $A_{ij}$ 의 값은 셀 i가 도체 j의 위에 위치하면 '1'의 값을 갖고, 아니면 '0'의 값을 갖는다. 예를 들어  $C_{ij}$ 를 구하기 위해 먼저 패널의 전하를 구해야 한다. 이때 j번째 도체를 1로 하기 위해 행렬 값 중에 도체 j위의 패널들을 모두 1로 한다. 그래서 식 (14)의 식을 얻을 수 있다.

$$[P][q] = \begin{bmatrix} 0 \\ 0 \\ 1 \\ 1 \\ 1 \\ 0 \\ 0 \\ 0 \end{bmatrix} \xrightarrow{\substack{\text{1 Volt Applied} \\ \text{to } i\text{th conductor}}} \Rightarrow [q] = [P]^{-1} \begin{bmatrix} 0 \\ 0 \\ 1 \\ 1 \\ 1 \\ 0 \\ 0 \\ 0 \end{bmatrix} \xrightarrow{\substack{\text{1 Volt Applied} \\ \text{to } i\text{th conductor}}} \quad (14)$$

행렬의  $C_{ij}$ 를 구하려면 i번째 도체의 모든 패널의 전하를 더하면 구할 수 있으므로, 참조 노드(reference node)를 포함한 전체 커패시턴스는 식 (15)와 같이 표현할 수 있다.

$$C_{ii} = C_{i \text{ to reference}} + \sum_{j \neq i} (-C_{ij}) \quad (15)$$

### III. 효율적인 커패시턴스 추출 방법

본 논문에서는 기존의 2차원 커패시턴스 추출 방법의 문제점을 개선한 것으로 3차원 커패시턴스 추출 알고리즘을 이용한 방법과 동등한 정확도를 유지하되, 수행시간은 기존의 2차원 커패시턴스 추출 방법과 같은 수행시간을 필요로 하는 커패시턴스 추출 알고리즘을 제안하고자 한다.

기존의 2차원 커패시턴스 추출 알고리즘의 장점은 빠른 수행시간을 갖는다는데 있다. 그러나 추출된 결과 값은 정확성이 결여 되어 있기 때문에 결과 값을 이용하여 정확한 회로 해석을 한다는 것은 불가능하였다. 더불어 연결선 사이에서 작용하는 상호 커패시턴스의 계산이 불가하여 추출된 결과 값을 이용하여 연결선 간에 미치는 영향을 정확하게 예측 할 수가 없다.

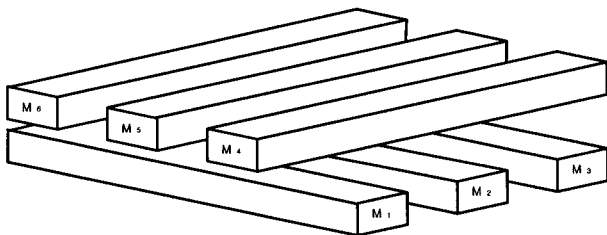


그림 2. 커패시턴스 추출을 위한 3x3 연결선 모형  
Fig. 2. 3x3 interconnect model for capacitance extraction.

그림 2에 대해 전형적인 2차원 커패시턴스 추출 구조로 전체 커패시턴스를 구하는 수식은 식 (16)과 같다. 앞에서 언급했듯이 수식 (16)을 이용하면 동일한 층(layer)에서의 상호 커패시턴스( $C_{M1, M2}, C_{M2, M3}, C_{M4, M5}, C_{M5, M6}$ )를 추출하는 것은 가능하나, 서로 다른 층에서 작용하는 상호 커패시턴스 성분은 추출을 할 수가 없다.

$$C_{Total} = C_{M1} + C_{M1M2} + C_{M2} + C_{M2M3} + C_{M3} + C_{M4} + C_{M4M5} + C_{M5} + C_{M5M6} + C_{M6} \quad (16)$$

따라서, 본 논문에서는 그림 3과 같은 구조를 이용하여 커패시턴스 성분을 추출하는 알고리즘을 제안한다. 그림 3의 구조에서 연결선의 분할방법은 서로 다른 층의 연결선과 중첩되는 부분을 찾아 서로 중첩되는 부분을 가상적으로 분할한다. 분할된 각각의 요소는 서로 다른 층에 기생하는 상호 커패시턴스 성분을 추출 할 때 이용한다.

제안한 커패시턴스 성분 추출방법은 크게 3부분으로 나누어 커패시턴스 성분을 추출 할 수 있다. 첫 번째로 연결선 자체에 기생하는 자체 커패시턴스 성분으로 그림 3의  $M_1, M_2, M_3, M_4, M_5, M_6$ 가 이에 속한다. 각각의 커패시턴스 성분을 추출하기 위하여 수식 (17)과 같은 방법을 이용 하였다. 수식을 확인하면 알 수 있듯이 2차원 커패시턴스 추출방법을 이용 하면서도 연결선에 기생하는 커패시턴스 성분을 정확하게 추출하기 위하여 하나의 연결선을 여러 개의 요소로 분할하여 연결선을 재구성함으로써 각각의 연결선에 기생하는 커패시턴스를 추출한다.

$$\begin{aligned} C_{M1} &= C_{M11} + C_{M12} + C_{M13} + C_{M14} + C_{M15} + C_{M16} + C_{M17} \\ C_{M2} &= C_{M21} + C_{M22} + C_{M23} + C_{M24} + C_{M25} + C_{M26} + C_{M27} \\ &\dots \dots \dots \\ C_{M5} &= C_{M51} + C_{M52} + C_{M53} + C_{M54} + C_{M55} + C_{M56} + C_{M57} \\ C_{M6} &= C_{M61} + C_{M62} + C_{M63} + C_{M64} + C_{M65} + C_{M66} + C_{M67} \end{aligned} \quad (17)$$

두 번째로 고려해야 할 성분은 동일 층에서 서로 마

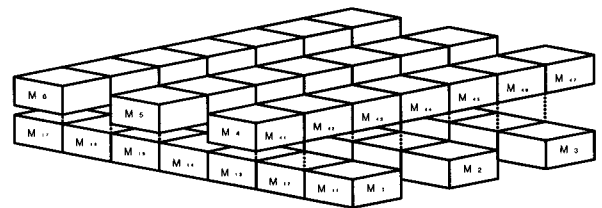


그림 3. 커패시턴스 추출을 위한 개선된 3x3 연결선 모형  
Fig. 3. Improved 3x3 interconnect model for capacitance extraction.

주한 연결선에 기생하는 상호커패시턴스이다. 동일 층의 연결선에 기생하는 상호커패시턴스도 자체커패시턴스를 구하는 방법과 유사한 방법을 채택하여 정확도를 높였다. 상호커패시턴스를 추출하는 방법은 수식 (18)에서 보는 것과 같은 방법을 이용하며, 가상으로 분할된 연결선들의 요소 중 서로 영향을 미치는 요소만을 고려하여 수식화 하였다. 수식을 이용하여 계산 한 후에 계산하여 얻어진 결과 값들을 모두 합함으로써 두 연결선에 기생하는 상호 커패시턴스 성분을 추출 할 수 있다.

$$\begin{aligned}
 C_{M_1M_2} &= C_{M_{11},M_{21}} + C_{M_{12},M_{22}} + \dots + C_{M_{16},M_{26}} + C_{M_{17},M_{27}} \\
 C_{M_2M_3} &= C_{M_{21},M_{31}} + C_{M_{22},M_{32}} + \dots + C_{M_{26},M_{36}} + C_{M_{27},M_{37}} \\
 C_{M_4M_5} &= C_{M_{41},M_{51}} + C_{M_{42},M_{52}} + \dots + C_{M_{46},M_{56}} + C_{M_{47},M_{57}} \\
 C_{M_5M_6} &= C_{M_{51},M_{61}} + C_{M_{52},M_{62}} + \dots + C_{M_{56},M_{66}} + C_{M_{57},M_{67}}
 \end{aligned} \quad (18)$$

마지막으로, 2차원 커패시턴스 추출 방법에서 고려하지 않았던 서로 다른 층에서 기생하는 상호 커패시턴스 성분은 연결선의 1층과 2층에서 가상으로 분할한 부분 중 연결선이 서로 중첩되는 부분을 찾아 중첩된 부분의 영향으로 인하여 발생하는 상호 커패시턴스 성분을 계산하게 된다.

- 연결선  $M_1$  과  $M_4, M_5, M_6$  의 상호커패시턴스:  $C_{M_1, M_4}, C_{M_1, M_5}, C_{M_1, M_6}$
- 연결선  $M_2$  과  $M_4, M_5, M_6$  의 상호커패시턴스:  $C_{M_2, M_4}, C_{M_2, M_5}, C_{M_2, M_6}$
- 연결선  $M_3$  과  $M_4, M_5, M_6$  의 상호커패시턴스:  $C_{M_3, M_4}, C_{M_3, M_5}, C_{M_3, M_6}$
- 연결선  $M_4$  과  $M_1, M_2, M_3$  의 상호커패시턴스:  $C_{M_4, M_1}, C_{M_4, M_2}, C_{M_4, M_3}$
- 연결선  $M_5$  과  $M_1, M_2, M_3$  의 상호커패시턴스:  $C_{M_5, M_1}, C_{M_5, M_2}, C_{M_5, M_3}$
- 연결선  $M_6$  과  $M_1, M_2, M_3$  의 상호커패시턴스:  $C_{M_6, M_1}, C_{M_6, M_2}, C_{M_6, M_3}$

위와 같이 계산 된 상호 커패시턴스 성분은 다음과 같이 정리할 수 있다. 결과적으로 본 논문에서 제안하는 효율적인 커패시턴스 추출 알고리즘을 이용하여 전체 커패시턴스를 추출 하면 수식 (19)와 같은 행렬을 구성 할 수 있으며, 구성한 커패시턴스 행렬을 이용하여 연결선을 모델링 할 경우 기존의 방법보다 정확하게 모델링을 할 수 있다.

$$C_{Total} = \begin{pmatrix} C_{11} & -C_{12} & -C_{13} & -C_{14} & -C_{15} & -C_{16} \\ -C_{21} & C_{22} & -C_{23} & -C_{24} & -C_{25} & -C_{26} \\ -C_{31} & -C_{32} & C_{33} & -C_{34} & -C_{35} & -C_{36} \\ -C_{41} & -C_{42} & -C_{43} & C_{44} & -C_{45} & -C_{46} \\ -C_{51} & -C_{52} & -C_{53} & -C_{54} & C_{55} & -C_{56} \\ -C_{61} & -C_{62} & -C_{63} & -C_{64} & -C_{65} & C_{66} \end{pmatrix} \quad (19)$$

#### IV. 구현 및 실험 결과

##### 가. 커패시턴스 추출 도구의 구현

본 논문에서 구현한 도구는 입력 패턴 생성 도구와 커패시턴스 추출 도구로 이루어진다. 입력패턴 생성도구는 GUI 환경을 지원하기 때문에 도구를 처음 접하는 사용자

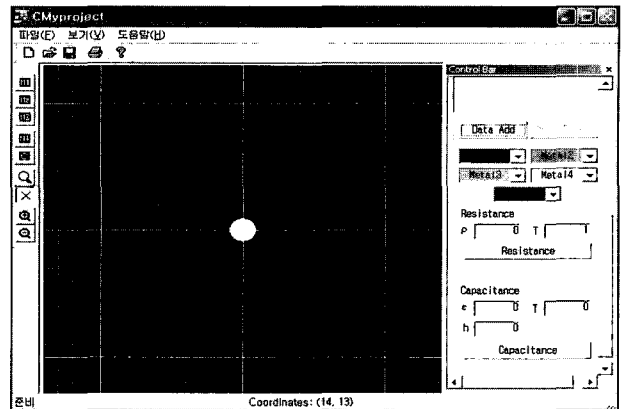


그림 4. 회로 연결선의 기생 성분 분석 도구  
Fig. 4. Parasitic element analysis tool for interconnects.

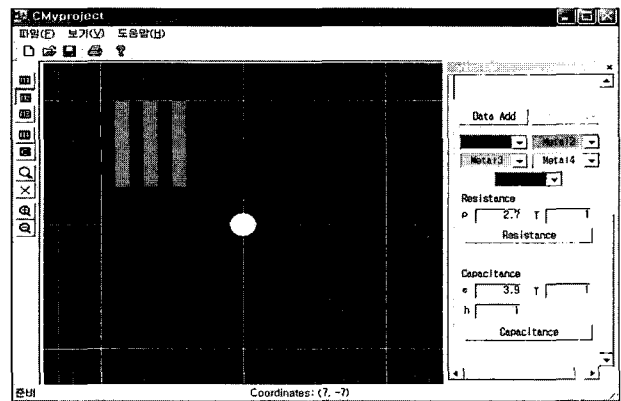


그림 5. 커패시턴스 추출을 위한 입력패턴 생성  
Fig. 5. Input pattern generation for capacitance Extraction.

C	1	2	3	4	5	6
1	325.219	-108.396	-13.203	-48.033	-40.731	-49.098
2	-108.276	373.951	-108.726	-39.849	-33.537	-41.147
3	-12.257	-109.678	325.118	-47.397	-41.989	-48.031
4	-48.211	-41.031	-48.236	326.613	-109.810	-12.921
5	-40.115	-33.111	-40.107	-109.150	373.439	-109.796
6	-47.305	-39.815	-48.121	-12.929	-109.968	325.729

그림 6. 커패시턴스 추출 도구의 실행 결과  
Fig. 6. Execution results of capacitance extraction tool.

들도 쉽게 입력패턴을 생성 할 수 있다. 그림 4는 입력패턴 생성도구로 연결선의 구조를 사용자가 원하는 형태로 입력 할 수 있으며 여러 가지의 변수를 입력 받을 수 있도록 구현하여 다양한 환경에서의 실험 할 수 있도록 구현하였다. 이 도구에서는 n x n의 복잡한 버스 구조와 함께 실제 회로에 대한 모델링이 가능하도록 설계 하였다.

그림 5는 3x3의 버스 구조를 입력패턴 생성 도구를 이용하여 작성한 것이다. 이렇게 생성된 버스구조는 버스구조의 좌표 값을 커패시턴스 추출 도구로 전송하여 전송된 버스구조의 좌표 값을 커패시턴스 추출 도구가

표 1. 3×3 버스구조의 실험 결과

Table 1. Experimental results of 3×3 bus structure.

Method	C <sub>11</sub> [pF]	C <sub>12</sub> [pF]	C <sub>13</sub> [pF]	C <sub>14</sub> [pF]	C <sub>15</sub> [pF]	C <sub>16</sub> [pF]	T <sub>Eval</sub>	C <sub>Error</sub> [%]
FastCap	67.69	42.12	67.41	67.68	42.34	67.62	3s	0
New Method	66.75	42.30	68.64	67.22	40.72	68.39	8ms	0.28

표 2. 복잡도에 따른 버스구조의 정확도와 수행시간 및 오차율

Table 2. Accuracy, execution time and error ratio of complex bus structures.

	2 x 2		3 x 3		4 x 4		5 x 5	
	Fast Cap	New Method	Fast Cap	New Method	Fast Cap	New Method	Fast Cap	New Method
C <sub>Total</sub> [pF]	262.22	266.82	354.86	353.87	525.77	528.96	532.45	527.47
수행시간	1.47s	2ms	3.4s	7ms	5.65s	11ms	14.28s	15ms
시간이득	753배		486배		514배		952배	
오차율[%]	1.8 %		-0.28 %		-0.61 %		-0.94 %	

분석함으로써 생성된 구조에 기생하는 커패시턴스를 추출하게 된다.

입력 패턴 생성기로 작성한 3×3의 버스 구조를 이용하여 커패시턴스 추출 도구를 이용하여 계산한 결과는 그림 6과 같은 형태를 갖는다.

#### 나. 실험결과

본 논문에서는 일반적으로 이용되는 연결선 구조인 버스 모형을 이용하여 커패시턴스 추출 실험을 하였다. 표 1은 앞 절에서의 그림 5와 같은 3×3 버스구조에서 추출된 커패시턴스 값과 추출과정에서 이용된 수행시간을 FastCap<sup>[5]</sup>과 비교하여 표로 나타내었다.

표 2는 복잡도에 따른 실험 결과를 FastCap의 수행결과와 비교함으로써 제안한 방법의 우수성을 보였다. 결과적으로 10%의 오차 범위에서 최고 952배의 시간적 이득을 얻을 수 있다.

## IV. 결 론

칩의 고속화·고집적화로 인하여 칩 설계 시에 고려해야 할 요소들이 더욱 증가하게 되었고, 과거에는 중요시 여기지 않았던 부분인 연결선에서의 전기적 성분을 고려하지 않고서는 시스템의 완벽성을 보장받지 못하게 되었다. 본 논문에서는 회로 연결선의 전기적 변수 추출을 위해 효율적인 커패시턴스 추출방법을 제안

하고 추출도구를 구현하였다. 본 논문에서 구현한 커패시턴스 추출 도구는 이상적이고, 균일한 무 손실 유전체를 갖는 일반적인 3차원 연결선들의 커패시턴스를 추출한다. 실험한 결과 최고 1.8%의 오차율을 보이며, 수행시간은 최저 486배에서 최고 952배의 시간적 이득을 얻을 수 있었다. 따라서 전기적 성분의 추출 시에 본 논문에서 제시한 방법인 효율적인 커패시턴스 추출 방법을 이용하면 정확도의 손실을 최소로 하면서 기존의 방법보다 빠른 시간 안에 원하는 결과를 출력하여 시간적 성능을 개선하는데 도움을 줄 수 있을 것이다.

## 참 고 문 헌

- [1] J. Quin, S. Pullela, and L. Pillage, "Modeling the Effective Capacitance for the RC interconnect of CMOS Gates," IEEE Trans. on Computer-Aided Design of Integrated Circuits and Systems, vol. 13, no. 12, Dec. 1994.
- [2] A. Seidl, M. Svoboda, J. Oberndorfer, and W. Rosner, "CAPCAL-A 3D Capacitance Solver for Support CAD systems," IEEE Trans. Computer-Aided Design of Integrated Circuits and Systems, vol. 7, pp. 549-556, 1988.
- [3] P. Benedeck, "Capacitances of a Planar Multiconductor Configuration a Dielectric Substrate by a Mixed Order Finite-element Method," IEEE Trans. Circuit & Syst., vol. CAS-23, pp. 279-283, 1976.
- [4] Q. Ning, P. M. Dewilde, and F. L. Neerhoff, "Capacitance Coefficients for VLSI Multilevel Metallization lines," IEEE Trans. Electron Devices, vol. ED-34, pp. 644-649, 1987.
- [5] K. Nabors and J. White, "FastCap: A Multipole Accelerated 3-D Capacitance Extraction Program," IEEE Trans. on Computer-Aided Design of Integrated Circuits and Systems, vol. 10, no. 11, Nov. 1991.
- [6] N. D. Llanda and M. Richardson, "Modeling and Extraction of Interconnect Capacitance for Multi-layer VLSI Circuits," IEEE Trans. Computer-Aided Design of Integrated Circuits and Systems, vol. 15, pp.58-67, Jan. 1996.
- [7] Jue-Hsien Chern, Jean Huang, "Multilevel Metal Capacitance Models For CAD Design Synthesis Systems," IEEE Electron Device Letters, vol. 13, no. 1, Jan. 1992.

저 자 소 개



김 정 학(정회원)  
 2000년 청운대학교 인공지능  
 컴퓨터학과 학사졸업.  
 2002년 숭실대학교 컴퓨터학과  
 석사 졸업.  
 2004년 숭실대학교 컴퓨터학과  
 박사 수료.

2004년~현재 오리온전기 OLED연구소 연구원.  
 <주관심분야: 설계자동화, VLSI 회로해석 및 설계>



김 석 윤(정회원)  
 1980년 서울대학교 공대  
 전기공학과 학사 졸업.  
 1990년 University of Texas at  
 Austin 전기, 컴퓨터학과  
 석사 졸업.  
 1993년 University of Texas at  
 Austin 전기, 컴퓨터학과  
 박사 졸업.

1982년~1987년 한국전자 통신연구소 연구원.  
 1993년~1995년 Motorola Inc. Senior Staff  
 Engineer  
 1995년~현재 숭실대학교 컴퓨터학부 교수.  
 <주관심분야 : 설계자동화, VLSI 회로해석 및  
 설계>



성 윤 모(정회원)  
 2002년 초당대학교 컴퓨터학과  
 학사 졸업.  
 2004년 숭실대학교 컴퓨터학과  
 석사 졸업.  
 <주관심분야 : 설계자동화, VLSI  
 회로해석 및 설계>

