

논문 2004-41SD-11-15

# 특수 명령어를 지원하는 자동 경계 주사 생성기 구현에 관한 연구

(An Implementation of Automatic Boundary Scan Circuit Generator  
Supporting Private Instructions)

박 재 흥\*, 장 훈\*\*

(Jae-Heung Park and Hoon Chang)

## 요 약

본 논문에서 구현한 GenJTAG은 웹기반 경계 주사 회로 자동 생성기이다. GenJTAG은 경계 주사 기법의 공개 명령어를 모두 지원하고 다른 테스트 용이화 기법을 위한 특수 명령어를 지원할 수 있는 경계 주사 회로를 생성하여 준다. 생성된 경계 주사 회로는 행위 수준 verilog-HDL 코드로 기술되므로 요구 사항이 변경될 경우 사용자가 용이하게 수정할 수 있다. 특히, GenJTAG은 웹을 통하여 사용할 수 있으므로 누구나 쉽게 경계 주사 회로를 생성할 수 있는 이점이 있다.

## Abstract

GenJTAG implemented in this paper is an automatic web-based boundary scan circuit generator. GenJTAG supports all the public instructions for the boundary scan technique, and also private instructions for other DFT techniques to be applied. Users can easily edit the generated boundary scan circuit code because it is described in behavioral level with the Verilog-HDL. GenJTAG has another advantage that any one can generate the boundary scan circuit by simply accessing to the web site.

**Keywords :** IEEE 1149.1, JTAG Generator, DFT, Boundary Scan, BIST

## I. 서 론

VLSI 설계 기술 및 공정 기술이 발전함에 따라 기관 위의 여러 컴포넌트들이 단일 칩으로 구현되면서 칩의 집적도 및 복잡도가 증가하였다. 이에 따라 설계 사양을 만족시켜주는 칩의 완벽한 설계 뿐만 아니라 완성된 시스템의 완벽한 동작을 보장해 주는 테스트가 중요한 문제가 되었고 테스트에 필요한 비용도 점점 증가 하게 되었다. 따라서 테스트의 비용을 줄이기 위하여 설계 단계에서부터 테스트 용이화 설계(Design for Testability) 기법을 적용한 칩 설계 기법을 도입하게 되고, 이러한

기법으로는 스캔(Scan) 기법, BIST(Built-In Self Test) 기법, Ad-hoc 기법 등이 있다<sup>[1,2,3,4,5]</sup>.

칩의 복잡도의 증가와 함께 칩이 실장된 전체 기관의 테스트도 어려운 문제로 대두되었고 이를 해결하기 위한 설계 기법이 필요하게 되었다. 그래서 1980년대 초부터 유럽과 북미의 산학연 협동체인 JTAG(Joint Test Access Group)이 기관 수준에서의 테스트를 지원할 수 있는 테스트 용이화 설계 기법을 연구하게 되었다. 이를 기초로 하여 IEEE에서는 IEEE 1149.1이라는 표준안을 제정하게 되었다<sup>[6,7,8]</sup>. 현재 많은 상용칩에서 기관 수준의 테스트를 위해 IEEE 1149.1 표준안, 즉 경계 주사 기법을 적용하고 있으며<sup>[2,3,4,5]</sup>, 요즘은 널리 사용되고 있는 PCI 버스 표준에서도 경계 주사 기법을 지원하기 위한 신호를 정의하고 있다<sup>[9]</sup>. 또한 경계 주사 기법은 기관 수준의 테스트 뿐만 아니라 사용자의 요구에 따라 특수

\* 학생회원, \*\* 정회원 숭실대학교 컴퓨터학과

(Department of Computing, Soongsil University)

※ 본 연구는 숭실대학교 교내연구비 지원으로 이루어 졌음

접수일자: 2003년10월28일, 수정완료일: 2004년10월28일

명령어를 추가하여 다른 테스트 용이화 기법을 지원하도록 하였다<sup>[6,7]</sup>. 따라서 다른 테스트 용이화 기법들을 지원하는 경계 주사 기법이 많이 연구되고 있다<sup>[10,11]</sup>.

본 논문에서는 경계 주사 회로를 자동 생성해 주는 웹기반 GenJTAG에 대하여 소개한다. GenJTAG에 의해 생성되는 경계 주사 회로는 기본적인 공개 명령어를 모두 지원하며 다른 테스트 용이화 설계 기법을 지원하기 위한 특수 명령어들도 추가할 수 있다. 그리고 사용자의 요구 사항이 변경될 경우 생성된 경계 주사 회로에 쉽게 반영할 수 있도록 behavioral 레벨의 verilog-HDL 코드를 생성한다. 또한 GenJTAG은 웹을 통하여 실행할 수 있도록 구현하여 누구나 쉽게 사용이 가능하다.

본 논문의 구성은 다음과 같다. II장에서는 IEEE 1149.1 표준안, 즉 경계 주사 기법을 간단히 소개하고, III장에서는 경계 주사 회로의 설계 자동화 툴인 웹기반 GenJTAG에 대하여 설명한다. IV장에서는 구현한 GenJTAG과 GenJTAG에 의해 생성된 회로의 동작 검증에 대하여 기술한다. V장은 본 논문의 결과를 보여 준다.

## II. IEEE 1149.1

IEEE 1149.1은 기관상의 여러 칩들의 테스트를 용이하게 하기 위해 등장한 방식으로 1990년도에 IEEE에서 제정한 표준안이다. 경계 주사 회로는 테스트 클럭 (TCK:Test Clock), 테스트 데이터 입력 신호(TDI:Test Data Input), 테스트 데이터 출력 신호(TDO:Test Data Output), 테스트 모드 선택 신호(TMS:Test Mode Select), 테스트 리셋 신호(TRST:Test Reset) 총 5개의 입출력 핀을 가지고 있다. TCK와 TMS는 경계 주사 기법을 이용하여 수행하는 여러 가지 종류의 테스트 방식을 선택하고 제어하기 위하여 사용된다. TRST(Test Reset)는 경계 주사를 위해 사용되는 회로 부분을 초기화 하기 위한 입력으로서 사용이 가능하고 TCK와 TMS의 신호 조합으로도 가능하기 때문에 없어도 무방하다. 각 핀의 기능은 표 1에서 보여주고 있다.

경계 주사 회로는 TAP 제어기(Test Access Port Controller), 바이패스(bypass) 레지스터, 명령어 레지스터, 명령어 디코더, 경계 주사 셀, 그리고 기타 회로들로 구성되어 있다. TAP 제어기는 TMS와 TCK에 의해 동작하는 동기 유한 상태기로서 경계 주사 회로의 동작에 필요한 여러 제어 신호들을 생성한다. 바이패스 레지스

표 1. 경계 주사 회로의 입출력 핀의 종류 및 기능  
Table 1. Input-output pin type and function of Boundary Scan.

핀 이름	기능
TCK	IEEE 1149.1에서 정의한 테스트 회로에 클럭을 인가하기 위한 핀이다
TDI	테스트 데이터와 명령어를 인가하기 위한 핀으로 TDI로 인가되는 값은 TCK의 rising edge에서 유효하다
TDO	테스트된 결과나 TDI로 인가된 값을 출력하기 위한 핀으로 TCK의 falling edge에서 유효하다
TMS	테스트 동작을 제어하는 TAP 제어기의 상태 제어 신호를 인가하기 위한 핀으로 TMS 포트에 인가되는 값은 TCK의 rising edge에서 유효하다
TRST	TAP 제어기의 비동기 초기화를 위한 optional 핀으로 TRST에 논리 0이 인가되면 TAP 제어기는 Test-Logic-Reset 상태가 된다

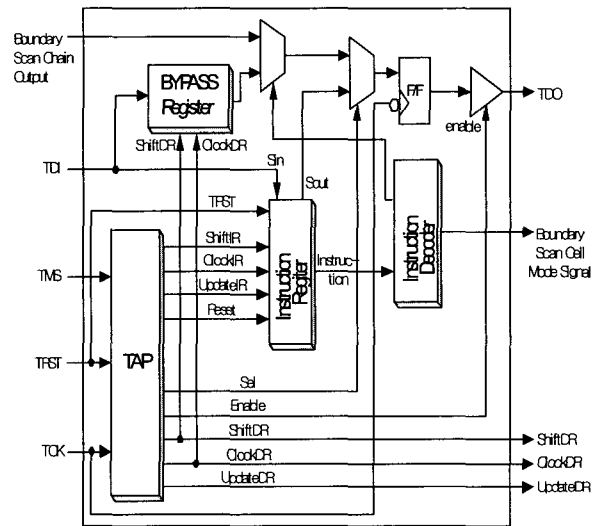


그림 1. 경계 주사 회로의 구조  
Fig. 1. Architecture of Boundary Scan.

터는 TDI와 TDO 사이의 최단 경로를 제공하여 기판 수준의 테스트에서 테스트 시간을 줄일 수 있게 해주는 레지스터이다. 명령어 레지스터는 TDI 포트를 통하여 입력되는 경계 주사 회로를 위한 명령어를 래치하는 레지스터이다. 경계 주사 셀은 테스트를 수행할 때 주사 체인을 형성하는 레지스터이다. 그리고 32비트 크기를 갖고 버전, 부품번호, 제조업자 식별에 관한 정보를 갖고 있는 디바이스 식별 레지스터와 사용자가 정의한 레지스터를 필요에 따라 추가할 수 있다. 그림 1과 그림 2는 기본적인 경계 주사 회로의 구조와 TAP 제어기의 상태도를 보여주고 있다<sup>[5]</sup>. TAP 제어기는 그림 2에 보여진 것과 같이 16개의 상태를 갖는 동기화된 유한 상태기이다. TAP 제어기는 TMS신호를 입력으로 갖고 출력 신호들은 각 상태에 따라 해당되는 회로를 테스트

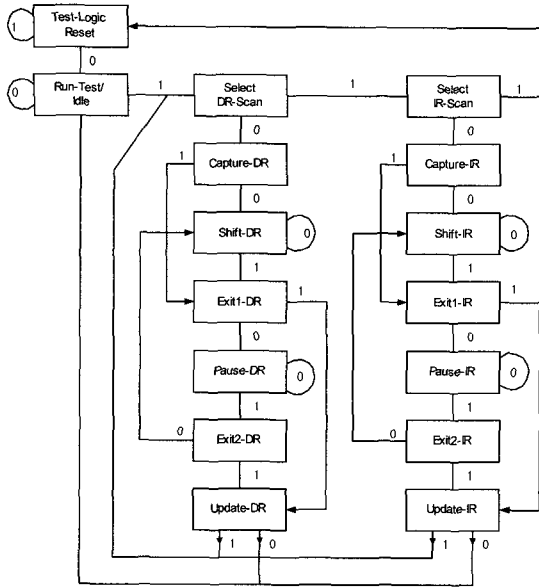


그림 2. TAP 제어기의 상태도  
Fig. 2. State diagram of TAP controller.

표 2. 경계 주사 회로의 공개 명령어  
Table 2. Public instruction of Boundary Scan.

명령어	기능
BYPASS	기판상의 여러 칩 중 어떤 하나의 칩을 테스트하고자 할 때, 주사 경로의 길이를 줄이기 위하여 그 칩을 제외한 다른 모든 칩들은 바이패스 모드로 셋팅시킬 수 있다
EXTEST	기판상의 칩과 칩 사이의 연결선(interconnect)을 테스트하는데 사용된다
SAMPLE	칩의 입출력 패드의 데이터가 기판의 정상 동작 중에 샘플되고 경계 주사 레지스터에 적재될 수 있도록 한다
INTEST	경계 주사 경로를 통하여 응용 회로에 테스트 패턴을 인가시키고 테스트 응답을 얻는 데 사용된다

하는데 쓰여진다. 그림2에서 알 수 있듯이 테스트 데이터 레지스터의 운용을 위해서는 Select-DR부터 Update-DR에 이르기까지의 7개 상태가 사용되며, 명령어 레지스터에 명령어를 적재시키기 위해서는 오른쪽 7개 상태가 쓰여지게 된다.

경계 주사 기법에서 지원하는 명령어는 크게 공개 명령어와 특수 명령어로 구분할 수 있다. 공개 명령어는 표준안에서 지정한 명령어이고, 특수 명령어는 사용자에 의해 추가되는 명령어를 말한다. 공개 명령어에는 반드시 지원해야 하는 BYPASS, SAMPLE/PRELOAD, EXTEST 명령어가 있으며, 선택사항으로 IDCODE, USERCODE 명령어가 있다. 그리고 권장 명령어로 INTEST 명령어가 있다. 이들 명령어를 보면 표 2와 같다.

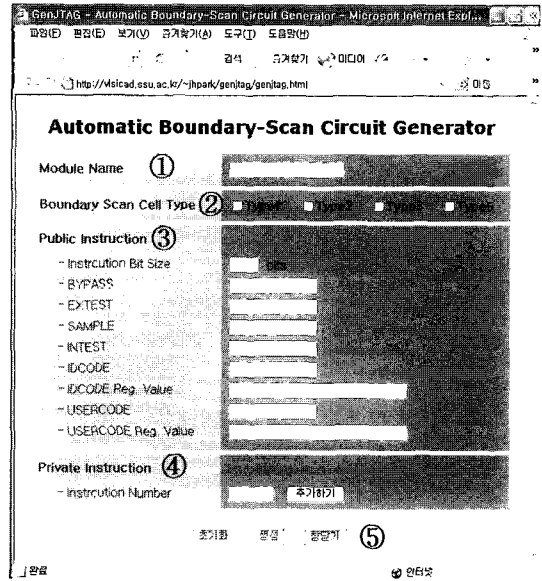


그림 3 GenJTAG의 정보 입력 화면  
Fig. 3. Input screen of GenJTAG.

### III. GenJTAG 구현

본 논문에서 소개하고 있는 GenJTAG은 공개 명령어와 특수 명령어를 모두 지원할 수 있는 확장된 경계 주사 회로를 자동으로 생성하여 준다. 생성된 경계 주사 회로는 verilog-HDL을 이용하여 behavioral 코드로 기술되어 있다. 그리고 GenJTAG는 웹기반으로 구현되어 있으므로 회로를 생성하기 위해 필요한 정보들을 웹페이지를 통하여 입력을 받을 수 있다.

그림 3은 GenJTAG의 웹페이지 화면을 보여 주고 있다. 그림 3의 ①은 생성될 경계 주사 회로의 모듈 이름을 입력하는 부분이며, ②는 경계 주사 회로가 제어할 경계 주사 셀의 타입을 선택하는 부분이다. GenJTAG에서는 IEEE 1149.1에서 제정된 7가지 경계 주사 셀 타입 중 1, 2, 3, 5번 타입만을 지원하도록 설계하였다. 모듈 이름은 영어와 숫자, 언더스코어(\_)로만 이루어져야 하며, 이름의 시작은 영어만이 올 수 있도록 정하였다. 그리고 경계 주사 셀 타입은 적어도 하나를 선택하여야 한다. ③은 공개 명령어를 입력하는 부분이다. 먼저 Instruction Size Bit 필드 부분에 명령어의 비트 수를 입력한다. 그러면 표준안에 의해 고정되어 있는 BYPASS, EXTEST 명령어는 입력된 명령어 비트 수만큼 각 명령어 필드에 자동으로 000...00, 111...11이 입력된다.

그리고, SAMPLE/PRELOAD, INTEST, IDCODE, USERCODE 명령어는 사용자가 직접 입력을 하게 되

어 있다. 만일, 사용자가 명령어 필드에 값을 입력하지 않으면, 그 명령어는 사용하지 않는 것으로 인식한다.

IDCODE 명령어가 지원되어야만 사용 가능한 USERCODE 명령어는 IDCODE 명령어가 입력되어야 USERCODE 명령어를 입력할 수 있도록 제한을 두었다. 특수 명령어는 그림 3의 ④부분에서 사용자가 직접 입력한다. 먼저 특수 명령어의 개수를 입력하고 “추가하기” 버튼을 클릭하면 명령어 이름과 코드를 입력할 수 있는 필드가 생성이 된다. 생성된 필드에 사용자가 명령어의 이름과 명령어 코드를 입력하면 된다. ⑤부분은 GenJTAG의 메뉴 버튼이다. 초기화 버튼은 입력된 정보를 제거하여 각 필드값을 초기화 하며, 생성 버튼은 입력된 정보가 정확하지 확인을 한 후 경계 주사 회로를 생성하는 기능을 한다. 창닫기 버튼은 GenJTAG 웹페이지를 종료하는 기능을 한다.

그림 4는 GenJTAG에 정보를 입력한 예를 보여주고 있다. 모듈이름은 test이고, 경계 주사 셀 타입은 1과 2가 선택되었다. 그리고 명령어 비트 수는 4 비트이고 각 명령어의 코드는 다음과 같다.

BYPASS	1111
EXTEST	0000
SAMPLE	0001
INTEST	0010
IDCODE	0100
USERCODE	0101

그리고 IDCODE와 USERCODE의 레지스터 값은 각각 0000000000000000000000000000000011011, 0000000000000000

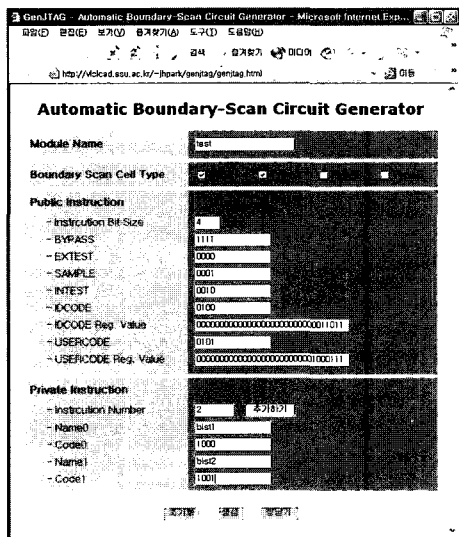


그림 4. 정보 입력의 예  
Fig. 4. Example of information input.

0000000001000111 이다. 그림 4를 보면 특수 명령어는 2개가 추가 된 것을 볼 수 있으며, bist1 명령어의 코드는 1000, bist2 명령어의 코드는 1001이다.

그림 5는 그림 4와 같이 정보를 입력한 후 생성 버튼을 클릭했을 때의 결과를 보여주고 있다. 그림 5와 같이 GenJTAG에 의해 생성된 경계 주사 회로의 verilog-HDL 소스 코드는 웹페이지를 통하여 볼 수 있다. 그리고 사용자가 경계 주사 회로의 소스 코드를 다운받기를 원하면 저장하기 버튼을 클릭하여 다운로드를 받을 수 있다. 돌아가기 버튼은 그림 3의 웹페이지로 돌아가는 기능을 하며, 창닫기는 현재의 웹페이지를 종료하는 버튼이다.

GenJTAG에 의해 생성되는 경계 주사 회로의 구조는 그림 6과 같다. 특수 명령어를 지원하기 위하여 경계 주사 회로의 명령어 디코더를 확장하였고, 각 특수 명령어에 의해 실행되는 테스트 회로와의 인터페이스를 위하여 private\_enable, private\_out 포트를 추가하였다. private\_enable 포트는 각 특수 명령어에 의해 해당되는 테스트 회로를 동작시키는 신호이고, private\_out은 테스트 결과를 내보내는 포트이다. 마지막으로 각 특수 명령어에 의해 수행된 테스트 결과를 TDO 포트로 출력할 수 있도록 멀티플렉서를 삽입하였다.

그림 7은 특수 명령어가 입력되었을 때의 경계 주사 회로의 동작 파형을 보여주고 있다. 먼저, TAP 제어기의 Shift-IR 상태에서 TDI를 통하여 특수 명령어가 들어온다. 명령어가 모두 들어오면 TAP 제어기의 Update-IR 상태에서 특수 명령어 디코더에 의해서 해석된다. 해석된 특수 명령어에 의해 Updata-IR 상태에서 private\_enable 신호를 활성화한다. 활성화된

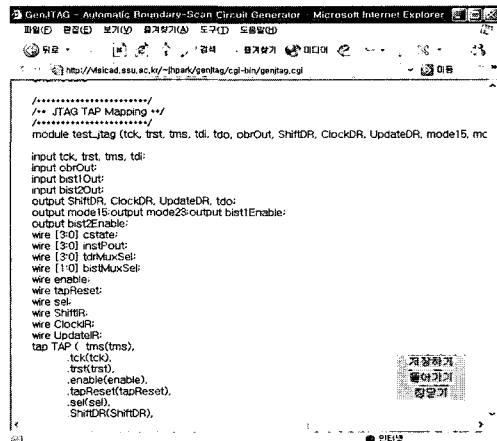


그림 5. 생성된 경계 주사 회로의 소스 코드  
Fig. 5. Generated source code of Boundary Scan.

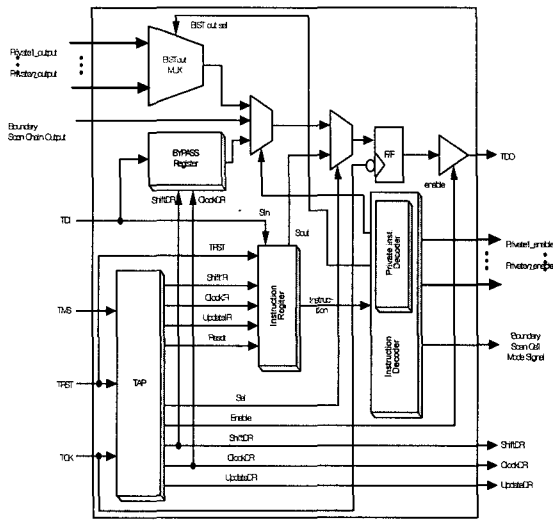


그림 6. 특수 명령어를 지원하는 확장된 경계 주사 회로 구조  
 Fig 6. The Boundary Scan architecture of supports a private instruction.

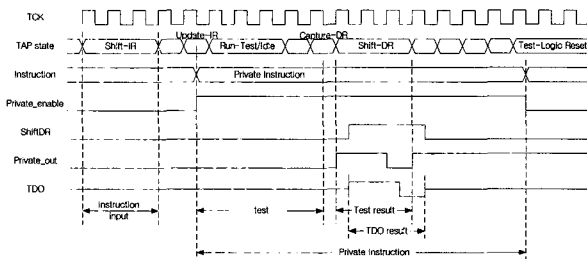


그림 7. 특수 명령어시 동작 파형  
 Fig 7. Waveform of private instruction.

private\_enable 신호는 다른 명령어가 들어오거나 TAP 제어기의 Test-Logic/Reset 상태에 들어갈때까지 유지된다. 특수 명령어에 동작하는 테스트 회로는 활성화된 private\_enable 신호를 받아들여서 테스트를 수행한다. 회로의 테스트 수행은 TAP 제어기의 Run-Test/Idle, Select-DR, Capture-DR 상태에서 이루어진다. 테스트가 끝나면 TAP 제어기는 Shift-DR 상태로 이동하게 된다. Shift-DR 상태에서 ShiftDR 신호에 의해 테스트 결과를 경계 주사 회로의 TDO로 serial하게 출력하게 된다. Serial 하게 출력되는 경우, 테스트 결과는 TCK의 rising edge에 동기화되어야 한다.

#### IV. 실험 결과

본 논문에서는 그림 4에서와 같이 정보를 입력해서 GenJTAG의 동작 검증을 수행하였다. 검증 결과 입력된 정보에 대하여 GenJTAG이 그림 5와 같이 확장된 경계 주사 회로를 정확하게 생성함을 확인하였다.

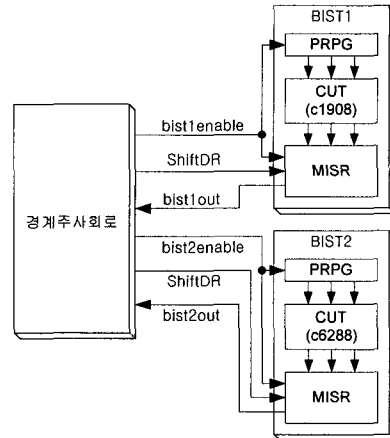


그림 8. BIST 명령어 테스트 회로 구조  
 Fig 8. Test architecture of BIST instruction.

생성된 경계 주사 회로는 Verilog-XL 시뮬레이터인 ModelSim<sup>[12]</sup>을 이용하여 동작 검증을 하였다. 모든 공개 명령어는 시뮬레이션을 통하여 정상적으로 동작함을 확인하였다. 두개의 특수 명령어에 대해서는 테스트 용이화 기법 중에 하나인 BIST 기법을 적용한 간단한 회로를 GenJTAG에 의해 생성된 경계 주사 회로와 연결하여 동작 검증을 수행하였다. 검증에 사용된 BIST 회로는 ISCAS'85 시험 회로<sup>[13]</sup>의 c1908, c6288 회로, 랜덤 패턴 생성기인 PRPG(Pseudo-Random Pattern Generator), 다중 입력 압축치 분석기인 MISR(Multiple Input Signature Register)로 구성되어 있으며, 구조는 그림 8과 같다. BIST1, BIST2의 PRPG와 MISR은 bist1enable, bist2enable 신호에 의해 테스트를 수행하며, ShiftDR 신호에 의하여 bist1out, bist2out을 통해 테스트 결과를 경계 주사 회로에 전달한다. 경계 주사 회로에 전달된 결과는 경계 주사 회로의 테스트 데이터 출력신호(TDO)를 통하여 칩 외부로 출력된다. 그림 9는 테스트용 BIST 회로와 경계 주사 회로의 시뮬레이션 결과 파형을 보여주고 있다. 특수 명령어인 bist1 명령어, bist2 명령어에 대하여 bist1enable, bist2enable 신호가 생성되고 BIST1과 BIST2의 결과(in)가 TDO 포트(out)를 통하여 칩 외부로 출력됨을 확인할 수 있으며, 그림 7과 비교하여 동일한 파형임을 알 수 있다. 그리고 Xilinx XCS40 FPGA 칩이 장착된 툴킷을 이용하여 실제 칩에서의 동작 검증도 수행하였다. 툴킷의 FPGA 칩에 GenJTAG에 의해 생성된 경계 주사 회로와 테스트용 BIST 회로를 매핑하였다.



그림 9. BIST 명령어 테스트 회로의 동작 파형

Fig. 9. Waveform of BIST instruction.



그림 10. Xilinx Tool kit을 이용한 동작 검증

Fig. 10. Operation verification which uses Xilinx Tool kt.

## V. 결 론

경계 주사 기법은 기관 수준의 테스트링 뿐만 아니라 다양한 테스트 용이화 기법을 지원하기 위하여 많이 사용하고 있다. 본 논문에서는 경계 주사 기법을 사용할 수 있도록 경계 주사 회로를 자동 생성해 주는 웹기반 GenJTAG에 대하여 소개하였다. GenJTAG에 의해 생성된 경계 주사 회로는 IEEE 1149.1 표준안에서 정의한 기본적인 경계 주사 기법을 모두 지원하고 사용자의 요구에 따라 다른 테스트 용이화 기법을 지원할 수 있도록 특수 명령어를 추가할 수 있게 하였다. 또한 생성되는 경계 주사 회로는 행위 수준의 verilog-HDL 코드 형태이므로 사용자가 용이하게 수정할 수 있다. 생성된 경계 주사 회로의 동작 검증은 verilog 시뮬레이터인 ModelSim을 이용하였다. 시뮬레이션 결과 모든 동작이 완벽하게 수행됨을 확인하였다. 그리고 추가적으로 생성된 경계 주사 회로와 검증용 BIST 회로를 연결한 후 Xilinx 툴킷을 이용하여 실제 FPGA 칩에서의 동작 검

증을 수행하였다. 테스트 수행 결과 Xilinx FPGA 칩에서도 정상적으로 동작하는 것을 확인하였다. 특히, GenJTAG은 웹기반으로 구현함으로써 웹을 통하여 누구나 손쉽게 경계 주사 회로를 생성하여 사용할 수 있다. 따라서 새로운 칩을 설계할 경우 경계 주사 회로의 설계 시간을 획기적으로 줄일 수 있을 것이다.

## 참 고 문 헌

- [1] M. Abramovici, M. A. Breuer and A. D. Friedman, *Digital System Testing and Testable Design*, Computer Science Press, 1990.
- [2] M. Mayberry, J. Johnson, N. Shahriari and M. Tripp, "Realizing the Benefits of Structural Test for Intel Microprocessors," *In Proc. Int'l Test Conf.*, pp. 456-463, 2002.
- [3] B. Bailey, A. Metayer, B. Svrcek, N. Tendolkar, E. Wolf, E. Fiene, M. Alexander, R. Woltenberg and R. Raina, "Test Methodology for Motorola's High Performance e500 Core Based on PowerPC Instruction Set Architecture," *In Proc. Int'l Test Conf.*, pp. 574-583, 2002.
- [4] D. Belete, A. Razdan, W. Schwarz, R. Raina, C. Hawkins and J. Morehead, "Use of DFT Techniques In Speed Grading a 1GH+ Microprocessor," *In Proc. Int'l Test Conf.*, pp. 1111-1119, 2002.
- [5] I. Parulkar, T. Ziaja, R. Pendurkar, A. D'Souza and A. Majumdar, "A Scalable, Low Cost Design-for-Test Architecture for UltraSPARCTM Chip Multi-Processors," *In Proc. Int'l Test Conf.*, pp. 726-735, 2002.
- [6] IEEE Standard 1149.1-1990, "IEEE Standards Test Access Port and boundary-scan Architecture," *IEEE Standards Board*, New York, 1990.
- [7] K. P. Parker, *The Boundary-Scan Handbook*, Kluwer Academic Publishers, Norwell MA, 1992.

[8] Test Technology Standards Committee, "IEEE Standard Test Access Port and Boundary-Scan Architecture," *IEEE Computer Society Press*, 1993.

[9] 박선호, *PCI 버스 해설과 인터페이스 카드 설계*, 국제테크노정보연구소, 1999.

[10] F. Karimi and F. Lombardi, "A Scan-Bist Environment for Testing Embedded Memories," *In Proc. Int'l Workshop on Memory Technology, Design and Testing*, pp. 17-23, 2002.

[11] J. H. Park, H. Chang and O. Y. Song, "An Efficient Implement of BIST for Floating Point DSP Processor," *In Proc. Asia Pacific Conf. on ASICs*, pp. 273-272, 2000.

[12] <http://www.model.com>

[13] Brglez, F., Fujiwara, H., "A neutral netlist of 10 combinational benchmark circuits and a target translator in fortran," *IEEE int. Symp. on Circuits and Systems(ISCAS)*, PP. 677-692, 1985.

저 자 소 개



박 재 흥(학생회원)  
 1999년 숭실대학교 컴퓨터학부  
 학사 졸업.  
 2002년 숭실대학교 컴퓨터학과  
 석사 졸업.  
 2002년 3월~현재 숭실대학교  
 대학원 컴퓨터학과  
 박사과정

<주관심분야: VLSI 설계 및 테스트, 컴퓨터구조,  
 VLSI CAD>



장 훈(정회원)  
 1987년 서울대학교 공대  
 전자공학과 학사 졸업.  
 1989년 서울대학교 공대  
 전자공학과 석사 졸업.  
 1993년 University of Texas at  
 Austin 졸업.

1991년 IBM Inc. Senior Member of Technical  
 Staff.

1993년 Motorola Inc. Senior Member of  
 Technical Staff.

1994년~현재 숭실대학교 컴퓨터학부 부교수.

<주관심분야: 통신, 컴퓨터, 신호처리, 반도체>

