

# HomePNA 2.0 모뎀 수신부 설계

정회원 최성우\*, 김종원\*

## Design of Receiver Architecture for HomePNA 2.0 Modem

Sung-woo Choi\*, Jong-won Kim\* *Regular Members*

### 요 약

본 논문은 HomePNA 2.0 모뎀 칩을 위한 모뎀 수신부의 구조를 제안한다. HomePNA 2.0 전송 채널은 브릿지 탭과 HAM 대역의 영향 등으로 매우 열악하다. 이러한 채널을 통해 전송을 가능하게 하기 위해 HomePNA 2.0은 훈련신호를 사용하여 매 프레임 마다 채널을 등화하고 FD-QAM 전송 방식을 선택적으로 사용한다. 따라서 모뎀 수신부는 일반적 QAM 방식 신호의 복조 기능과 함께 이러한 전송 방식의 특징을 최대한 살려 모뎀 수신 성능을 극대화 하는 구조가 필요하다. 연구 결과 모뎀 수신부의 기능을 송수신 상태에 따라 정상 수신 모드와 충돌 감지 모드의 2가지로 정의 하였다. 본 논문은 특히, 모뎀 수신부를 구성하는 핵심 블록인 등화기와 위상 동기부, 프레임 동기부에 대해서 사용된 알고리즘을 밝혔으며, 버스트 방식 모뎀의 채널 등화 성능을 높이고 안정적으로 동작 시키기 위한 구조를 제안 하였다. 마지막으로 제안된 모뎀 수신부의 성능을 분석하기 위해서 SPW 모델을 사용하여 채널 별 전송 가능 속도를 예측 하였다.

Key Words : HomePNA, Modem, Receiver, Equalizer, Synchronization

### ABSTRACT

In this paper, we propose the architecture of modem receiver to fabricate HomePNA 2.0 chip. HomePNA suffers from inferior channel because of bridge tap, the effect of amateur HAM band and so on. To transfer data over such channel, HomePNA 2.0 uses training sequence to equalize channel and uses FD-QAM optionally as modulation method. So modem receiver demodulate QAM based signal and needs optimum architecture that fully uses these transmission feature. As a result of research, we define 2 mode function of modem receiver depending on TX/RX state. In this paper, particularly, we show the algorithm of equalizer, carrier phase recovery and frame synchronization block and propose architecture that improve the performance of channel equalization and is stable in operation. In the end, we estimate the performance of proposed HomePNA 2.0 modem receiver over HomePNA TEST LOOP using SPW program.

### 1. 서 론

현재 통신기술의 발달은 정보화 사회의 멀티미디어 서비스 실현을 가시화하고 있다. 이에 맥내에서도 개인용 컴퓨터를 이용하여 업무, 통신, 교육 및 쇼핑 등 여러 분야에 걸쳐 유용한 정보의 수집 및 정보의 교환이 가능해짐에 따라 컴퓨터 보유 수가

증가하는 가정이 늘어나고 있다. 이는 가정 내의 네트워크 구성의 필요성 증대와 맥내 망에 대한 고속화 요구의 증가로 이어지고 있다.

이러한 가정 내 네트워크를 구축하는 여러 가지 기술 중 HomePNA 기술은 전화선을 전송 매체로 사용하여 컴퓨터, A/V 기기, 프린터 및 각종 전자제품을 하나의 네트워크로 연결한다. HomePNA는 다

\* ETRI 디지털홈연구단 무선홈네트워크연구팀(csw9908, jongwkim@etri.re.kr)  
논문번호 : 030324-0801, 접수일자 : 2003년 8월 1일

른 홈 네트워크 기술들에 비하여 기존의 덕내 전화 선로를 사용함으로써 새로운 배선이 필요하지 않고, 가격이 저렴하며, 설치와 사용이 용이함과 동시에 고속의 데이터를 안정적으로 제공한다는 여러 가지 장점을 가지고 있다. HomePNA 기술은 1M bps급 HomePNA1.0에 이어 10Mbps급 HomePNA 2.0이 보급되고 있으며 100Mbps급 HomePNA 3.0의 표준화도 이루어졌다.

본 논문에서 다루는 HomePNA 2.0은 IEEE 802.3 CSMA/CD를 MAC 프로토콜로 사용하는 전화선을 이용한 이더넷으로 볼 수 있다. 그러나 이더넷이 Hub based star topology를 사용하는 대신 HomePNA 2.0은 배선 방식이나 topology, termination에 제한을 두지 않는다. HomePNA 2.0 기술의 특징을 요약하면 다음 표와 같다<sup>[1]</sup>.

표1. HomePNA 2.0 의 특징

항 목	규 격
전송속도	10 Mbps
전송거리	500 feet(150m)
대역폭	4.25~9.75 MHz
중심주파수	7MHz
MAC 프로토콜	IEEE 802.3 CSMA/CD
최대 접속 노드	25
사용 콘넥터	RJ11 Telephone Jack
기타	Extra Wiring, Hubs, Splitter, Filters, Termination 불필요 True plug-and-plug operation Compatible with POTS, ISDN, G.lite Forward Compatible

HomePNA 기술에서 네트워크에 연결된 각 디바이스는 내부에 모뎀을 가지고 전화선과 데이터를 주고받는다. 데이터는 프레임 단위로 전송되며 프레임은 전화선상에서 아날로그 버스트로 이동한다. 모뎀 수신부는 각 버스트 프레임마다 훈련신호를 이용하여 채널을 등화 한다. 그리고 모뎀 수신부는 상대방의 신호 뿐 아니라 자신이 송신한 신호도 복조하여 프레임의 충돌 여부를 판단하는 기능이 필요하다.

본 논문에서는 이상의 기능을 만족하는

HomePNA 2.0모뎀 수신부의 전체 구조를 제시한다. 2장은 HomePNA 2.0의 물리 계층 전송 특징과 테스트 루프를 이용하여 채널을 분석하고 3장은 모뎀 수신부의 기능을 정의하고 주요 블록의 구조를 보인다. 4장은 시뮬레이션 모델을 사용하여 제시한 구조를 사용한 실험 결과를 보이고 5장에서 결론을 맺는다.

## II. HomePNA 2.0 기술

### 1. 물리 계층 전송 방식

HomePNA 2.0은 물리 계층의 전송을 위해 4M baud QAM 방식과 2M baud FD-QAM(Frequency Diverse QAM) 방식을 사용한다. Baud당 2\*8비트를 전송하므로 4\*32 Mbps의 물리 계층 전송 속도를 나타낸다. HomePNA 2.0프레임은 이더넷 링크 레벨 프레임을 포함한 형태로서 다음 그림 1과 같다.

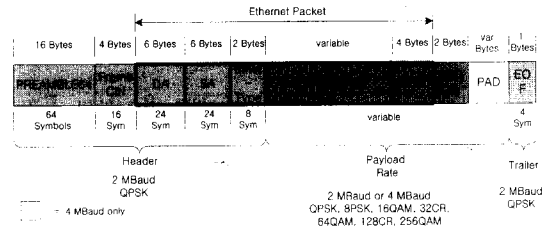


그림 1. HomePNA 2.0 프레임의 구성

프레임 맨 앞의 Preamble64는 훈련 신호열에 해당하는 TRN16 신호열 4개로 구성된다. TRN16은 0xfc483084 를 QPSK로 변조한 16개의 심볼로 구성된다. Preamble64를 이용하여 수신부의 이득 조절, 주파수 오프셋 측정, 등화기의 훈련모드 동작, carrier sense, collision detection을 수행한다. Preamble64, Frame control, DA(Data Address), SA(Source Address) 구성된 헤더와 EOF는 2M baud QPSK로 전송 되고 이더넷 데이터, FCS, CRC16, PAD는 payload 전송율에 따라서 FD-QAM 방식과 QAM 방식으로 전송이 모두 가능하다. FD-QAM 방식은 심볼 사이에 제로 자리를 삽입한 것으로서 심볼 전송율은 절반이지만 주파수 대역에 2개의 전송 대역이 존재하게 되므로 채널에 대한 영향을 덜 받는다<sup>[2]</sup>.

HomePNA2.0은 4\*10MHz 까지의 대역을 사용하여 POTS와 ADSL과 구분되지만 7MHz 부근에 아

마추어 HAM 대역을 포함하고 있다. 이 때문에 HAM 사용자에게 영향을 미치지 않도록 7.0~7.3MHz 대역의 Notch 필터를 포함하도록 표준을 정하고 있다.

### 2. 채널 분석

HAM 대역에 대한 영향 뿐만 아니라 맥내 전화 선로에는 브릿지 탭에 의한 전송 특성 열화가 있고 이미 설치된 전화와 ADSL에 의한 임펄스 잡음, 인접선로부터의 누화(crosstalk), 비 차폐 선로에 대한 전력 제한 규정으로 채널에 여러 개의 널(Null)이 존재할 수 있을 정도로 상황이 좋지 않다.

HomePNA 시스템은 이중나선(twisted-pair)의 전화 선로를 사용하므로 전송선로의 특성은 two-port network의 ABCD 파라미터를 사용하여 모델링 할 수 있다<sup>3)</sup>. 다음 그림 2는 HomePNA 2.0에 주어진 테스트 선로 10가지에 대한 주파수 응답과 임펄스 응답을 구한 것이다<sup>4)</sup>.

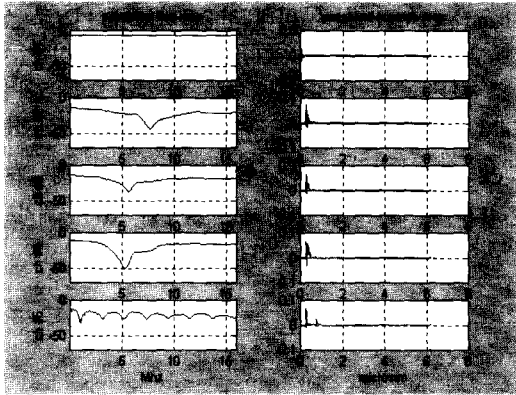
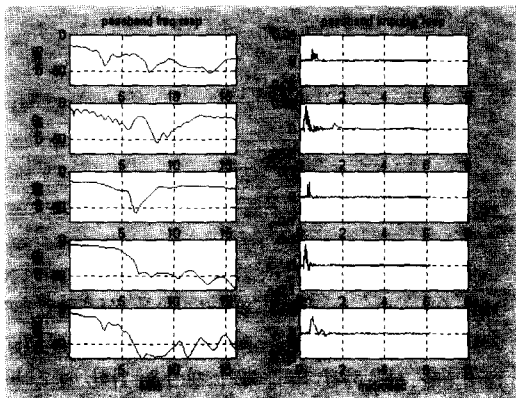


그림 2. TEST LOOP 특성



그림에서 알 수 있듯이 맥내의 전화선로의 구조 상 송신단과 수신단 사이에 다양한 임피던스를 갖는 많은 브릿지 탭이 존재하여 특정 주파수에서 잡음이 심하게 발생하는 스펙트럼 널 부분이 다수 존재함을 알 수 있다

### III. HomePNA 2.0 모뎀 수신부

이 장에서는 HomePNA 2.0모뎀 수신부의 블록과 기능을 정의하였다. 그리고 진폭, 위상 등의 왜곡에 대해서 신호를 복원하는 핵심 블록인 등화기와 캐리어 위상 동기, 프레임 동기 부분의 알고리즘을 설명하고 합리적인 구조를 제시한다.

#### 1. 기능

설계한 HomePNA 2.0 모뎀 수신부는 ADC(Analog to Digital Converter)를 포함한 AFE(Analog Front End) 칩으로부터 출력되는 신호를 받아 신호 복조과정을 통해 전송된 심볼을 복구하고 Payload 정보에 따라 심볼을 비트 열로 변환하여 Frame Controller로 출력한다. 그림 3은 HomePNA 2.0 모뎀 수신부 내부의 처리 과정을 기능 블록 순으로 나타낸 것이다.

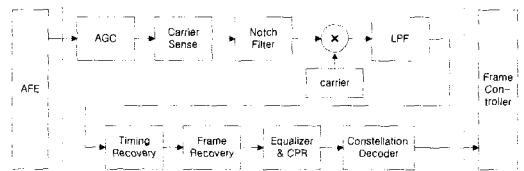


그림 3. 모뎀 수신부 블록도

HomePNA 2.0 모뎀 수신부는 AFE를 통해 수신된 신호를 수신부의 동작에 적합한 크기로 조절하기 위한 AGC, 전송 매체의 상태를 체크하여 신호의 유무를 판단하는 Carrier Sense부, HAM 대역으로부터 신호를 제거하기 위한 HAM 대역 제거 필터(Notch Filter), 캐리어 성분을 제거하는 캐리어 승산부, 저대역 통과 필터 (Low Pass Filter), 심볼 타이밍 동기 위한 STR부(Symbol Timing Recovery), 프레임의 정확한 시작점을 찾는 프레임 동기부, 채널의 왜곡을 보상하는 등화기, 캐리어 위상차를 보상하기 위한 CPR부(Carrier Phase Recovery), 결정된 심볼에 해당하는 비트열을 출력하는 성상 디코더(Constellation Decoder)로 구성된다

다.

모뎀 수신부의 동작은 정상 수신 모드(Passive mode), 충돌 감지 모드(Collision detection mode)로 구분된다. 정상 수신 모드는 리셋 상태 후의 모뎀 수신부의 기본 상태로서 AFE를 거친 데이터를 복구한다. 충돌 감지 모드는 모뎀이 송신 스테이션으로 동작할 때 모뎀 수신부의 동작 모드이다. HomePNA 2.0은 CSMA/CD 기능이 필요하며, 충돌을 검출하기 위한 방법으로서 자신이 송신한 프레임의 AFE를 통해 수신하고 이를 복조하여 송신한 데이터와 비교한다. 충돌 감지 모드는 이러한 동작을 수행하기 위한 모뎀 복조기의 상태이다. 비교는 데이터 구간이 시작 되기 직전까지 헤더구간을 비교함으로써 이루어진다. 헤더는 QPSK로 전송되므로 QPSK 신호를 복조할 수 있을 만큼의 수신부 성능이 필요하다. 즉 슬라이서 출력의 MSE 값이 약 -10 dB 정도 이면 된다. 따라서 내부 계산 딜레이가 큰 블록에 대해서는 일부 기능을 생략함으로써 지연 시간을 줄인다면 헤더 비교 구간을 늘릴 수 있고 따라서 충돌 검출 에러를 줄이는 장점이 있다.

2. 등 기와 위상보상 회로

모뎀 수신단에 입력되는 신호는 채널을 통과한 후 심볼간 간섭에 의해서 크기에러와 위상에러를 포함하게 된다. 또한 송수신 모뎀간의 반송파의 불일치에서 기인한 주파수 오프셋과 위상 오프셋을 포함한다. 이 모두를 등화기만 사용하여 보상하기에는 어려움이 있으므로 위상 보상회로를 같이 사용한다. 반송파 위상 동기를 위해서 수신단에서 주파수를 직접 제어 방법과 등화기를 거친 신호에 대해 직접적으로 보상하는 방법이 있다. 그런데 주파수를 직접 제어하는 PLL의 경우 등화기를 포함한 신호 복조 딜레이를 포함하므로 안정적이지 못할 수 있으므로 등화기를 거친 출력에 대해 직접 위상을 보상하는 결정 지향 PLL 선택하였다. 주파수 오프셋이 있을 경우 이 구조를 사용하면 complex 등화기의 계수들이 캐리어 위상 에러에 맞추려고 회전하는 것을 막음으로써 계수의 회전에 의해서 MSE가 최소화 되지 못하는 것을 막는 방법이다<sup>5)</sup>.

DFE(Decision Feedback Equalizer)를 사용하였을 때, 캐리어 위상 보상 회로(Carrier Phase Recovery)의 출력을 이용한 채널 등화 회로는 다음 그림 4와 같다.

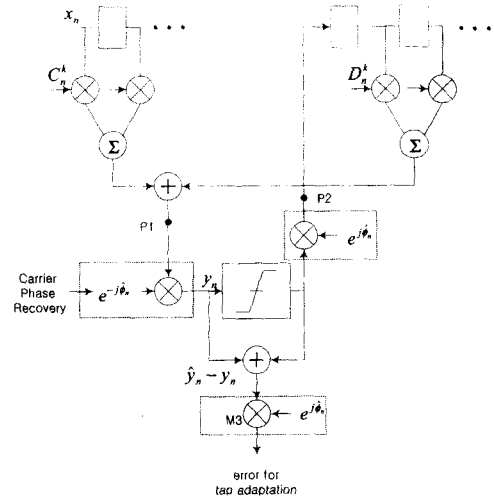


그림 4. 등화기와 캐리어 위상 보상 회로

2장에서 살펴 보았듯이 HomePNA 2.0은 2M baud, 4M baud의 두가지로 전송이 가능하다. 4M baud는 2M baud에 비해 전송율이 2배 이므로 심볼당 에너지는 1/2이다. 따라서 두 전송 방식은 서로 다른 슬라이서를 사용하는 방법과 그림 5처럼 4M baud 일 때는 슬라이서에 입력되는 신호를  $\sqrt{2}$  배 하고 슬라이서 출력은 다시  $1/\sqrt{2}$  배 해서 하나의 슬라이서를 사용하는 방법이 있다. 제시된 구조는 다음 그림 5와 같다.

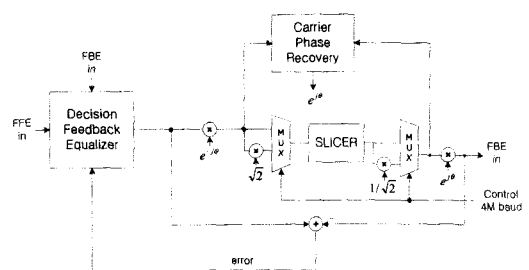


그림 5. 제안된 채널 등화 회로

제안된 채널 등화기는 정상 상태 성능이 우수한 DFE (decision feedback equalizer)를 사용하였으며 순방향 등화기는 16탭을 사용하였고 역방향 등화기는 8탭을 사용하였다. 등화기 갱신을 위한 알고리즘으로 다음 식 (1)과 같은 Signed-LMS 알고리즘 사용하였다.

$$C(n+1) = C(n) + \mu \text{sgn}\{X^*(n)\}e(n) \quad (1)$$

Carrier Phase Recovery 블록은 위상 에러 검출기, 루프 필터, NCO(Numerically controlled oscillator)로 구성된다. 위상 에러 검출기는 등화기를 통과한 신호에 대하여 위상 에러를 검출하는 역할을 한다. 위상 에러 검출기 입력을  $q_k$ 라 하고,  $q_k$ 에 대해 슬라이서 출력 값을  $A_k$ 라 할 때, 수신 신호의 위상을  $\theta_k$ , 복원할 위상을  $\phi_k$ 라 하면, 위상 오차 ( $\theta_k - \phi_k$ )가 작은 경우에 위상 오차는 다음 식을 이용하여 구할 수 있다.

$$\theta_k - \phi_k = \sin(\theta_k - \phi_k) = \sin(\varepsilon_k) \quad (2)$$

$$\sin(\theta_k - \phi_k) = \text{Im} \left[ \frac{q_k A_k^*}{|A_k|^2} \right] = \frac{\text{Im}(q_k A_k^*)}{|q_k| |A_k|} \quad (3)$$

$$\therefore \varepsilon_k \equiv \text{Im}(q_k A_k^*) \quad (4)$$

식 (4)의 위상 에러 검출기 입력이 ( $X_I, X_Q$ )이 고 이 값의 슬라이서 출력이 ( $\hat{X}'_I, \hat{X}'_Q$ )이라 하면, 식 (4)는 다음 식 (5)으로 변형된다.

$$e(t) = X_Q \hat{X}'_I - X_I \hat{X}'_Q \quad (5)$$

위 식 (5)를 이용하여 검출된 위상 에러는 루프 필터를 거치고 누적된 값은 NCO에 입력되고, NCO는 위상 보상 값을 출력한다.

### 3. 프레임 동기 회로

프레임 동기 복원부는 그림 3에서와 같이 등화기 앞에 위치하며 프레임의 시작을 검출한다. 이 시점으로부터 등화기의 훈련모드 동작이 진행되므로 모뎀 수신부의 실제적인 동작이 시작되는 것이다. 프레임의 시작 지점을 선택하기 위해서 헤더에 포함된 TRN16 패턴과의 유사성을 조사한다. 즉 판정 임계치 이상의 유사도를 보이면 프레임의 시작임을 판단하는 방법이다.

그런데 다양한 경로를 거친 후 수신되는 신호에 대

해서 HomePNA2.0의 훈련신호 64개만으로 LMS 알고리즘을 이용하여 채널을 등화하기에는 역부족이다<sup>3)</sup>. 따라서 프레임 동기 복원부에 입력되는 신호를 메모리를 저장하였다가 프레임의 시작이 결정되면 메모리의 데이터를 출력한다. 그러면 훈련신호의 손실 없이 등화기에서 채널 등화가 가능하므로 수신 성능을 향상 시킬 것이다.

이 구조를 선택한 프레임 동기 복원부는 다음 그림 6과 같이 correlator부, 메모리, 제어부로 구성된다<sup>6)</sup>. 메모리는 Dual Port RAM으로서 32x16bits 메모리가 I, Q 축에 대해 2개 필요하다. Correlator 내부는 상관도를 계산하기 위해 곱셈기가 필요하다. 하지만 훈련신호가 1, -1 로만 구성된 점을 착안하여 곱셈기 없이 부호만 비교하여 상관도를 구하도록 하였다. 이 경우 곱셈기를 사용한 경우와 비교한 결과 차이가 거의 없었다. Correlator를 거친 결과가 임계치를 넘어서면 저장된 RAM의 내용이 출력된다.

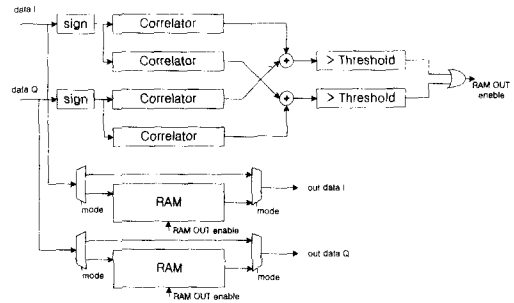


그림 6. 프레임 동기 복원부의 구조

## IV. 채널에 따른 전송 능력 실험

본 논문의 모뎀 수신부는 HomePNA 2.0 ASIC 칩을 제작하기 위해서 설계되었다. 모뎀 알고리즘 개발과 고정소숫점 시뮬레이션을 위해서 SPW를 사용하였다. 칩으로 제작하는 특성 때문에 수신부의 주요 파라미터는 고정된 값을 사용하지 않고 외부에서 설정이 가능토록 설계하였다.

설계된 모뎀 수신부의 채널 등화 성능을 관찰하기 위해서 MSE(mean squared error) 수렴 특성을 실험하였다. 실험 결과, HomePNA 테스트 루프 3번을 사용하였을 때 등화기의 스텝사이즈에 따른 MSE결과는 그림 7과 같은 경향을 보였다. MSE는 8심볼에 대한 평균을 슬라이딩 윈도우 방식으로 구했으며 그림에서 약 210~480 심볼 구간은 헤더구간

을 나타나고 약 480 심볼 이후부터는 데이터구간의 MSE를 나타낸다.

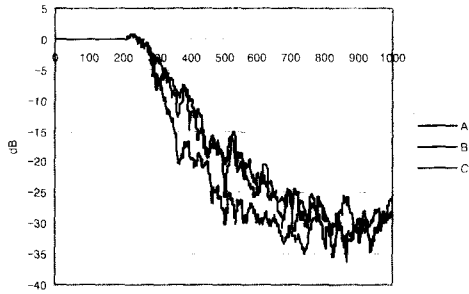


그림 7. 등화기 스텝사이즈에 따른 MSE 수렴특성

그림에서 곡선 A, B, C는 각 각 스텝사이즈  $2^6$ ,  $2^5$ ,  $2^7$ 인 경우를 나타내고 있다. 헤더의 종료 시점 (480심볼)에서 스텝사이즈가  $2^6$ 인 경우 가장 빨리 수렴하는 사실을 알 수 있다.

그리고 채널을 고정시키고 MSE의 수렴 특성에 대한 실험을 수행한 결과 송수신 캐리어의 위상차가 수렴 성능에 가장 큰 영향을 주고 있음을 알 수 있었다. 따라서 HomePNA2.0 모델의 테스트 루프에 따른 전송 능력을 구하기 위해서 송수신단 사이에서 발생할 수 있는 모든 캐리어 위상차에 대해서 시뮬레이션을 수행하고 헤더 종료 지점에서의 MSE를 구하여 평균 한 결과를 해당 채널의 MSE로 선택하였다.

한편, HomePNA2.0 규격에서는 프레임 에러율 (FER : Frame Error Rate)의 목표치를  $10^{-2}$  또는  $10^{-3}$ 으로 정하고 있다. 심볼 에러율(SER: Symbol Error Rate)이  $P_M$ 일 때, 프레임의 길이가 최대일 경우 FER과 SER은 다음과 같은 관계를 가진다<sup>7)</sup>.

$$FER = 1 - (1 - P_M)^N \tag{6}$$

$$FER \approx N \cdot P_M = \frac{1518 \times 8}{\log_2 M} \cdot P_M \tag{7}$$

SER을 구하면 M-ary QAM의 에러율에 대한 근사식으로부터 MSE를 구할 수 있다<sup>8)</sup>. 먼저 FER 목표치를  $10^{-2}$ ,  $10^{-3}$ 로 했을 때의 각 QAM 방식에 따른 가능 MSE 테이블을 만들고, 시뮬레이션을 통해 채널별로 얻은 MSE 결과가 해당되는 QAM 방

식을 찾아내어 가능한 최대 전송 속도를 계산하였다. 그 결과가 다음 표2와 같다.

표 2. 테스트 채널 별 MSE와 전송 가능 속도

Channel #	MSE[dB]	속도[Mbps]	
		FER < $10^{-2}$	FER < $10^{-3}$
2	-31.5	14	14
3	-27.1	10	10
4	-26.7	10	10
5	-23.4	10	8
6	-27.8	12	10
7	-8.6		
8	-26.9	10	10
9	-18.2	6	6
10	-19.8	6	6

결과를 고찰하면 테스트 채널 7, 9, 10 번은 상당히 나쁜 성능을 보이고 나머지 채널은 10Mbps 정도의 속도를 얻을 수 있음을 알 수 있다.

### V. 결론

HomePNA 2.0기술은 가정내에 이미 포설된 전화선을 이용하여 10Mbps급의 데이터 전송을 위한 기술이다. HomePNA 기술은 기존의 전화선로를 이용하므로 설치가 용이하고 간단하게 홈 네트워크를 구축할 수 있는 장점을 가지고 있다.

본 논문은 HomePNA 2.0 칩으로 제작된 모델 수신부의 구조에 대한 연구 결과를 제시하였다. 이를 위해서 HomePNA 2.0 기술의 물리계층 전송 방식 특징에 대해서 설명하고, 열악한 HomePNA 테스트 채널에 대해서 특성을 살펴보았다.

이러한 물리계층 전송 특성에 적합하도록 제안된 모델 수신부는 HomePNA 2.0 모델 수신부의 기능을 정상 동작 모드와 충돌 감지 모드의 2가지 모드로 정의하였다. 모델 수신부는 송신부와 달리 채널을 거쳐 왜곡된 신호를 복구해야 하기 때문에 내부에 등화기, 캐리어 위상 복원부, 프레임 동기 복원부 등의 복잡하고 핵심적인 블록을 포함하고 있다. 본 논문은 이들에 대해서 사용한 알고리즘과 구현된 구조를 밝혔다. 채널을 보상하기 위한 방법으로 DFE와 위상 보상회로가 결합된 구조를 선택했다.

이 구조는 직접 오실레이터를 조절하여 위상을 보상하는 방식보다 안정적으로 위상을 보상하는 장점이 있다. 그리고 제안된 프레임 동기 복원부는 버스트 방식 모뎀에 적합하도록 혼련 신호를 최대한 활용하여 채널을 등화할 수 있는 구조를 찾았다. 제안된 모뎀 수신부의 구조는 전체 모뎀 송수신부와 채널을 포함한 SPW 모델에서 시뮬레이션 되고 HomePNA 채널 별 성능을 분석하였다.

본 논문에서 밝 모뎀 수신부의 구조는 실제 칩에 적용되었으며 정상 동작을 확인하였다. 따라서 본 논문에서 제시한 모뎀 수신부의 구조는 혼련신호를 포함한 버스트 방식 모뎀과 QAM 방식 모뎀에 유용할 것이다.

### 참 고 문 헌

- [1] "Interface Specification for HomePNA 2.0 10M8 Technology 2.0.4.,"Oct. 2001; available to members of HomePNA, see <http://www.homepnaorg>.
- [2] Edward H. Frank, Jack Holloway, "Connecting the Home with a Phone Line Network Chip Set,"IEEE MICRO , pp. 27-38, MARCH-APRIL 2000.
- [3] P. Bisaglia, R. Castle, and S. H. Baynham, "Channel Modeling and System Performance for HomePNA 2.0,"IEEE Journal on Selected Areas in Communications, pp. 913-922, vol. 20, no. 5, June 2002.
- [4] 최성우, 김종원, 백제인, "HomePNA2.0 모뎀의 등화기 설계," 제3회 전자정보통신 학술대회, 2001.
- [5] Jack Kurzweil, "An Introduction to Digital Communications", John Wiley & Sons. Inc. , 2000.
- [6] 최성우, 김종원, "HomePNA 2.0 프레임의 검출", 한국통신정보합동학술대회, April 2003.
- [7] 백제인, 이재영, "HomePNA2.0모뎀에서 DFE 수렴특성", 한국통신학회 하계학술대회, 2002.
- [8] John G. Proakis, Digital Communications. 3rd ed., McGraw-Hill, NewYork, 1995.

최 성 우(Sung-woo Choi)

준회원



1999년 2월 : 전북대학교

전자공학과 졸업

2001년 2월 : 전북대학교

전자공학과 석사

2001년 3월~현재 : ETRI

무선홈네트워크연구팀

<관심분야> 통신, 채널코딩, 신호처리 설계

김 종 원(Jong-won Kim)

정회원

한국통신학회 논문지 27권 12C호 참조