

논문 2004-41SD-12-5

# Deep Submicron MOSFET 기판회로 파라미터의 바이어스 및 게이트 길이 종속 데이터 추출

(Bias and Gate-Length Dependent Data Extraction of Substrate Circuit Parameters for Deep Submicron MOSFETs)

이 용 택\*, 최 문 성\*, 구 자 남\*\*, 이 성 현\*\*\*

(Yongtaek Lee, Munsung Choi, Janam Ku, and Seonghearn Lee)

## 요 약

최근 실리콘 미세공정의 발달로 상용화된  $0.2\mu\text{m}$  게이트길이 이하의 deep submicron MOSFET 출력특성을 정확히 모델링하기 위해서는 RF 기판 회로 연구가 필수적이다. 먼저 본 논문에서는 기판 캐패시턴스와 기판 저항이 병렬로 연결된 모델과 기판 저항만을 사용한 단순 모델들에 적합한 직접 추출 방법을 각각 개발하였다. 이 추출방법들을  $0.15\mu\text{m}$  CMOS 소자에 적용한 결과 단순 모델보다 RC 병렬 기판모델이 측정된  $Y_{22}$ -parameter에 30GHz까지 더 잘 일치하는 것을 확인하였으며, 이는 RC 병렬 기판모델 및 직접추출방법의 RF 정확도를 증명한다. 이러한 RC 병렬 기판모델을 사용하여 게이트 길이를 0.11에서  $0.5\mu\text{m}$ 까지 변화시키고 드레인 전압을 0에서 1.2V까지 증가시키면서 기판 모델 파라미터들의 bias 종속 특성과 게이트 길이 종속 특성을 새롭게 추출하였다. 이러한 새로운 추출 결과는 scalable한 RF 비선형 기판 모델 개발에 유용하게 사용될 것이다.

## Abstract

The study on the RF substrate circuit is necessary to model RF output characteristics of deep submicron MOSFETs below  $0.2\mu\text{m}$  gate length that have been commercialized by the recent development of Si submicron process. In this paper, direct extraction methods are developed to apply for a simple substrate resistance model as well as another substrate model with connecting resistance and capacitance in parallel. Using these extraction methods, better agreement with measured  $Y_{22}$ -parameter up to 30 GHz is achieved for  $0.15\mu\text{m}$  CMOS device by using the parallel RC substrate model rather than the simple resistance one, demonstrating the RF accuracy of the parallel model and extraction technique. Using this model, bias and gate length dependent curves of substrate parameters in the RF region are obtained by increasing drain voltage of 0 to 1.2V at deep submicron devices with various gate lengths of 0.11 to  $0.5\mu\text{m}$ . These new extraction data will greatly contribute to developing a scalable RF nonlinear substrate model.

**Keywords :** MOSFET, RF CMOS, parameter extraction, substrate, substrate model, model parameter

## I. 서 론

최근 전 세계적으로 가속화되는 정보화 추세에 따라

\* 학생회원, \*\*\*정회원, 한국외국어대학교 전자정보공학부 (School of Electronics and Information Engineering, Hankuk University of Foreign Studies)

\*\* 정회원, 삼성종합기술원 MEMS Lab (MEMS Lab., Samsung Advanced Institute of Technology)

※ 본 연구는 과학기술부에서 추진하는 21세기 프론티어 사업 중 테라급나노소자개발사업단 지원과, 한국 소프트웨어진흥원의 IT SoC 핵심설계인력양성사업에 의하여 수행되었음.

접수일자: 2004년8월9일, 수정완료일: 2004년12월6일

RF 송수신기가 고주파화 및 광대역화되고 있으며, 이러한 RF 시스템 IC의 제조를 위한 핵심소자로서 가격경쟁력에서 탁월한 Silicon MOSFET이 널리 사용되고 있다<sup>[1]</sup>. 최근 Si 미세공정 발달로  $0.2\mu\text{m}$  이하의 CMOS 소자가 상용화되고 있다. 하지만, CMOS 소자는 비교적 손실이 큰 Si 기판 (substrate)을 사용하므로 기판 기생성분에 의한 소자성능감소가 RF 영역에서 크게 증가된다.

따라서 이러한 deep submicron CMOS 소자의 기판 특성을 정확히 나타낼 수 있는 기판 등가회로 모델이 필수적으로 개발되어야 한다. 특히 RF IC 출력 정합 회로 설계에 필수적인  $Y_{22}$ 나  $S_{22}$ -parameter와 같은 RF 출

력특성의 예측은 기판 회로의 정확한 모델링에 의해 좌우되므로 그 중요성이 더욱 커지고 있는 실정이다<sup>[2],[3]</sup>.

이러한 기판 모델링을 위해 drain-bulk 접합 capacitance  $C_{jd}$ 에 직렬로 기판 저항  $R_{bk}$ 를 연결한 단순한 기판저항 회로가 사용되었으나<sup>[2],[4]</sup>, RF 영역에서 손실 Si 기판유전체의 정확한 출력특성을 모델화하는데 물리적으로 부적합하다는 사실이 지적되어왔다<sup>[3]</sup>. 이러한 RF 기판 모델링을 개선하기 위해 최근에 bulk capacitance ( $C_{bk}$ )를  $R_{bk}$ 에 병렬로 첨가한 RC 병렬회로가 물리적으로 합당한 기판모델로서 제안되었으며<sup>[3]</sup>, 기판 파라미터들을 curve-fitting없이 직접 구할 수 있는 direct 방법이 개발되었다<sup>[5]</sup>.

하지만 RC 기판 모델이  $L=0.35\mu\text{m}$ 의 비교적 큰 게이트 길이에 적용되어 증명되었기 때문에<sup>[5]</sup>,  $0.2\mu\text{m}$ 이하의 deep submicron CMOS소자의 출력특성을 정확히 모델화 할지는 의문이다. 따라서 본 연구에서는 RC 병렬 기판 모델과 단순 기판저항 모델을  $L=0.15\mu\text{m}$  소자에 적용하여 어떤 모델이 정확한지를 비교할 것이다.

또한 일반적인 대신호 RF IC의 설계를 수행하기 위해서는 MOSFET모델이 게이트 길이에 scalable하고 bias 비선형 특성을 정확히 예측할 수 있어야 한다<sup>[6]</sup>. 하지만, 현재까지 deep submicron CMOS소자에 관한 기판 모델 파라미터들의 bias 종속 데이터와 게이트 길이에 따라 변화되는 scalable 데이터들이 문헌상에 발표가 되지 않아 정확한 scalable 비선형 기판 모델링이 힘든 상황이었다.

따라서 본 연구에서는 direct 추출방법을 사용하여 게이트 길이를 0.11에서  $0.5\mu\text{m}$ 까지 변화시키고 드레인 전압을 0에서 1.2V까지 증가시키면서 기판 파라미터들의 게이트길이 및 bias 종속 특성을 새롭게 연구하였다.

## II. 모델 파라미터 추출

### 1. 단순 기판저항 모델 파라미터 추출

가. Y-parameter의 허수항을 사용하는 추출 방법

우선 본 연구에서는 정확한 MOSFET 기판 파라미터 추출을 위해 open과 short 패드 패턴들을 사용하여 측정된 S-parameter를 de-embedding하였다<sup>[7]</sup>. 그림 1(a)는 단순 기판저항 모델을 사용한 소신호 고주파 등가회로를 보여준다. 한편 기판 파라미터를 direct하게 추출하기 위해서  $V_{gs}$ 는 0V로 고정시켰다. 이와같이 외부  $V_{gs}$ 가 0인 상태에서  $C_{gs}$ 의 Impedance가  $R_g$ 와  $R_s$ 보다

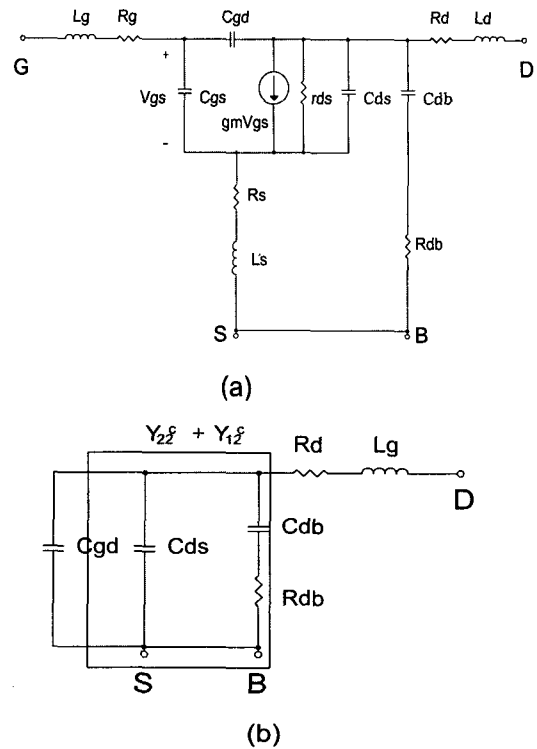


그림 1. (a) 단순 기판저항 모델을 사용한 소신호 MOSFET 등가회로 (b)  $V_{gs} = 0V$ 에서 단순화된 출력 등가회로

Fig. 1. (a) A small-signal MOSFET equivalent circuit using a simple substrate resistance model. (b) Output equivalent circuit simplified at  $V_{gs} = 0V$ .

훨씬 크다고 하면 내부  $V_{gs} \approx 0V$ 로 근사화 된다. 따라서  $g_m V_{gs}$ 가 사라지게 되고,  $r_{ds}$ 가 무한대가 되어  $R_s$ 가 무시된다. 이와같이 단순화된 출력 등가회로는 그림 1(b)에서 보여준다.

먼저,  $R_d$  와  $L_d$ 의 추출을 위하여 다음과 같은 direct 방법이 사용되었다. 그림 1의 고주파영역(HF)에서 유도된 Z-parameter 방정식은 다음과 같다<sup>[5],[8]</sup>.

$$Real(Z_{22} - Z_{12})_{HF} \approx R_d + \frac{A_d}{w^2} \tag{1}$$

$$\frac{1}{w} Imag(Z_{22} - Z_{12})_{HF} \approx L_d - \frac{E_d}{w^2} \tag{2}$$

여기에서  $A_d$  와  $E_d$ 는 고정된 bias에서 변하지 않는 내부 parameter의 함수로 표현된다.  $R_d$ 와  $L_d$ 의 값은 각각 식(1)과 식(2)을  $w^{-2}$ 으로 그린 후 얻어진 extrapolation line의 Y-절편 값으로 결정되었다.

그림 1(b)의 기판파라미터( $C_{ds}$ ,  $R_{db}$ ,  $C_{db}$ )들을 direct 추출하기 위해서는 Y-파라미터의 실수항과 허수항의 측정 데이터를 사용 할 수 있다. 먼저 본 연구에서는 허

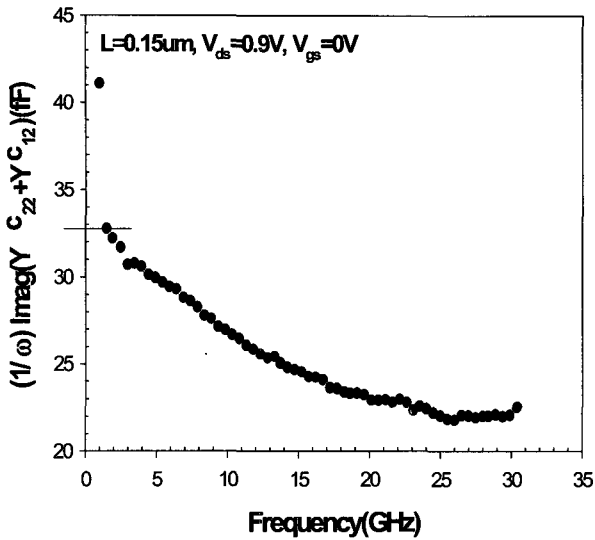


그림 2. 주파수의 함수로 그린  $(1/w)\text{Imag}(Y_{22}^c + Y_{12}^c)$ 의 측정데이터  
 Fig. 2. The measured data of  $(1/w)\text{Imag}(Y_{22}^c + Y_{12}^c)$  versus frequency.

수항만을 사용하여 기관 파라미터들을 독립적으로 추출할 수 있는 다음 direct 방법을 개발하였다.

$V_{gs}=0V$ 에서 근사화된 그림 1(b)의 실선 box 회로로부터  $Y_{22}^c + Y_{12}^c$ 의 허수 방정식은 다음과 같이 유도된다.

$$\frac{1}{w} \text{Imag}(Y_{22}^c + Y_{12}^c) = C_{ds} + \frac{C_{db}}{1 + w^2 R_{db}^2 C_{db}^2} \quad (3)$$

여기에서  $Y^c$ -파라미터는 측정된 S-파라미터로부터 추출된  $R_d$  및  $L_d$ 를 제거한 후 얻어졌다.

먼저, 낮은 주파수(LF) 범위에서 식 (3)은 다음과 같이 근사화 된다.

$$\frac{1}{w} \text{Imag}(Y_{22}^c + Y_{12}^c)_{LF} \approx C_{ds} + C_{db} \quad (4)$$

따라서, 그림 2에서 보여주듯이  $C_{ds}+C_{db}$ 는 낮은 주파수 데이터를 사용하여 추출하였다.

한편, 높은 주파수 범위에서 식 (3)은 다음 식으로 근사화 된다.

$$\frac{1}{w} \text{Imag}(Y_{22}^c + Y_{12}^c)_{HF} \approx C_{ds} + \frac{1}{w^2 R_{db}^2 C_{db}} \quad (5)$$

따라서, 그림 3에서 보여주듯이  $C_{ds}$ 는 식(5)을  $w^{-2}$ 으로 그린 Y-절편으로 추출하였다.  $C_{db}$ 는 추출된  $C_{ds}$ 를 식(4)로 얻어진 저주파 값으로부터 뺄어서 얻어졌다. 또한  $R_{db}$ 는 그림 3의 기울기가  $1/R_{db}^2 C_{db}$ 이므로, 얻어진

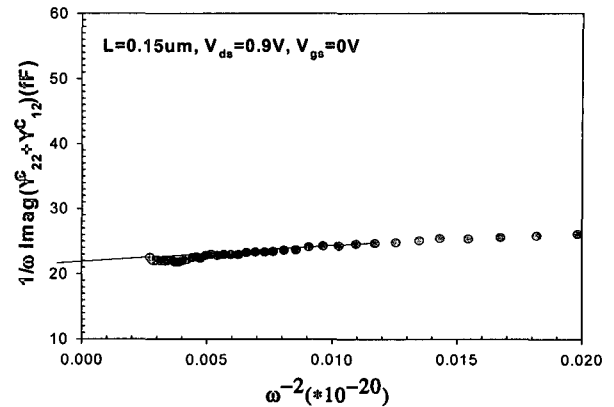


그림 3.  $w^{-2}$ 으로 그린  $(1/w)\text{Imag}(Y_{22}^c + Y_{12}^c)$ 의 고주파영역 데이터

Fig. 3. The measured high-frequency data of  $(1/w)\text{Imag}(Y_{22}^c + Y_{12}^c)$  versus  $w^{-2}$ .

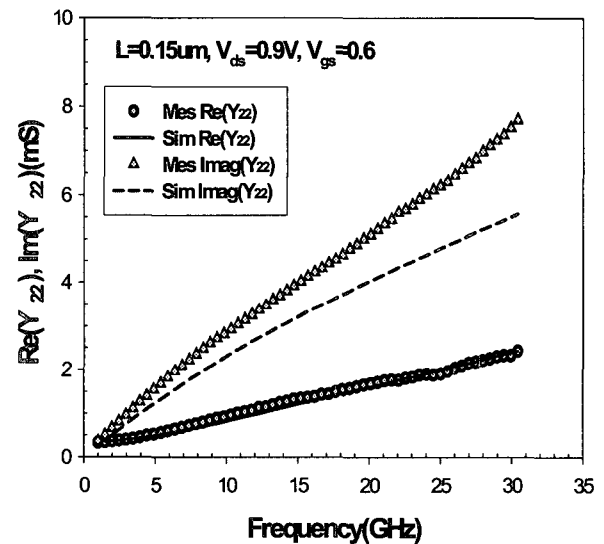


그림 4.  $\text{Re}(Y_{22})$ 와  $\text{Im}(Y_{22})$ 의 측정데이터(Mes)와 식 (3)-(5)를 사용한 시뮬레이션(Sim) 값과의 비교.

Fig. 4. Comparison between measured and simulated data using (3)-(5) of  $\text{Re}(Y_{22})$  and  $\text{Im}(Y_{22})$ .

$C_{db}$ 를 이식에 대입하여 추출되었다.

이와 같이 추출된 기관파라미터들의 정확도를 검증하기 위해  $V_{ds}=0.9V$ ,  $V_{gs}=0.6V$ 로 bias된 MOSFET의  $Y_{22}$ -parameter 측정값과 시뮬레이션된 모델값을 비교하였다. 이때,  $R_g, R_s, L_g, L_s$ 는 Z-parameter 방정식<sup>[5],[8]</sup>을 사용하여 추출하였으며, 그림 1의 intrinsic parameter인  $C_{gs}, C_{gd}, \tau, g_{mo}, r_{ds}$ 들은 내부 Y-parameter로부터 유도된 식<sup>[3]</sup>으로부터 결정하였다.

그림 4에서 보여주듯이 모델된 출력 임피던스  $Y_{22}$ 는 실수값은 잘 일치되었으나, 허수값이 일치 되지 않은 것을 볼 수 있다. 이는, 실제  $V_{gs}=0.6V$ 의 채널근처의

drain junction capacitance  $C_{ds}$  값이 모델에 사용된  $V_{gs}=0V$ 의 추출 값보다 크기 때문이다. 따라서 허수항을 이용하여 추출한 방법 또한 출력특성을 나타내기에 적합하지 않다는 것을 알 수 있다. 이와 같은 오차를 제거하기 위해서는 내부 Y-parameter 방정식<sup>[3]</sup>을 사용하여  $V_{gs}=0.6V$ 의  $C_{ds}$ 를 추출하는 것이 더 바람직하다.

나. Y-parameter의 실수항을 사용하는 추출 방법

위에서 설명된 허수항 추출방법은 그림 3과 같이 고주파 영역 fitting 방법이 별도로 사용되어 복잡하며, fitting된 주파수 영역에 따라 오차가 발생 가능하다. 따라서, 본 연구에서는 실수항만을 사용한 direct 기판 파라미터 추출방법을 다음과 같이 개발하였다.

그림 1(b)의 실선 box 회로로부터 다음 실수항이 유도된다.

$$Real(Y_{22}^c + Y_{12}^c) = \frac{R_{db}C_{db}^2w^2}{1 + w^2R_{db}^2C_{db}^2} \quad (6)$$

식(6)은 높은 주파수 범위에서 다음 식으로 근사화된다.

$$Real(Y_{22}^c + Y_{12}^c)_{HF} \approx \frac{1}{R_{db}} \quad (7)$$

이 식으로부터 알 수 있듯이  $R_{db}$ 는 그림 5의 고주파 데이터를 사용하여 추출할 수 있다.

또한 식(6)은 낮은 주파수 범위에서 다음 식으로 근사화된다.

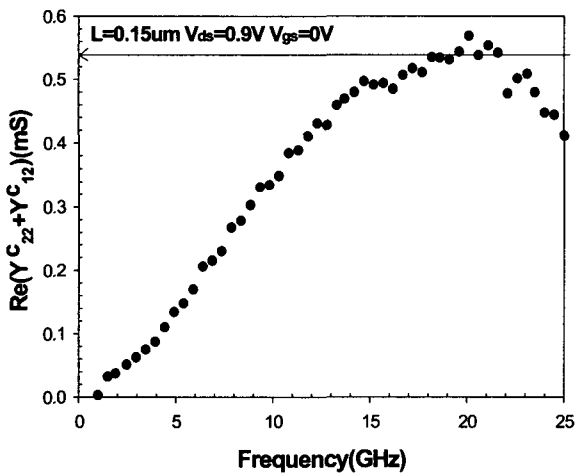


그림 5. 주파수의 함수로 그린  $Real(Y_{22}^c + Y_{12}^c)$ 의 측정 데이터

Fig. 5. The measured data of  $Real(Y_{22}^c + Y_{12}^c)$  versus frequency.

$$Real(Y_{22}^c + Y_{12}^c)_{LF} \approx R_{db}C_{db}^2w^2 \quad (8)$$

즉, 그림 6에서 보여주듯이  $R_{db}C_{db}^2$ 는  $Real(Y_{22}^c + Y_{12}^c)_{LF}$  대  $w^2$  곡선의 기울기로부터 구할 수 있기 때문에,  $R_{db}$ 를 이 식에 대입하면  $C_{db}$ 를 간단히 추출할 수 있다.

이와 같이 추출된 기판 파라미터들의 정확도를 검증하기 위해  $V_{ds}=0.9V$ ,  $V_{gs}=0.6V$ 로 bias된 MOSFET의 측정된  $Y_{22}$ -parameter와 시뮬레이션된 모델값을 비교하였다. 그림 7에서 보여주듯이 모델된 출력 임피던스  $Y_{22}$

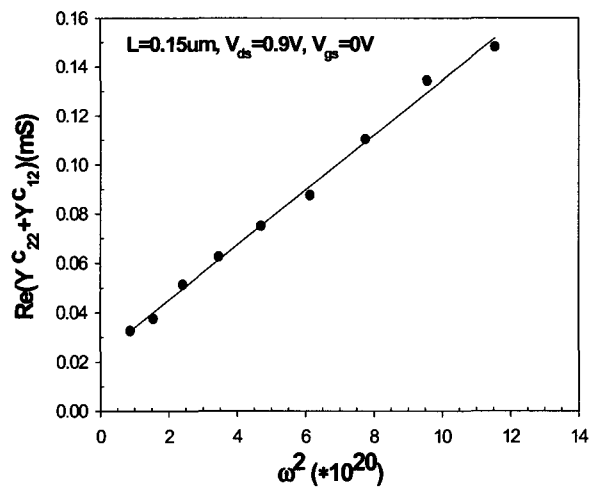


그림 6.  $w^2$ 으로 그린  $Real(Y_{22}^c + Y_{12}^c)$ 의 저주파영역 데이터

Fig. 6. The measured low-frequency data of  $Real(Y_{22}^c + Y_{12}^c)$  versus  $w^2$ .

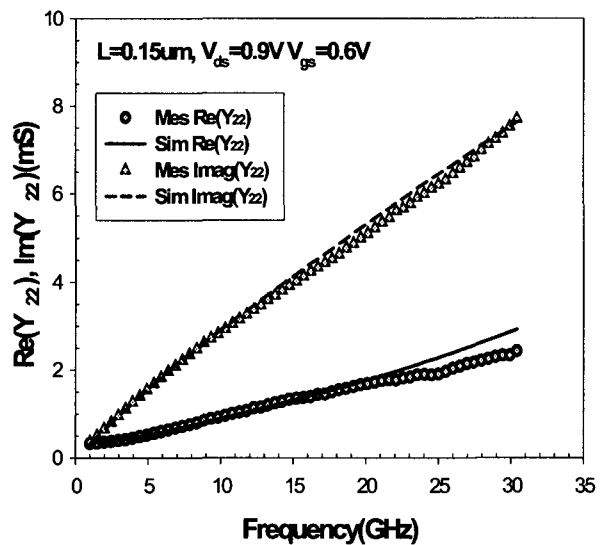


그림 7.  $Real(Y_{22})$ 와  $Imag(Y_{22})$ 의 측정데이터(Mes)와 식(6)-(8)를 사용한 시뮬레이션(Sim) 값과의 비교.

Fig. 7. Comparison between measured and simulated data using (6)-(8) of  $Real(Y_{22})$  and  $Imag(Y_{22})$ .

는 약 20GHz 까지는 측정치와 비교적 일치되었으나, 그 이후부터는 다소 큰 오차를 보여주고 있다. 그러므로 그림 1과 같은 단순 기판 저항 모델은 고주파 영역에서 0.15 $\mu$ m 소자의 출력특성을 모델링 하는 데에 다소 부적합하다는 것을 보여준다.

2. RC 병렬 기판회로 파라미터 추출

위에서 지적된 단순 기판저항 모델의 부정확성을 제거하기 위해서 본 연구에서는 그림 8(a)의 RC 병렬 기판 회로를 사용하여 0.15 $\mu$ m MOSFET 출력특성 모델링을 다음과 같이 수행하였다.

$V_{gs}=0V$ 에서 단순화된 출력 등가회로는 그림 8(b)에서 보여준다. RC 병렬 기판 파라미터 추출은 그림 8(b)로부터 유도된 다음 방정식의 주파수 응답정보를 사용하여 추출할 수 있다<sup>[3],[5]</sup>.

$$Real(Y_{22}^c + Y_{12}^c) = \frac{k_1 w^2}{1 + k_2 w^2} \tag{9}$$

$$\frac{1}{w} Imag(Y_{22}^c + Y_{12}^c) = C_{jd} \left( \frac{1 + m_1 w^2}{1 + k_2 w^2} \right) \tag{10}$$

한편  $k_1, k_2, m_1$  은 다음과 같이 주어진다.

$$k_1 = R_{bk} C_{jd}^2 \tag{11}$$

$$k_2 = R_{bk}^2 (C_{bk} + C_{jd})^2 \tag{12}$$

$$m_1 = R_{bk}^2 C_{bk} (C_{bk} + C_{jd}) \tag{13}$$

$R_{bk}$ 와  $C_{bk}$ 는 식 (11)-(13)로부터 유도된 다음의 식으로부터 쉽게 결정할 수 있다.

$$R_{bk} = \frac{k_1}{C_{jd}^2} \tag{14}$$

$$C_{bk} = \frac{C_{jd}^2 \sqrt{k_2}}{k_1} - C_{jd} \tag{15}$$

여기에서  $C_{jd}$ 는 낮은 주파수에서 식(10)로부터 근사화된 다음 식으로 추출되었다.

$$\frac{1}{w} Imag(Y_{22}^b + Y_{12}^b)_{LF} \approx C_{jd} \tag{16}$$

그리고,  $k_1$ 값은 식(9)으로부터  $w \ll 1/\sqrt{k_2}$  인 낮은 주파수 범위에서 근사화 된 다음 식을 사용하였다.

$$Real(Y_{22}^c + Y_{12}^c)_{LF} \approx k_1 w^2 \tag{17}$$

식 (17)의  $k_1$  값은 그림 6에서 보는 것처럼  $Real(Y_{22}^c$

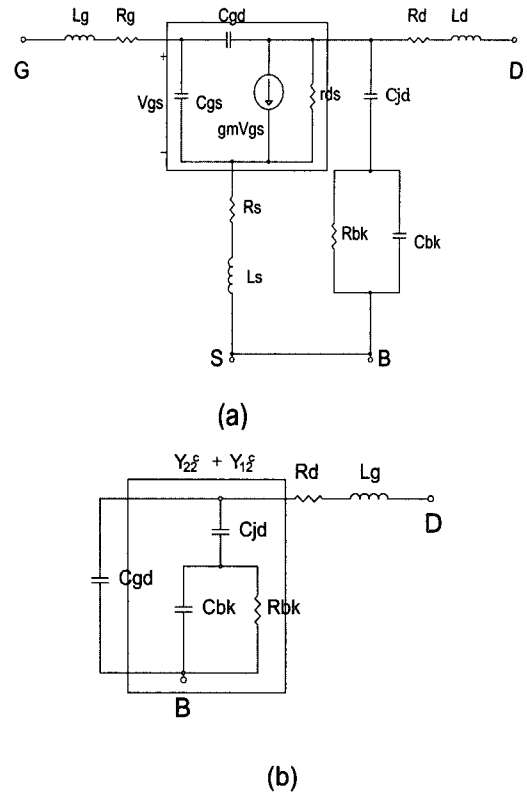


그림 8. (a) RC 병렬 기판 모델을 사용한 소신호 MOSFET 등가회로 (b)  $V_{gs}=0V$ 에서 단순화된 출력 등가회로

Fig. 8. (a) A small-signal MOSFET equivalent circuit using a RC parallel substrate model. (b) Output equivalent circuit simplified at  $V_{gs}=0V$ .

$+ Y_{12}^c$ ) 대  $\omega^2$  을 그린 그래프의 slope으로 간단하게 구할 수 있다. 한편, 식 (9)는  $w \ll 1/\sqrt{k_2}$ 인 고주파(HF) 범위에서 다음과 같이 근사화 된다.

$$Real(Y_{22}^c + Y_{12}^c)_{HF} \approx \frac{k_1}{k_2} \tag{18}$$

위식처럼  $k_1 / k_2$  값은 그림 5와 같이 saturation된  $Real(Y_{22}^c+Y_{12}^c)$ 의 높은 주파수 데이터로부터 구하였다.

이와 같이 추출된  $k_1, k_2, C_{jd}$ 값을 식(14)와 (15)에 대입하여 얻어진  $R_{bk}$ 와  $C_{bk}$ 들의 정확도를 검증하기 위해  $V_{ds}=0.9V, V_{gs}=0.6V$ 로 bias된 MOSFET의 측정된  $Y_{22}$ -parameter와 시뮬레이션된 모델 값을 비교하였다. 이때,  $R_g, R_s, L_g, L_s$  는 Z-parameter방정식을 사용하여 추출하였으며<sup>[5],[8]</sup>, 그림 8(a) 실선 박스의 내부 parameter는 Y-parameter 유도방정식<sup>[3]</sup>으로부터 결정하였다.

그림 9에서 보여주듯이 모델된 출력 임피던스  $Y_{22}$ 는 약 30GHz 까지는 측정치와 잘 일치되었으며, 이는 RC

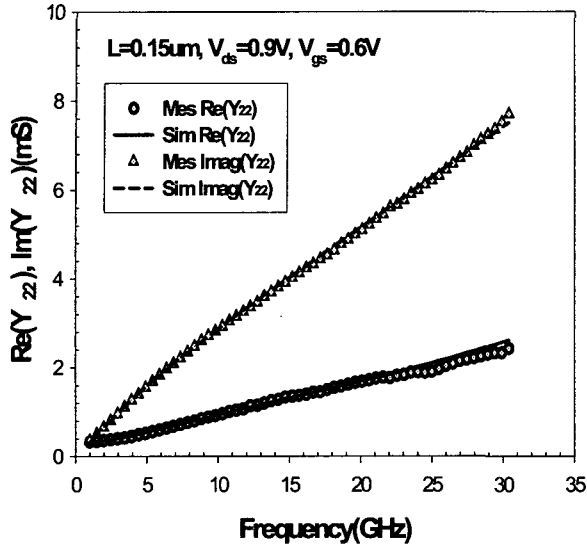


그림 9. Real(Y<sub>22</sub>)와 Imag(Y<sub>22</sub>)의 측정데이터(Mes)와 식 (9)-(18)를 사용한 시뮬레이션(Sim) 값과의 비교.  
Fig. 9. Comparison between measured and simulated data using (9)-(18) of Real(Y<sub>22</sub>) and Imag(Y<sub>22</sub>).

병렬기판 회로가 그림 4와 7에서 보여주는 단순 기판저항 모델보다 훨씬 정확함을 입증하고 있다.

### III. 추출된 Bias 및 게이트 길이 종속곡선

RC 병렬 기판 모델을 사용하여 게이트 길이를 0.11에서 0.5 $\mu\text{m}$ 까지 변화시키고 드레인 전압을 0에서 1.2V까지 증가시키면서 기판 모델 파라미터들의 bias 종속 특성과 게이트 길이 종속 특성을 연구하였다.

II장 2절에서 설명된 direct 추출방법을 사용하여 얻어진 bias종속데이터를 그림 10과 11에서 보여주고 있다. Drain junction capacitance  $C_{jd}$ 는  $V_{ds}$  증가에 따라 감소되는 p-n junction 특성을 보여주고 있다. 하지만 기판 캐패시턴스  $C_{bk}$ 의  $V_{ds}$  영향은  $C_{jd}$ 에 비해 비교적 적은 감소율을 보여주며,  $R_{bk}$ 도  $V_{ds}$ 에 대해 소폭 증가되는 경향을 보여준다. 이는  $V_{ds}$ 가 1.2V까지 증가될 때  $n^+$  drain 접합영역 바깥의 depletion 폭의 변화가 비교적 적어 기판  $C_{bk}$ 와  $R_{bk}$ 에 영향을 주는 bias 종속성이 비교적 적음을 보여주고 있다.

그림 12와 13은 게이트 길이를 0.11 $\mu\text{m}$ 에서 0.5 $\mu\text{m}$ 까지 변화시키면서 추출된 기판 파라미터를 보여주고 있다. 여기에서  $R_{bk}$ 는 게이트 길이에 비례해서 증가되는 경향을 보이며  $C_{bk}$ 는 역비례로 감소하는 것을 알 수 있다. 하지만,  $C_{jd}$ 는 게이트 길이의 증가에 따라 약간 감소되지만 0.15 $\mu\text{m}$ 부터는 거의 일정하였다. 그 이유는 그림 14

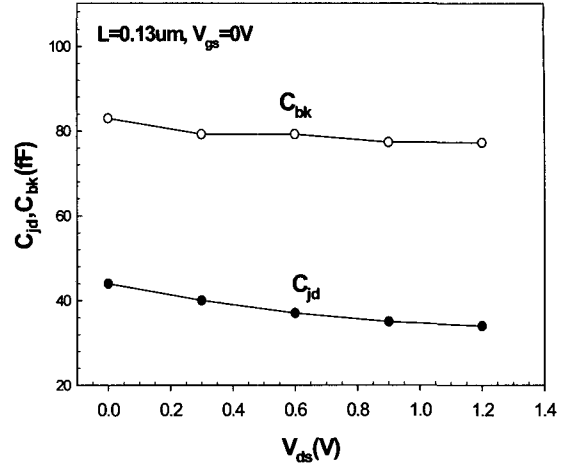


그림 10. 추출된  $C_{bk}$ 와  $C_{jd}$ 의  $V_{ds}$  종속데이터  
Fig. 10.  $V_{ds}$  dependent data of extracted  $C_{bk}$  and  $C_{jd}$ .

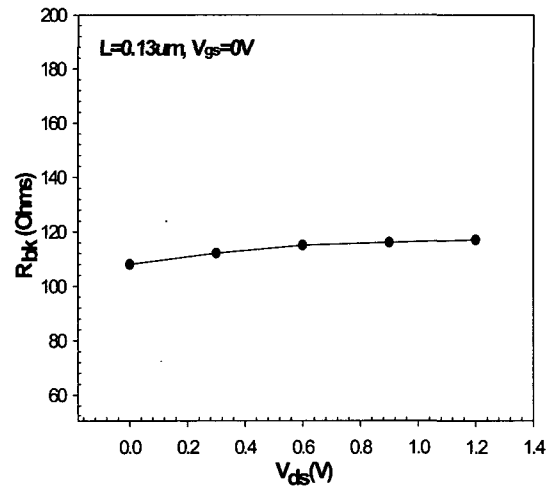


그림 11. 추출된  $R_{bk}$ 의  $V_{ds}$  종속 그래프  
Fig. 11.  $V_{ds}$  dependent data of extracted  $R_{bk}$ .

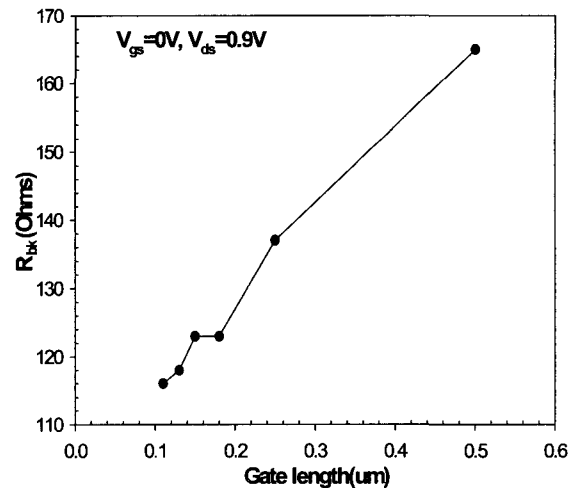


그림 12. 추출된  $R_{bk}$ 의  $L_g$  종속 그래프  
Fig. 12.  $L_g$  dependent data of extracted  $R_{bk}$ .

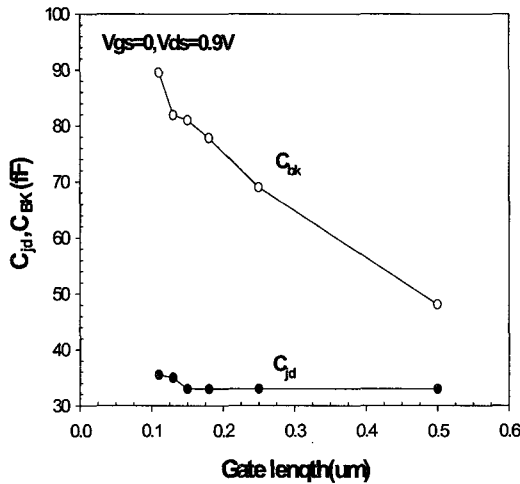


그림 13. 추출된  $C_{gk}$ 와  $C_{gd}$ 의  $L_g$  종속 그래프  
 Fig. 13.  $L_g$  dependent data of extracted  $C_{gk}$  and  $C_{gd}$ .

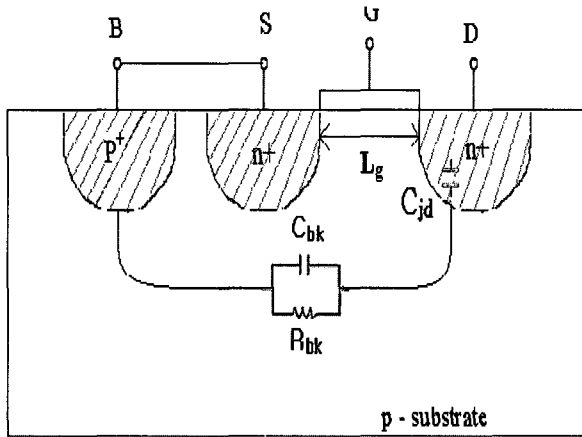


그림 14. MOSFET의 소자 구조  
 Fig. 14. Device Structure of MOSFET.

의 소자 구조에서 보듯이  $L_g$ 가 길어지면 채널아래에 존재하는 기판영역의 길이가 증가되므로  $R_{gk}$ 는 커지고, 상대적으로 기판 유전체의  $C_{gk}$ 는 감소되는 현상으로 설명할 수 있다. 따라서 게이트 길이 변화에 따른  $C_{gk}$ 와  $R_{gk}$  종속성은 매우 크지만,  $C_{gd}$ 는 drain 접합 영역이 채널영역과 무관하므로 종속성이 적음을 알 수 있다.

이와 같은 bias 및 게이트 길이 종속 데이터는 정확한 scalable 비선형 기판 모델 구축에 큰 기여를 할 것으로 생각된다.

#### IV. 결 론

본 연구에서는 deep submicron MOSFET에 적합한 기판 모델을 구하기 위하여,  $V_{gs}=0V$  바이어스 등가회로로부터 유도된 2단자 파라미터 방정식을 사용하여 측정

된 S-parameter로부터 직접 기판 parameter들을 추출하는 방법을 개발하였다. 이를 사용하여 기판 캐패시턴스와 기판 저항이 병렬로 연결한 모델과 기판 저항만을 사용한 단순 모델들의  $Y_{22}$ -parameter 정확도를 30GHz까지 비교하였으며, 그 결과 RC 병렬기판 모델이 단순 기판 저항 모델보다 고주파영역에서 더 잘 일치하는 것을 알 수 있었다. 이러한 RC 병렬 모델을 사용하여 deep submicron MOSFET 기판 파라미터의 바이어스 ( $V_{ds} = 0 - 1.2V$ ) 및 게이트길이( $L_g = 0.11 - 0.5\mu m$ ) 종속데이터를 새롭게 추출하였다. 이러한 RF 추출 데이터들은 비교적 물리적 소자이론에 비교적 잘 부합되는 것을 알 수 있으며, 추출데이터의 정확도는 모델된  $Y_{22}$ -parameter와 측정데이터가 30GHz까지 정확하게 일치함으로써 증명되었다.

#### 참 고 문 헌

- [1] N. Camilleri, J. Costa, D. Lovelace, and D. Ngo, "silicon MOSFET's, the microwave device technology for the 90s," in IEEE MTT-S int. Microwave Symp. Dig., June 1993, pp.545-548.
- [2] C.-H. Kim, C. S. Kim, H. K. Yu, and K. S. Nam, "Unique extraction of substrate parameters of common-source MOSFET's," IEEE Microwave and Guided Wave Lett., Vol 9, pp. 108-110, March 1999.
- [3] S. Lee, C. S. Kim, and H. K. Yu, "A small-signal RF model and its parameter extraction for substrate effects in RF MOSFETs", IEEE Trans. Electron Devices, Vol. 48, pp. 1374-1379, July 2001.
- [4] Y.-J. Chan, C.-H. Huang, C.-C. Weng, and B.-K. Liew, "Characteristics of deep-submicrometer MOSFET and its empirical nonlinear RF model," IEEE Trans. Microwave Theory Tech., Vol 46, pp. 611-615, May 1998.
- [5] S. Lee, "Direct extraction technique for a small-signal MOSFET equivalent circuit with substrate parameters", Microwave and Optical Technology Lett., Vol. 39, No. 4, pp. 344-347, Nov 2003.
- [6] J. M. Collantes, J. Raoux, J. Villotte, R. Quere, G. Montoriol, and F. Dupis, "A new large-signal model based on pulse measurement techniques for RF power MOSFET", IEEE MTT-S Int. Microwave Symp. Dig., pp. 1553-1556, June 1995.
- [7] S. Lee, "Effects of pad and interconnection

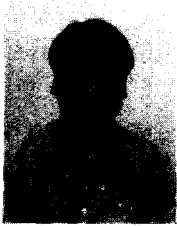
parasitics on forward transit time in HBTs",  
IEEE Trans. Electron Devices, vol. 46, no. 2, pp.  
275-278, Feb 1999.

- [8] S. Lee, "A Parameter Extraction Method for a Small-Signal MOSFET Model Including Substrate Parameters," Proc. IEEE International Conference on Semiconductor Electronics, pp. 255-260, Dec. 2002.

---

저 자 소 개

---



**이 용 택**(학생회원)  
2004년 한국외국어대학교 전자정보공학부 학사 졸업.  
2004년 한국외국어대학교 전자정보공학과 석사 과정.  
<주관심분야: RF CMOS 소자 모델링>



**구 자 남**(정회원)  
1988년 서울대학교 전기공학과 학사 졸업.  
1991년 서울대학교 전기공학과 석사 졸업.  
2004년 한국외국어대학교 전자정보공학과 박사과정.  
1991년~2001년 2월 삼성전자 중앙연구소 책임 연구원.  
2001년 3월~현재 삼성종합기술원 전문 연구원.  
<주관심분야 : RFID, RF CMOS 소자 모델링>



**최 문 성**(학생회원)  
2004년 한국외국어대학교 전자정보공학부 학사 졸업.  
2000년 한국외국어대학교 전자정보공학과 석사 과정.  
<주관심분야: RF CMOS 소자 모델링>



**이 성 현**(정회원)  
1985년 고려대학교 전자공학과 학사 졸업.  
1989년 미국 University of Minnesota 전기공학과 석사 졸업.  
1992년 미국 University of Minnesota 전기공학과 박사 졸업.  
1992년~1995년 한국전자통신연구원 선임연구원.  
1995년~현재 한국외국어대학교 전자정보공학부 교수.  
<주관심분야: CMOS 및 바이폴라 소자 모델링>