

## 코발트/니켈 적층구조 박막으로부터 형성된 복합실리사이드

송오성<sup>†</sup> · 정성희 · 김득중 · 최용윤  
서울시립대학교 신소재공학과

### Characterizatics of Composite Silicides from Co/Ni Structure

Ohsung Song<sup>†</sup>, Seonghwee Cheong, Dugjoong Kim and Yongyun Choi

Department of Materials Science and Engineering, The University of Seoul, 90 Chennong-dong,  
Tongdaemun-gu, 130-743, Seoul

(2004년 9월 10일 받음, 2004년 10월 11일 최종수정본 받음)

**Abstract** 15 nm-Co/15 nm-Ni/P-Si(100)[TypeI] and 15 nm-Ni/15 nm-Co/P-Si(100)[TypeII] bilayer structures were annealed using a rapid thermal annealer for 40sec at 700~1100°C. The annealed bilayer structures developed into composite NiCo silicides and resulting changes in sheet resistance, composition and microstructure were investigated using Auger electron spectroscopy and transmission electron microscopy. Prepared NiCoSix films were further treated in a sequential annealing set up from 900~1100°C with 30 minutes. The sheet resistances of NiCoSix from TypeI maintained less than 7  $\Omega$ /sq. even at the temperature of 1100°C, while those of TypeII showed about 5  $\Omega$ /sq. with the thinner and more uniform thickness. With the additive post annealing, the sheet resistance for all the composite silicides remained small up to 900°C. The proposed NiCoSix films were superior over the conventional single-phased silicides and may be easily incorporated into the sub-0.1  $\mu$ m process.

**Key words** silicide, alloy, cobalt, nickel, composite silicide.

### 1. 서 론

실리사이드는 실리콘과 천이금속이 반응하여 정량적인 화학비로 결합된 금속과 실리콘의 중간상으로서 CMOS 소자의 트랜지스터 게이트와 소오스, 드레인 지역에 선택적으로 형성되며 하부 깊은 소오스/드레인 실리콘과의 저저항 오믹콘택을 형성하는 역할을 한다.<sup>1-3)</sup> 그리고, 상부금속 배선층과 실리콘과의 확산방지층으로서의 역할을 하기도하며, 이러한 실리사이드 형성 공정은 추가적인 마스크 공정없이 요구되는 위치에 선택적으로 실리사이드를 생성시키는 살리사이드(salicide: self aligned silicide) 공정으로 구현한다.<sup>4,5)</sup>

살리사이드공정은 먼저 기판전체에 전극산화막/전극폴리실리콘의 적층 구조를 식각하고 측벽부에 산화막을 형성한 후 이방성 식각으로 게이트 양측면에 스페이서를 형성시키고, 다시 금속층을 기판전체에 성막하여 열처리를 진행한다.<sup>4,5)</sup> 이와 같은 열처리에 의해 실리콘이 드러나게 되는 게이트 상부와 소오스, 드레인 지역에만 실리사이드 반응이 일어나게 되며, active 지역간의 절연 영역과 스페이스 산화막 위에 있는 미반응 금속층은 산으로

선택적으로 제거하여 최종적으로 마스크 없이 실리사이드를 형성하는 공정이다.<sup>6)</sup>

추가적인 마스크가 필요 없어서 경제성이 우수하고 소자의 전극저항 및 접촉저항을 작게할 수 있어 고성능 동작 능력을 요구하는 소자에서 살리사이드 공정을 기반으로 하여 향후 15 nm 정도 두께의 저저항 실리사이드를 적용함으로써, 최소 선폭 0.1  $\mu$ m급 이하의 소자에까지 채용될 전망이다.<sup>7)</sup>

소자의 집적도 증가에 따른 최소선폭이 0.1  $\mu$ m 이하의 소자에 채용되는 실리사이드는 전극에서는 좁은 선폭에서의 열적안정성과 낮은 저항의 유지가 가능하여야 하고, 향후의 얇은 접합 영역에서는 도펀트와의 반응성이 없고 50 nm 정도로 얇게 만들 수 있어야 하는 요구 조건이 만족되어야 한다.<sup>8,9)</sup> 그리고, 소오스/드레인 지역에 형성된 실리사이드는 기존의 콘택에치 공정에 의해서도 충분한 선폭비가 있어서 게이트상부와 소오스, 드레인 간의 단차에 대하여 게이트의 실리사이드는 오버에치에 대한 여유가 있어야 한다.<sup>10,11)</sup> 이러한 살리사이드 공정이 가능한 물질로는 대표적으로 TiSi, CoSi, NiSi가 이미 채용되고 있다.<sup>12)</sup>

초기에 적용된 TiSi는 0.25  $\mu$ m 이하의 좁은 선폭에서는 저저항의 TiSi 핵생성 및 상전이가 일어나지 않고 선

<sup>†</sup>E-Mail : songos@uos.ac.kr

폭의존성이 있는 한계가 크고.<sup>13,14)</sup> CoSi는 실리사이드 반응에 의한 부피변화가 3.5 정도로 TiSi의 2.2배 보다 상대적으로 크고 자연산화막이 있는 경우 실리사이드 반응이 불균일해지는 단점이 있다.<sup>15-17)</sup> 비교적 최근에 많이 관심을 받고 있는 NiSi는 니켈과 실리콘이 1:1로 반응함으로써, 부피변화가 적어서 얇게 만드는데 유리하지만 후속 열처리 온도가 700°C가 넘으면 비저항이 높은 NiSi로 상변화가 발생하여 소자의 제조과정에 대한 공정 범위를 크게 제한하는 극히 불리한 문제가 있다.<sup>18)</sup>

따라서, 기존의 실리사이드 연구에서 한 금속을 사용함으로써 발생하는 물성의 한계를 극복하기 위하여 3상이 혼합되는 실리사이드를 채용하려는 시도는 계속진행되어 왔다. 기존의 3상 실리사이드 연구 중에 실리콘기판에 Co/Ti/Si 구조 또는 Ti/Co/Si 구조와 같은 박막적층을 형성시킨 후 열처리하여 실리사이드를 구현하는 Co/Ti 실리사이드가 많이 연구되었다.<sup>19)</sup>

정성희 등은 Co/Ti, Ti/Co 이중 구조로 부터 복합실리사이드를 제조한 결과 주로 저저항의 CoSi가 형성되지만 상부에 제거가 어려운 CoTiSix간상이 형성되는 문제를 보고하였고,<sup>20)</sup> 김기범 등도 CoTiSi의 중간상이 형성되어 오히려 안정한 물질 확산 방지층으로의 역할을 한다고 보고한 바 있다. 그러나 궁극적으로 이러한 Co/Ti 복합실리사이드에서는 상부에 생성되는 CoTiSi 중간상을 제거하려면 과도한 습식 후처리공정이 요구되는 단점이 있다.

이러한 배경에서 본 연구는 기존에 이미 신뢰성 있게 채용되고 있는 CoSi<sub>2</sub>의 높은 열적안정성과 NiSi의 좁은 선폭에서의 균일한 실리사이드 형성 특성<sup>21)</sup>을 이용하여 Co/Ni와 Ni/Co의 적층 구조로부터 시작하여 복합실리사이드를 형성시키는 시도를 하였으며, 얻어진 복합실리사이드의 물성의 차이와 향후의 고집적 소자에서 요구하는 특성을 만족 시킬 수 있는지를 평가하였다.

## 2. 실험 방법

직경 10 cm의 p형(100) 실리콘 기판 전면에 열증착기를 이용하여 Co와 Ni를 성막하였다. 시편은 증착 직전에 RCA 세정과 HF 세정을 이용하여 유기불순물과 자연산화막을 완전히 제거한 후 열증착기에 장입하였다. 열증착기는 텅스텐 보트에 99.99% Ni 와이어형 칩과 Co 칩을 넣고 먼저 150Å 두께로 코발트를 증착하고, 연속하여 150Å 두께의 니켈을 증착하여 최종적으로 Fig. 1의 왼쪽과 같은 Co/Ni/Si구조[Type I]를 완성하였다. 마찬가지로 조건으로 적층순서만 달리하여 Ni/Co/Si구조[Type II]를 완성하였다.

완료된 시료들을 40초 조건으로 실리사이드화 쾌속열처리(rapid thermal annealer: RTA)를 실시하였다. 이때

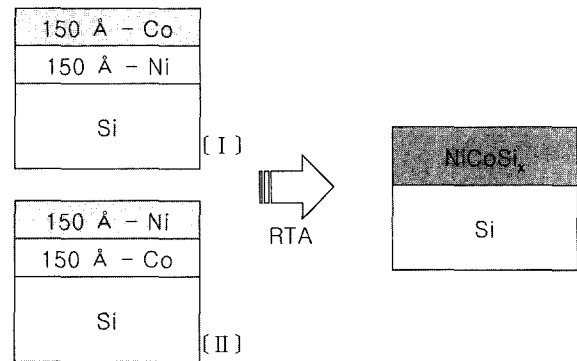


Fig. 1. Film structures of type[I] and type[II] for forming composite silicide, and the schematic of silicide obtained from those stacks.

RTA 온도는 700, 800, 850, 900, 1000, 1100°C 조건으로 각각 변화시켜 복합실리사이드층을 형성시켰다.

각 공정에 따른 전기저항의 변화를 확인하기 위해서 사점전기저항 측정기를 이용하여 상하좌우 중심(TCBL) 위치에서 금속층 증착직후와 1차 RTA 실리사이드 열처리 직후, 그리고 120°C 황산에 10분간 세정한 이후의 면저항값을 측정하여 비교하였다.

한편 완성된 시편의 수직단면이미지를 수직단면투과전자현미경으로 확인하여 이때 완성된 시편의 두께와 두께 변화를 확인하여 보았다. 투과전자현미경 촬영을 위한 시편은 일반적인 시편준비법에 의하여 진행되었으며 최종적으로 PIPS(precision ion polishing system)를 활용하여 촬영부가 1000Å 이하가 되도록 하였다. 또한 실리콘만 선택적으로 제거하여 남은 실리사이드를 in-plane으로 촬영하여 실리사이드의 평면 미세구조를 확인하였고 어닐링 온도별로 이들의 SADP(selected aperture diffraction pattern)을 확인하고 각 물질의 조성은 JCPDS 화일을 이용하여 결정하였다. 측정된 이미지는 이미지분석프로그램(Size-5TM)을 활용하여 각 층의 두께를 확인하였다.

또한 AES(Auger electron spectroscopy)를 이용하여 44Å/min의 sputtering rate를 유지하면서 각 온도에 따른 정성분석을 시도 하였다. 사용된 Auger depth spectroscopy는 Perkin-Elmer사로의 각 어닐링 온도의 시편에 대해 153Å/min의 스퍼터링 속도를 유지하면서 Co, Ni, Si의 조성강도를 표면부로부터 측정하여 비교하였다.

측정된 결과는 Ni의 신호를 두 번 미분하여 0이 되는 번꼭점을 새로운 상의 경계라고 판단하여 분석을 진행하였다.

완성된 시편의 고온안정성을 확인하기 위해서 동일시편에 대해서 30분씩 900, 1000, 1100, 1200°C로 온도를 올리면서 후속 열처리를 진행하고 각 열처리온도에서의 면저항과 미세구조변화를 확인하여 기존의 전기열처리에 의해서도 고온안정성이 확보되는지를 확인하였다.

### 3. 결과 및 고찰

#### 3.1. 면저항의 적층구조에 따른 변화차이

Fig. 2에는 각 적층구조로부터 생성된 실리사이드의 RTA 온도가 1100°C까지 매우 안정하게 실리사이드화가 진행됨에 따라 7 Ω/sq. 이하로 유지되며, 특히 Ni/Co/Si 구조로부터 형성된 실리사이드는 5 Ω/sq. 이하로 유지되는 특징이 있었다. 이는 기존의 NiSi가 700°C 이상에서 고저항의 NiSi<sub>2</sub>로 변화되는 특성에 비추어 기존의 공정 범위를 400°C 이상 상승시킨 것을 의미한다. 따라서 제안된 Co/Ni 적층구조로부터 제안된 실리사이드들은 넓은 공정범위에서 기존의 RTA 공정으로 저저항 목적에 맞는 물성을 확보하였다.

#### 3.2. 미세구조의 변화차이

Fig. 3에는 Co/Ni/Si 구조[I]와 Ni/Co/Si 구조[II] 적층구조로부터 만들어진 실리사이드 들이 최종 수직단면을 700°C, 850°C, 900°C, 1100°C에서의 온도별로 나타내었다. 총 두께가 모두 300Å에서 출발하였음에도 불구하고 [I]구조로 부터의 실리사이드는 RTA 온도가 증가하면서 실리사이드 두께가 커지는데 주로 SADP(selected area diffraction patterns) 분석에 의하면 NiSi 상의 우선 성장에 기인한 것으로 확인되었다.

반면 [II]구조의 실리사이드는 RTA 온도가 증가하면서 오히려 두께가 250Å 정도로 감소하였는데 이는 Ni의 이동속도가 Co의 확산이동 속도보다 매우 빨라서 하부로 쉽게 이동하여 생기는 현상으로 생각되며 이러한 상대 확산속도를 고려하면 고집적 소자에 접합한 30 nm 이하의 얇고 균일한 실리사이드 제작에 유리할 것이 예상되었다.

SADP 분석에 의하면 [II]구조로부터 생성된 실리사이드는 [I]구조에서 NiSi와 CoSi<sub>2</sub>의 혼합상과는 달리 정확한 정량비를 정확히 확인할 수 없는 NiCoSi<sub>x</sub> 3상 중간

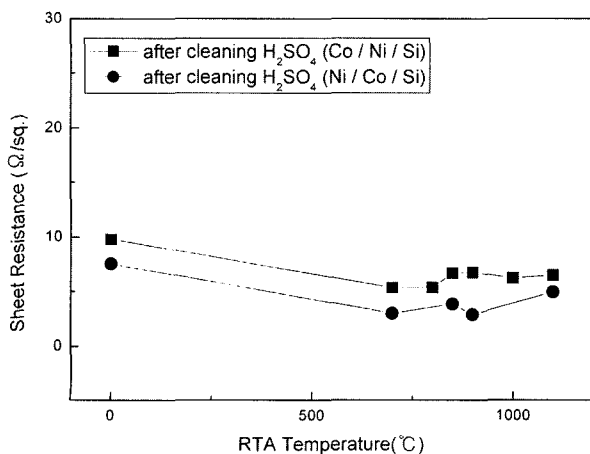


Fig. 2. Sheet resistance behaviors of composite silicide films with RTA temperatures.

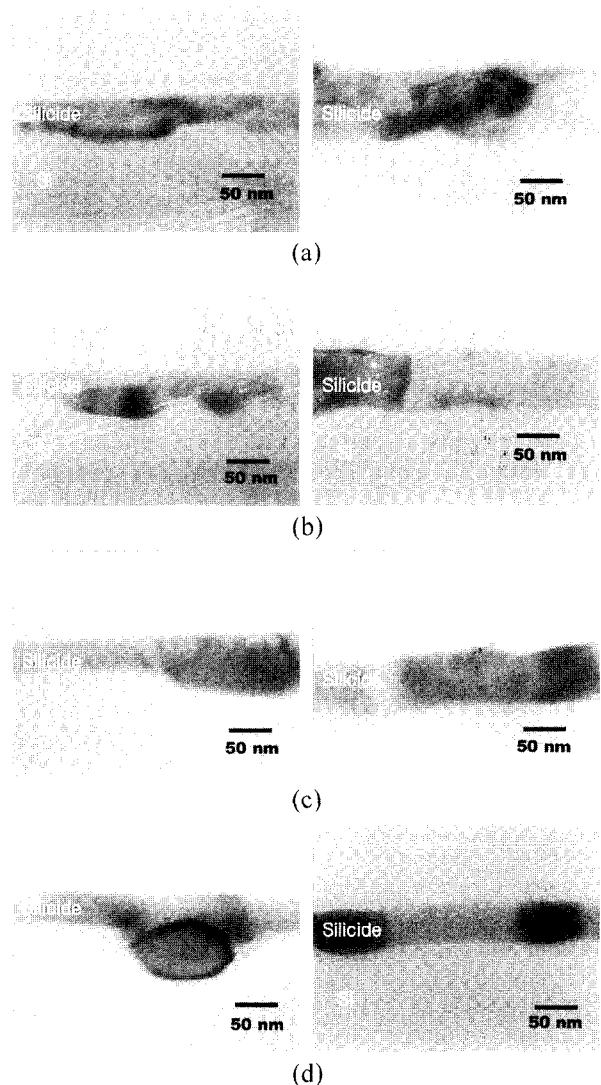


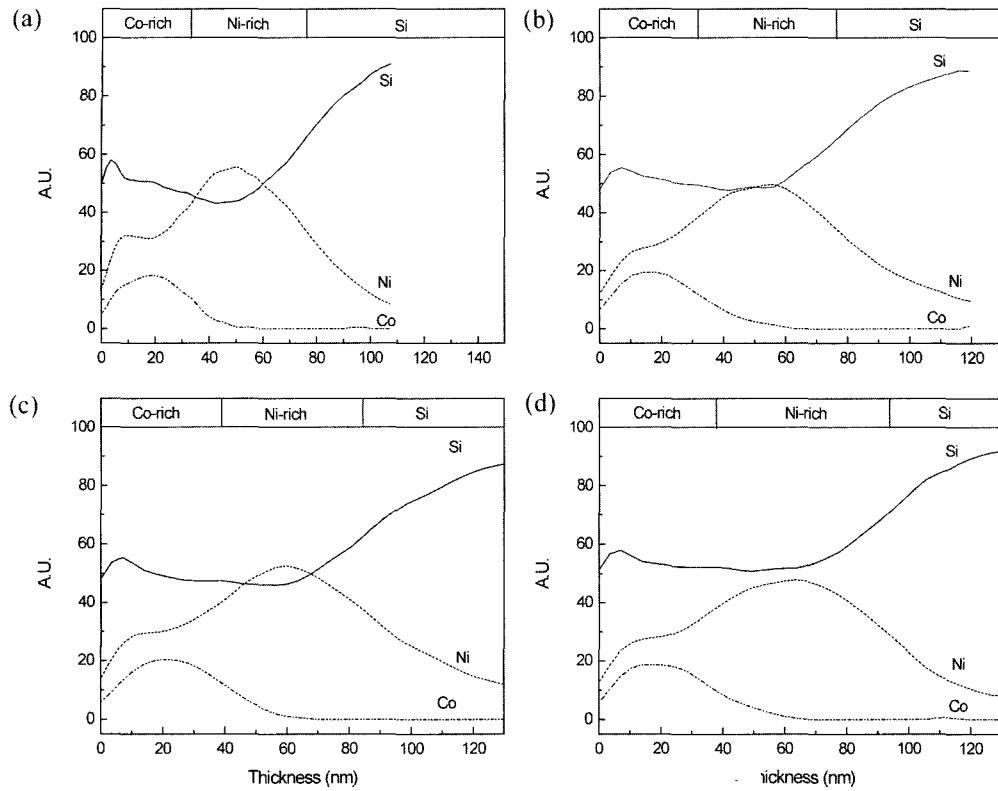
Fig. 3. Cross-sectional TEM images of silicide films with RTA temperatures of (a) 700°C, (b) 850°C, (c) 900°C, and (d) 1100°C. Type I (Co/Ni/Si) films in left and type II (Ni/Co/Si) in right column, respectively.

상으로 판단되었다.

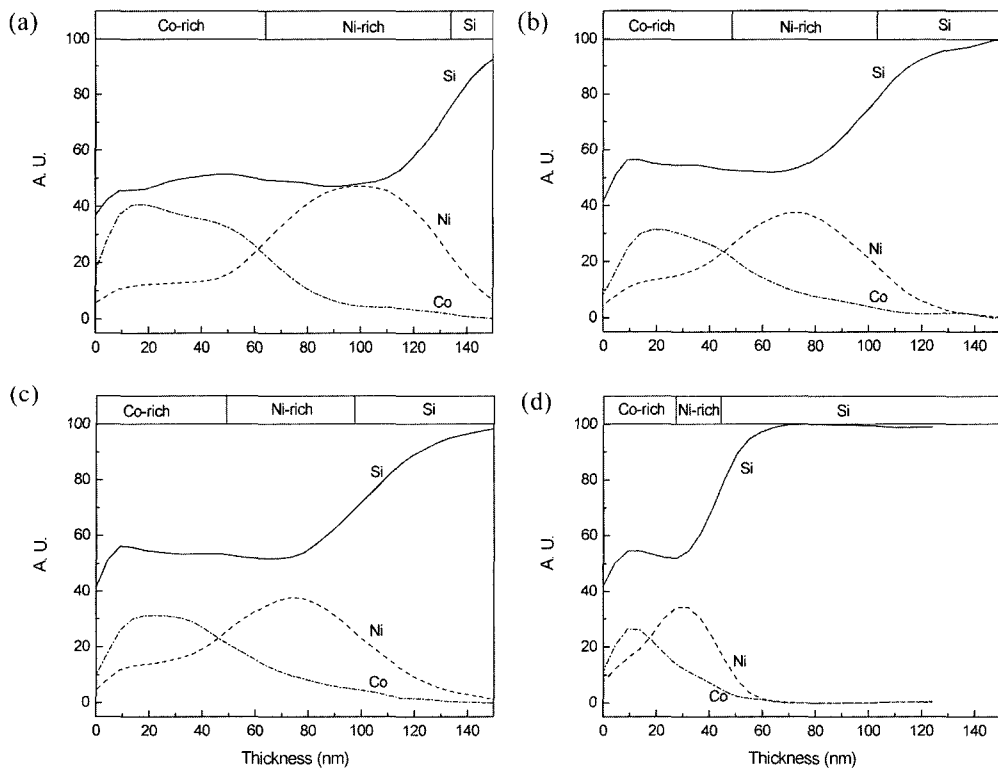
#### 3.3. 오제이두께분석에 의한 성분변화차이

Fig. 4에는 각 적층 구조로부터 서로 다른 RTA 온도에서 형성된 실리사이드의 오제이 두께 분석 결과를 나타내었다. [I]구조로부터 형성된 실리사이드 들은 각 그래프의 상부에 표시한 바와같이 RTA 온도가 증가하면 할수록 실리사이드 하부에 Ni 과잉상이 많이 나타나 Fig. 3의 좌측에 보인바와 같이 NiSi가 우선성장함을 알 수 있고 상부에는 CoNiSi<sub>x</sub> 상이 존재함을 알 수 있다.

반면 [II]구조로부터 생성된 실리사이드는 Fig. 5에서와 같이 RTA 온도가 증가하면 오히려 실리사이드층이 얇아지고 Co-과잉상과 Ni-과잉상의 존재범위가 같이 작아



**Fig. 4.** Auger depth profiles of the silicides from type[I] with silicidation temperatures of (a) 700°C, (b) 850°C, (c) 900°C, and (d) 1100°C.



**Fig. 5.** Auger depth profiles of the silicides from type[II] with silicidation temperatures of (a) 700°C, (b) 850°C, (c) 900°C and (d) 1100°C.

지는 것을 알 수 있다. 초기에 Ni이 상부에 있었음에도 최종실리사이드에서는 모두 실리사이드 하부에서 Ni-과잉상이 발견된다는 것은 Ni의 상대속도가 Co에 비해 매우 빠른 것을 의미하며 Co 박막을 통과하는 Ni의 확산에 의해 실리사이드층이 형성됨으로써, 실리사이드 두께는 고온일 수록 Co의 실리사이드 반응이 활발하여 Ni이 확산하기 어려워 상대적으로 얇아지는 것을 알 수 있었다.

3.4 후속열처리에 의한 고온안정성

Fig. 6(a)와 (b)에는 각 적층구조로부터 RTA 온도를 달리하여 제조한 실리사이드들의 CVD공정이나 금속 annealing 공정과 같이 후속 열처리 공정을 상정하여 고온 안정성을 확인하고자 동일시편에 대하여 900, 1000, 1100, 1200°C에서 30분간 온도를 상승시키며 면저항 변화를 확인한 결과를 나타내었다.

[I], [II] 구조 모두 900°C까지는 안정하였으며, 1000°C

이후 급격히 증가하여 아주 고온에서는 최종적으로 약 20 Ω/sq. 정도의 고저항 상으로 안정됨을 확인하였다. Co, Ni, Si 성분의 고온안정상이 저저항 CoSi<sub>2</sub>와 고저항 NiSi<sub>2</sub> 이므로 1200°C의 최종상은 NiSi<sub>2</sub>에 의해 고저항을 가지는 것으로 보이며 1000~1200°C 사이에서는 불안정한 3상 중간상의 고저항화가 진행되는 것으로 예상되었다.

900°C에서 고저항이 발견되지 않은 것은 흥미로운 것으로 기존의 NiSi가 700°C에서 고저항 NiSi<sub>2</sub>로 쉽게 상변태하는 사실에 비추어 Co층을 적층시킴으로써 기존의 변태속도를 200°C 이상 상승시켜 고온 안정성을 입증한 것은 제안된 적층구조로부터 생성된 실리사이드가 후속 열처리 공정에서도 안정하며, 기존 고온 공정과도 호환성을 가지고 양산용 실리사이드로 채택될 수 있음을 의미하였다.

4. 결 론

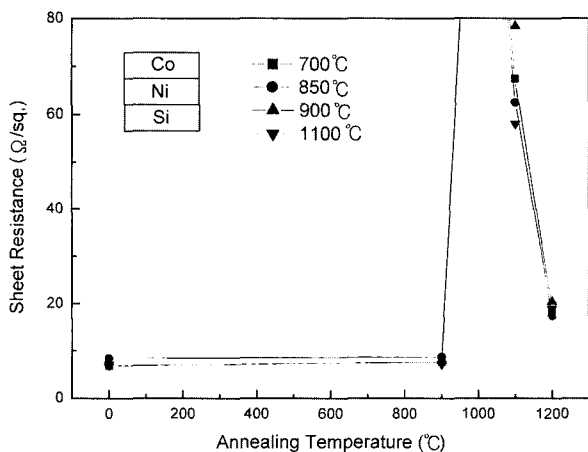
150Å-Co/150Å-Ni/Si(100), 150Å-Ni/150Å-Co/Si(100) 적층 구조로부터 40초 동안 RTA 온도를 700~1100°C로 변화시키며 새로운 실리사이드를 제조하였다. 제안된 실리사이드는 1100°C까지의 온도범위에서 모두 안정한 저저항(7 Ω/sq. 이하)을 보였다. 특히 150Å-Ni/150Å-Co/Si(100) 구조로부터 생성된 실리사이드는 RTA 온도가 증가하면 얇아지는 특성이 있었고 30분간의 후속 고온열처리에서도 900°C까지 안정할 수 있었다. 따라서 제안된 Co, Ni 복합실리사이드는 sub-0.1 μm급 소자에 채용이 가능할 것으로 보인다.

감사의 글

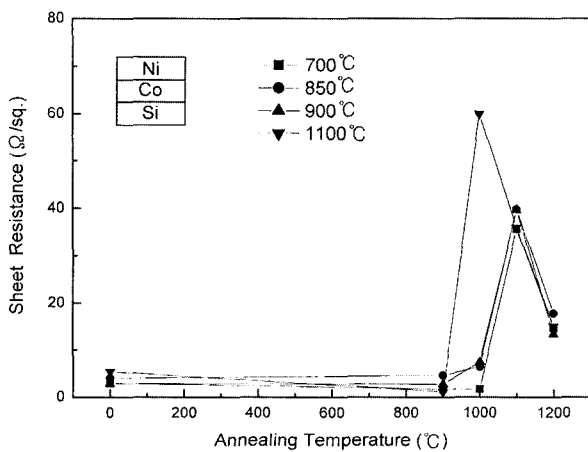
이 논문은 2004년도 한국과학재단의 특정기초연구비(R01-2004-000-10028-0)지원에 의하여 연구되었습니다. 이에 감사드립니다.

참 고 문 헌

1. J. Y. Dai, Z. R. Guo, S. F. Tee, C. L. Tay, E. Er and S. Redkar, Appl. Phys. Lett., **78**, 3091 (2001).
2. J. Prokop, C. E. Zybilla and S. Veprek, Thin Solid Films, **359**, 39 (2000).
3. C. Detavernier, R. L. Van Meirhaeghe and F. Cardon, J. Appl. Phys., **88**, 133 (2000).
4. J. Chen, J. P. Colinge, D. Flandre, R. Gillon, J. P. Raskin and D. Vanhoenacker, J. Electrochem. Soc., **144**(7), (1997).
5. J. J. Sun, J. Y. Tsai and C. M. Osburn, IEEE Transactions on Electron Devices, **45**(9), 1946 (1998).
6. S. M. Sze, VLSI Technology Digest, John Wiley & Sons (1998).



(a)



(b)

Fig. 6. The sheet resistance after additive 30 min annealing of silicide in (a) type[I] and (b) type[II].

7. SIA Roadmap.
8. S. L. Hsia, T. Y. Tan, P. Smith and G. E. McGuire, *J. Appl. Phys.*, **88**, 133 (2000).
9. J. B. Lasky, J. S. Nakos, O. J. Cain and P. J. Geiss, *IEEE Trans. Electron Devices*, **38**, 262 (1991).
10. F. H. Ko, H. C. You, T. C. Chu, T. F. Lei, C. C. Hsu and H. L. Chen, *Microelectronics Engineering*, in Press (2004).
11. O. O. Awadelkarim, S. J. Fonash, P. I. Mikulan, M. Ozaita and Y. D. Chan, *Microelectronics Engineering*, **28**, 1-4, 47 (1995).
12. P. Xuan and J. Bokor, *IEEE Electron Device Lett.*, **24**(10), 634 (2003).
13. J. Lutze, G. Scott and M. Manley, *IEEE Electron Device Lett.*, **21**(4), 155 (2000).
14. H. Fang, M. C. Oztu, E. G. Seebauer and D. E. Batchelor, *J. Electrochem. Soc.*, **146**(11) 4240 (1999).
15. R. T. Tung, *Applied Surface Science*, **117/118**, 268 (1997).
16. H. Zhang, J. Poole, R. Eller and M. Keefe, *J. Vac. Sci. Technol. A*, **17**, 1904 (1999).
17. M. L. A. Dass, D. B. Fraser and C. S. Wei, *Appl. Phys. Lett.*, **58**, 1308 (1991).
18. A. Vantomme, M. A. Nicolet and N. D. Theodore, *J. Appl. Phys.*, **75**, 3882 (1994).
19. S. H. Cheong and O. S. Song, *Korean Journal of Materials Research*, **13**(11), 711 (2003).
20. S. H. Cheong and O. S. Song, *Korean Journal of Materials Research*, **13**(2), 88 (2003).
21. S. K. Saha, R. S. Howell, M. K. Hatalis, *Thin Solid Films*, **347**, 278 (1999).