

DSP 기반 MPSK 수신기에서 위상천이 검출을 이용한 동기 알고리즘과 복조

Synchronization Algorithm and Demodulation using the Phase Transition Detection in the DSP based MPSK Receiver

이준서 · 맹준호 · 유흥균 · 박철순* · 장 원*

Jun-Seo Lee · Jun-Ho Maing · Heung-Gyoon Ryu · Cheol-Sun Park* · Won Jang*

요 약

다양한 디지털 변복조 기술 중에서 PSK(Phase Shift Keying) 변조방식은 보편적으로 사용되는 송신 방식이다. 특히 CDMA 시스템에 이용되는 PSK 방식은 부호 오율 및 대역폭 양면에서 우수하다. 본 연구에서 사용하는 DSP 기술은 소프트웨어만을 이용하는 기술로 부가적인 하드웨어 없이 새로운 여러 가지의 송수신모드를 제공할 수 있다. 본 논문에서는 기존의 복잡한 아날로그 회로를 이용한 PSK 계열의 BPSK 복조기와 QPSK 복조기 대신, DSP 기술을 기반으로 한 M-ary PSK(M=2, 4) 복조기를 구현한다. 또한, 기존의 PSK 복조기의 경우 아날로그 PLL의 동기포착 회로를 이용하여 동기를 확보하였으나, 동기회로 없이 프로그램을 사용하여 PSK 신호를 복조하는 알고리즘을 제안한다. DSP는 TMS320C6203을 이용하였으며, DSP 장비에 프로그램을 에뮬레이션 시킨 후의 결과 파형을 DSP 개발툴인 code builder를 사용하여 graph view 창을 통해 확인했다. 그 결과 복조파형은 기존의 복잡한 아날로그 회로와 동일한 성능으로 정확히 신호를 복조할 수 있으며, 어떠한 주변장치를 사용하지 않고, 소프트웨어만으로 다양한 레벨의 변조파형을 복조함을 확인한다.

Abstract

PSK(Phase Shift Keying) is useful because of the power and spectral efficient modulation. In this paper, no additional hardware will be needed to support various transmit mode in the suggested DSP scheme. We design and implement the synchronization algorithm for M-ary PSK(M=2, 4) demodulator based on DSP scheme, instead of complex analog PSK demodulator. TMS320C6203 is used as DSP. We check the all kinds of waveforms via the graph view window after software programming the emulation on the DSP tool. The result of implementation proves that demodulator using the suggested algorithm has equal performance with demodulator using analog circuits.

Key words : DSP, Zero Crossing Point, MPSK, Synchronization Algorithm and Demodulation

I. 서 론

최근까지 예러가 상대적으로 낮고, 정확한 성능을 지닌 디지털 방식의 통신 시스템을 고변조, 고효율의 시스템으로 사용 및 개발하고 있다^[1]. 많은 디지털

변 복조 기술 중에서도 CDMA 시스템에 이용되는 PSK 변조방식은 부호 오율 및 대역폭 효율면에서 우수하다^[2]. 이러한 장점에도 불구하고 시스템이 복잡하다는 단점을 갖고 있다. 또한, M-ary PSK의 호환이 어렵고, 다른 변조방식으로는 변환이 불가능

충북대학교 전자공학과 및 컴퓨터정보통신연구소(Dept. of Electronic Engineering and Research Institute of Computer, Information & Communication, Chungbuk National University)

*국방과학연구소 기술연구본부 2부 4팀(TRD-2-4, ADD)

· 논문 번호 : 20040715-090

· 수정완료일자 : 2004년 9월 23일

하다. 뿐만 아니라 PSK 복조를 위해서는 반드시 동기를 확보하기 위한 PLL 회로가 추가되어야 하는데, 이 역시 M-ary PSK로 변조 모드가 다양해지면 동기 회로의 추가 및 교체가 필요하게 되는 번거로움과 손실이 따른다. 회로의 복잡함을 줄이고자 SOC(System On chip) 기술로 보완할 수 있으나 이 또한 변조 모드가 바뀔 때마다 chip을 업데이트해서 만들어야 하는 손실이 따르며, 가격과 효율측면에서도 실제적인 해결방안이 되지 못한다. 따라서 기존의 회로를 보완하는 동기화 알고리즘이 많이 연구되었다. 기본적으로 반송파에 실어보낸 신호를 수신측에서는 반송파 제거 후에 기저 대역 신호로 복원하게 되는데, 기존에 사용되던 costas loop가 있다^[3]. 이 케환형 loop 구조는 포착과 추적모드를 반복하며, 복원을 수행한다. 그러나 이 방식은 적용성에 한계가 있고, VCO와 임계값 검출기 그리고 LPF를 회로로 구현해야 하는 번거로움과 회로가 복잡하게 된다. 그리고 고변조 방식으로 변환할 경우 LPF의 증가로 인하여 회로가 더욱 복잡해지고 커지게 되며 가격이 올라간다. 그러나 DSP 기술을 이용한다면 추가적인 costas loop 동기회로를 따로 만들지 않아도 되며, LPF 같은 필터도 소프트웨어를 이용한 디지털 필터로의 구현이 가능해진다. [4]에서는 PSK 동기화 및 복조방식을 회로로 구현하였다. 여기서 소개한 동기화 회로는 기준신호와 입력신호의 차이만큼을 window 샘플링을 통해 좁혀나가는 동기 방식이다. 이 방식은 기존 방식보다 lock 성능을 개선시켰다. [5]에서는 적응 필터를 사용하여 PSK 신호를 복조하는 방식이다. 기존회로에 적응 필터를 추가시켜 BPSK 신호와 QPSK의 신호를 복조할 수 있다. 그러나 두 방식 모두 회로가 복잡하며, 추가적인 동기화 회로 없이는 복조가 불가능하다. 또한, 신호의 파라미터가 조금이라도 달라지면 복조가 불가능하며, 회로를 다시 만들어야 하는 단점이 있다. 또한 적응필터 방식은 시스템 구현의 복잡도가 높으며, 송신단의 신호변조 방식이 고변조일수록 하드웨어가 더 커지게 된다. 그러나 DSP 기반 수신단은 다양한 변조방식에도 하드웨어의 변형이 없다. [6]에서는 연속적인 PSK 신호의 동기 확보를 위한 새로운 알고리즘을 제안했다. 이 알고리즘은 곱셈기를 사용하지 않아서 디지털 회로로 쉽게 구현 가능하다. 그러나 이 알고리즘

은 유연성이 없어서 다른 변조모드로의 확장성이 없고, 오로지 QPSK 변조방식에서만 사용할 수 있는 단점이 있다.

따라서 회로의 구성이 간단하며, 확장성이 있는 DSP 기술을 이용한 복조방식을 제안한다. DSP 기술은 소프트웨어만을 이용하는 기술로 또 다른 부가적인 하드웨어 없이 새로운 여러 가지의 송수신 모드를 제공할 수 있다. 기존 방식에서 구현하기 힘든 다양한 신호 처리의 적용이 가능해 졌다. 그리고 APLL(Analog Phase lock loop)의 DC drift와 부품의 포화에 대한 감도문제를 해결할 수 있다. 본 논문에서는 기본적으로 DSP 기술을 기반으로 한 M-ary(M=1, 2) PSK 복조기를 구현한다. DSP는 Texas Instrument사의 TMS320C6203를 이용하였으며, DSP 장비에 프로그램을 에뮬레이션 시킨 후의 결과 파형을 DSP 개발 툴인 code builder를 사용하여 graph view 창을 통해 확인한다. 그 결과 복조파형은 기존의 복잡한 아날로그 회로와 동일한 성능으로 정확히 신호를 복조할 수 있으며, 어떠한 주변장치를 사용하지 않고, 소프트웨어만으로 다양한 레벨의 변조파형을 복조한다. 또한, PSK 복조기의 경우 아날로그 PLL의 동기 포착 회로없이 소프트웨어 프로그램을 사용하여 PSK 신호를 복조하는 알고리즘을 제안하고 동작을 확인한다.

II. BPSK 동기화와 복조

PSK(Phase Shift Keying)는 정보 데이터 심볼 값에 따라 반송파의 위상이 여러 가지 상태로 천이되도록 하는 변조 방법이다. $\theta_1=0$ 을 가정하면 BPSK 신호는 다음과 같이 나타낼 수 있다. 따라서, BPSK 신호는 정보비트가 1일 때는 +1이고, 0일 때는 -1의 값을 갖는 양극성 (bipolar NRZ) 신호를 기저대역 신호로 하여 반송파 $A\cos\omega_c t$ 를 DSB 변조하여 발생시킬 수 있다.

$$s_{PSK}(t) = \begin{cases} s_1(t) = A \cos \omega_c t, & 0 \leq t \leq T_b \text{ (for binary 1)} \\ s_0(t) = -A \cos \omega_c t, & 0 \leq t \leq T_b \text{ (for binary 0)} \end{cases} \quad (1)$$

NRZ 신호를 DSP code builder라는 code composer를 이용하여 발생시키며, 그 후 DSP 장비에서 생성한 캐리어를 곱해 주어 BPSK 신호를 발생시킨다.

2-1 연속적인 데이터 비트를 복조할 경우

BPSK 신호는 동기 검파하여 정보를 복원하는데, 동기 검파를 위해서는 수신기에서 반송파를 재생하는 과정(carrier recovery)이 먼저 이루어져야 한다. 본 연구에서 제안된 알고리즘은 기존의 아날로그 PLL 회로없이 복조가 가능한 새로운 복조 방식이다.

그림 1에 제안된 BPSK 복조 알고리즘의 기본 블록도를 나타낸다. BPSK 신호는 DSP 보드에 있는 A/D 컨버터로 들어오며, A/D 컨버터에 샘플된 값을 temporary stack에 저장하게 된다. DSP 보드는 0~2.5 V 입력 또는 출력으로 동작하며, A/D 샘플링 값은 12 bit로 양자화 레벨을 나타낸다. 즉, 샘플 값을 0~4,096 값으로 양자화 한다. 이 양자화된 샘플 값에 offset을 주어서 -2,048~2,048로 레벨을 변화시킨다. offset을 주는 이유는 A/D로 들어오는 입력이 모두 0보다 큰 값이 들어오므로, 0 또는 1로 천이되는 시점을 (+) 또는 (-) 값으로 구별해 주기 위해 level을 바꾸어 준다. 다음으로 신호의 시작점 즉, positive zero crossing point를 찾는 과정을 수행한다. 그 이유는 송신신호는 1비트에 20샘플로 이루어져 있으며, 샘플 값들의 크기들을 찾아줄 때 위상이 변하는 구간에만 샘플된 값들이 16개 이상 연속으로 크거나 혹은 작은 값이 출력되기 때문에 기준이 되는 positive zero point를 찾는 것이 중요하다. 또한, zero point를 찾음과 동시에 인덱스 값을 증가시켜 주며, 이 값은 1 또는 0의 데이터가 천이되었을 때 그 시점을 찾기 위해 사용한다. 초기에는 Bit를 1로 초기화 시켜준 뒤에 Bit가 0 또는 1로 바뀌는 구간을 샘플링된 크기로 찾아낸다. 연구에서는 1 kHz의 캐리어주파수에 샘플링 주파수를 20 kHz로 사용해 주었기 때문에 한 주기에 20번의 샘플 값을 얻을 수 있다. 따라서, 한 주기 안에 negative 값을 갖는 샘플 값이 10개 그리고 positive 값을 갖는 샘플 값이 10개가 되는 것을 알 수 있다. 그래서 앞에서부터 들어오는 샘플링 된 값들이 positive 값에서 negative 값으로 변한 뒤 negative 샘플 값이 약 9개 들어온 뒤의 값이 바로 positive zero를 지나는 샘플 값으로 예측할 수가 있다.

따라서 그 시점부터 신호의 크기를 카운트 해 나가면서 데이터 천이 시점을 찾아낸다. 실제로 데이

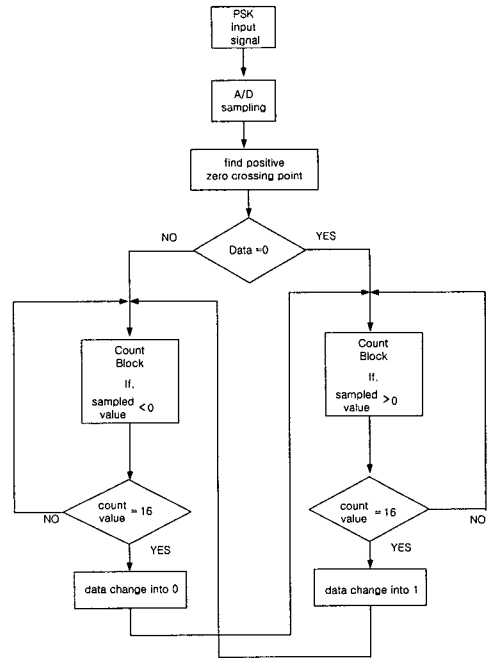
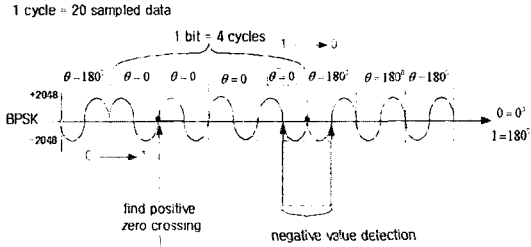


그림 1. BPSK 복조 알고리즘
Fig. 1. Algorithm of BPSK demodulation.

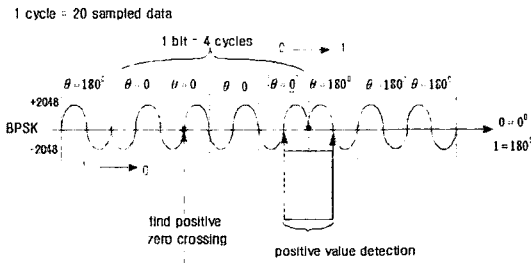
터가 1로 바뀌는 구간에서는 샘플된 값들이 20개가 (+) 값으로 들어오기 때문에 16개 이상 연속으로 (+) 값이 들어오는 경우 데이터가 1로 천이됨을 알 수 있다. 또한, 0으로 바뀌는 구간에도 16개 이상 연속으로 (-) 값이 들어오면 데이터를 0으로 검출할 수 있다. 그림 2에서는 데이터가 천이될 경우에 검출하는 시점을 나타낸다.

그림 1에서 처음 신호가 들어온 뒤, 먼저 positive zero crossing point를 찾은 뒤에 샘플링된 데이터들을 카운트해 나간다. 그 후 한 주기 동안의 샘플링 값이 0보다 크게 또는 작게 들어오는 구간이 생기는데 이 부분이 데이터 천이 시점이므로 인덱스 값을 카운트해 나가면서 이 시점을 찾아낸 뒤 검출한다. 1에서 1로 천이될 때나 0에서 0으로 데이터천이가 일어날 경우에도 마찬가지로 인덱스 값을 카운트하여 카운트 값이 1비트 이상이 지나도 천이 시점을 찾지 못할 때 이전 데이터 값이 1이면 계속 1로 결정하거나 0이면 계속 0으로 결정하고 다시 positive zero crossing point를 반복하여 찾아준다.

2-2 프리엠블을 이용하는 버스트 전송인 경우



(a) 0에서 1로 천이되었을 경우
(a) Transition from 0 to 1



(b) 1에서 0으로 천이되었을 경우
(b) Transition from 1 to 0

그림 2. 데이터 천이 검출
Fig. 2. Detection of data transition.

DSP 보드에서 동기화 블럭을 구현하여, 동기추적 후에 반송파를 곱해 주어 복조 가능한 새로운 BPSK 복조 알고리즘을 제안한다. 프리엠블은 동기추적과 획득의 동기화를 위한 구간이다. 프리엠블 신호는 일정한 사인파로 이루어진 신호로 구성되며, 코릴레이션을 취해서 코릴레이션 값이 일정 임계 값을 넘을 때까지 사인테이블을 shift 하며 동기추적 과정을 수행한다. 데이터 구간은 예로서 32비트로 구성된 캐릭터 전송 구간이다. 그림 3은 프리엠블을 이용하여 BPSK 신호를 복조하는 복조기 구조를 보인다. Sync block의 내부는 코릴레이션으로 동기를 확보하는 구성이다. 프리엠블의 사인파가 들어오게 되면, 수신단에서 한 주기 사인테이블을 만들어 놓아서 들어오는 프리엠블 사인파와 코릴레이션을 취해준다. Simulation을 통해 완벽히 코릴레이션이 이루어진 경우의 값을 찾아낼 수 있다. 또한 샘플 값이 한 칸 밀려서 코릴레이션 한 값 또는 그 이상 delay가 생긴 후의 코릴레이션 값을 얻을 수 있다. 따라서, 앞에서 구한 코릴레이션 값을 임계 값으로 설정한 뒤에 수신단의 사인테이블을 shift 시켜주면서 임계 값을

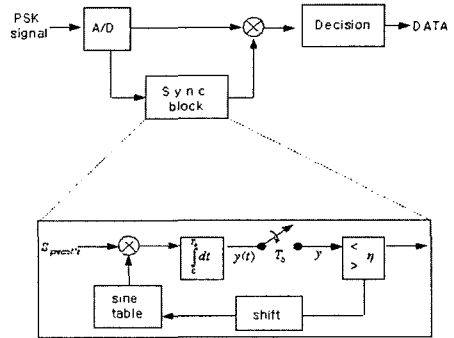


그림 3. 프리엠블을 이용한 BPSK 복조기 구조
Fig. 3. Structures of BPSK demodulator using preamble sequence.

만족시킬 경우에 동기가 확보된 캐리어를 곱해 주어 복조된다.

III. QPSK 동기화 및 복조

QPSK 방식은 입력 두 비트를 하나의 신호로 전송한다. 따라서, 전송 대역폭은 BPSK보다 2배 우수하다. QPSK는 입력 비트의 홀수번째 비트는 I(in phase) 채널로, 짝수번째 비트는 Q(quadrature) 채널로 보내져서 "0" 비트는 "1"로, "1" 비트는 "-1"로 치환된다. 변조신호구분을 쉽게 하기 위해 실험에서 사용된 QPSK 전송신호는 90° shift 한다. QPSK 전송신호는 식 (2)와 같다.

$$S(t) = A(\cos(\omega_c t + \theta) + \sin(\omega_c t + \theta)),$$

If θ is $-\frac{\pi}{4}$ then,

$$S(t) = A \left(\cos \left(\omega_c t - \frac{\pi}{4} \right) + \sin \left(\omega_c t - \frac{\pi}{4} \right) \right) \quad (2)$$

3-1 QPSK 송신기

그림 4는 simulink로 구현한 QPSK 송신기이다. 데이터율과 전송심볼을 원하는대로 세팅할 수 있고, 어떤 변조신호가 나오는지 확인할 수 있다. 그림 5는 simulink로 구현한 QPSK 송신기 출력단과 I, Q 채널 입력을 보인다. 그림 5의 맨 아래 변조신호가 QPSK 신호로 12가지 변조패턴을 생성한 것이다. 신호 모델에 따라 프로그래밍 하고, 원하는 패턴대로 변조가 이뤄지는지 확인한다. 또한, 완성된 프로그램을 DSP에 실어서 D/A 컨버터 출력신호가 제대로

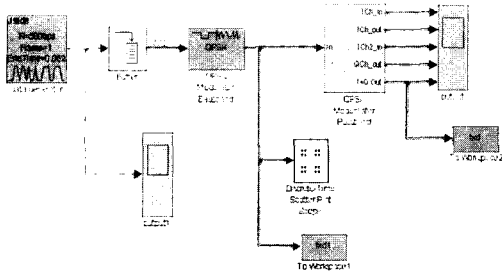


그림 4. Simulink로 구현한 QPSK 송신기
Fig. 4. QPSK transmitter based on the simulink.

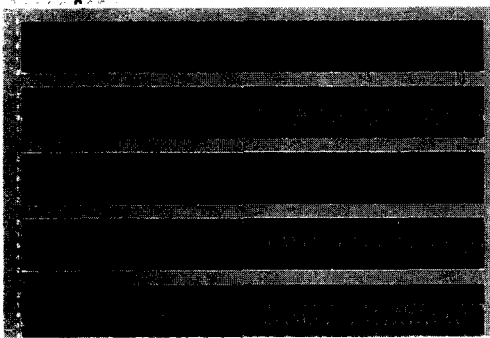


그림 5. Simulink로 구현한 QPSK 송신기 출력
Fig. 5. QPSK transmitter output based on simulink.

나오는지 확인한다. QPSK 신호 복조를 위해 복조 알고리즘을 제작한다. 알고리즘 검증에 위해, 복조부 역시 Simulation 과정을 통해 프로그래밍 하여, 복조가 올바르게 이루어지는지 확인한다. 검증된 프로그램을 DSP에 TEST 해본다.

3-2 QPSK 복조 알고리즘

연속적인 QPSK 입력신호가 들어왔을 때, 가장 우선적으로 고려되어야 할 사항이 입력신호의 기준을 잡는 것이다. QPSK 복조 알고리즘은 BPSK 복조 알고리즘과 마찬가지로 초기에 zero crossing point를 찾는다. 찾는 방식은 BPSK 방식과 동일하다. Zero crossing point를 찾은 후에는 반주기 적분을 수행하여 준다. 영점을 기준으로 반주기 적분을 수행하여 주면, 0을 기준으로 (+) 반주기 적분 값이 나오거나 (-) 반주기 적분 값이 나오게 된다. 그러나 데이터 천이가 일어났을 경우 적분 값이 거의 0에 가까운 값이 나오게 된다.

그림 6은 QPSK 복조 순서를 보인다. 데이터 천이

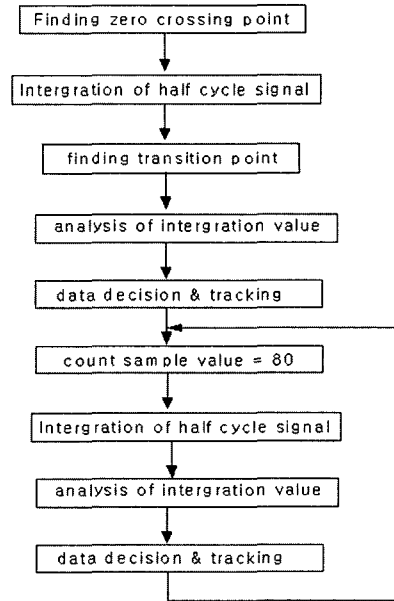


그림 6. QPSK 복조 알고리즘
Fig. 6. Algorithm of QPSK demodulation.

가 이뤄진 구간을 기점으로 다음 데이터의 시작점을 예측할 수 있다. 본 실험에서는 1 심볼에 4주기이고, 1주기에 20 샘플링을 한다. 따라서, 1 심볼당 총 80개의 샘플로 이루어져 있으므로 다음 심볼의 시작은 81 샘플부터인 것을 알 수 있다. 따라서 80개 샘플 뒤에 오는 반주기 적분 값으로 시작 신호의 심볼을 판정할 수 있다. 그림 7은 각 심볼들의 시작되는 반주기를 나타낸다. 00과 11의 적분 값은 둘 다 0에 가까운 값이므로, (+)에서 (-) 샘플 값으로 바뀌었는지, (-)에서 (+) 샘플 값으로 바뀌었는지 확인하여 판정한다. 01과 10의 적분 값은 0보다 크거나 작은 값이

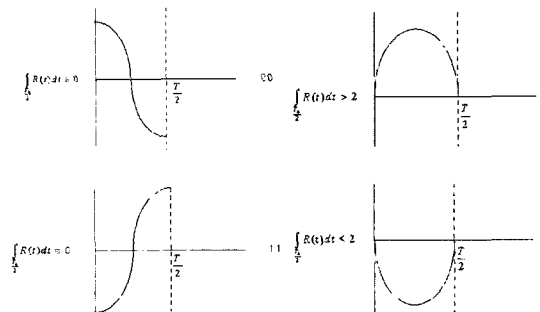


그림 7. 각 QPSK 심볼들의 반주기 신호
Fig. 7. Half cycles of 4 QPSK symbols.

므로 바로 판정할 수 있다.

3-3 동기 추적 알고리즘

QPSK 송수신기는 DSP 보드로 구성되어 있으며, 두 개의 DSP 보드가 따로 분리되어 있다. 국부발전기 두 개를 사용하고 있으므로, 클럭 지터의 영향으로 초기에 타이밍 동기를 획득했다라도 지속적인 타이밍 동기가 확보되지 않으면 심볼의 정상복조가 불가능하다.

따라서, 동기추적을 해주어야만 정확히 복조과정을 수행할 수 있다. 일반적으로 DSP 보드에 있는 국부발전 클럭 에러율은 50 ppm이므로, 송수신기 최대 에러율은 100 ppm이다. 1 심볼에 80샘플인 것을 알기 때문에 몇 번째 샘플 값이 zero point가 되는지도 알 수 있다. 그 zero point가 제대로 샘플링 되었는지 확인하여 동기 추적을 수행한다. Zero 근처 값으로 t 임계 값을 설정하여 샘플링 값이 임계 값 이내에 존재하면, 동기 추적과정을 수행하지 않고, t 임계 값을 벗어났으면, 그 값에 따라 샘플 값을 한 개 더 취하거나 버린다. 샘플 값이 0보다 크게 찍혔으면, 더 일찍 샘플링을 해준 것이므로 샘플 값을 한 개 버려주고, 샘플 값이 0보다 작게 찍혔으면, 더 늦게 샘플링 해준 것이므로, 샘플 값을 한 개 더 취해주어 동기 추적을 해준다.

식 (3)은 각각 심볼들의 동기 추적 범위를 나타낸다.

그림 8은 각 QPSK 심볼들의 0점 확인 위치를 나타낸다. 00과 11일 때는 75번째에서 0점이 제대로 찍혔는지 확인하며, 01과 10일 때는 70번째에서 0점이

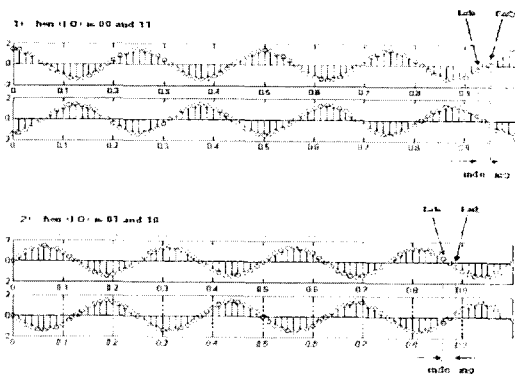


그림 8. 각 QPSK 심볼들의 영점 조정위치
Fig. 8. Zero crossing positions in QPSK symbols.

$$50 \text{ ppm (normally)} \quad MAX \ OSC_{err} = \frac{100}{10^6} = 100 \mu s$$

$$timing \ error(I,Q) = \begin{cases} (01,10), & \begin{cases} 0 & Th_{varls} < R \ t < Th_{var} \\ 1 & Th_{var} \leq R \ t \\ -1 & Th_{varls} < R(t) \end{cases} \\ (00,11), & \begin{cases} 0 & Th_{varls} < R \ t < Th_{var} \\ 1 & Th_{var} \leq R \ t \\ -1 & Th_{varls} > R(t) \end{cases} \end{cases} \quad (3)$$

제대로 있는지 확인한다.

IV. DSP를 이용한 복조기 구현 및 논의

DSP는 TMS320C6203을 이용하였으며, DSP 프로그램 작성 및 디버깅을 위한 Code Builder라는 윈도우 환경에서 실행되는 소프트웨어 툴을 사용하여 그래픽 사용자 인터페이스를 통해 파형을 관찰할 수 있다. 프로그래밍에 사용된 언어는 C 언어이며, DSP 장비와 시리얼 포트를 통해 PC와 접속하여 다양한 모드의 변복조 프로그램을 로드시킨다.

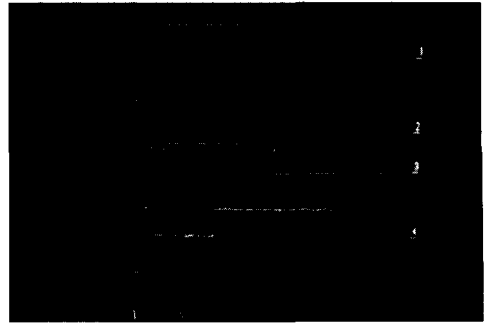
4-1 BPSK 복조기

실험 전송된 데이터는 두 가지 모드로 전송된다. 첫 번째 모드는 1과 0이 일정하게 나가는 테스트 모드이고, 두 번째 모드는 데이터가 랜덤하게 나가는 랜덤 모드이다. 또한 데이터율은 $R_b=250$ bps이며, 수신단과 송신단 모두 샘플링 주파수를 $f_s=20$ kHz로 하여 복조한다. Code Builder의 graph Time 및 graph DFT viewer를 사용하여 기저대역 신호의 파형과 스펙트럼을 확인한다. 또한, 기저대역 신호의 주파수 및 신호의 파형과 스펙트럼이 정확히 나오는지 graph view를 통해 확인한다. PSK 복조 블록에서는 A/D 컨버터 통과후의 샘플 데이터들을 잘 관찰하다가 0인 지점을 포착한 뒤에 샘플된 값을 카운트해 나가면서 1 또는 0의 값으로 변조신호를 복원할 수 있다.

앞에서 모델링한 변조부 및 복조부를 프로그래밍하고, code builder라는 DSP code composer를 이용하여 컴파일한 후 DSP 장비에 에뮬레이션 시킨 다음에 결과 파형을 code builder라는 DSP 개발 툴로 Graph view 창을 실행시켰을 때 파형을 관찰해 본다. Graph view를 통한 PSK 변조파형은 그림 9와 같이 나타나게 된다.



그림 9. 변조된 PSK 파형
Fig. 9. PSK modulated signal.



(a) I 채널 및 Q 채널 출력
(a) Outputs of I-channel and Q-channel

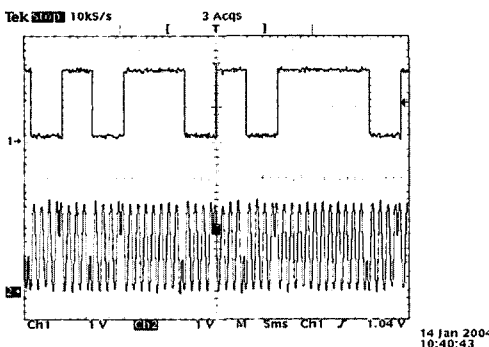


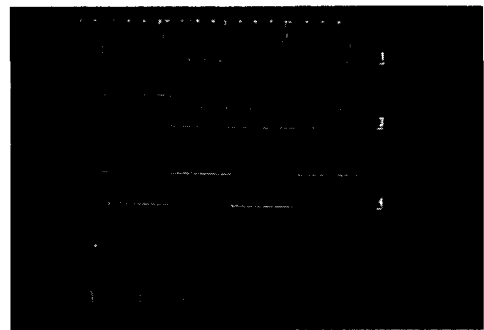
그림 10. 최종 검출 데이터
Fig. 10. Detected data.

그림 10은 랜덤한 데이터가 들어올 경우 복원된 데이터 파형을 보이고 있다. 위의 파형은 복원된 파형이고, 아래에 나타난 파형은 변조된 D/A 입력 파형이다. 복조파형은 LED 출력부분을 확인할 수 있고, 변조파형은 A/D 입력 또는 D/A 출력으로 확인할 수 있다. 랜덤 데이터가 들어올 경우에도 위상이 반전된 부분에서 정확히 검출된 것을 확인할 수 있다.

4-2 QPSK 복조기

Simulation 결과를 토대로 DSP 보드에 프로그래밍을 한 뒤, 한 대는 송신기로 한 대는 수신기로 구현한다. 송신측의 I 채널과 Q 채널을 DSP 보드의 출력 포트에 출력하여, 수신측의 I 채널과 Q 채널을 서로 비교 분석한다.

그림 11은 실제 구현한 QPSK 변조기 및 복조기 출력을 나타낸다. 그림 12(a)는 송신기의 I 채널과 Q 채널 그리고 수신기의 I 채널과 Q 채널을 비교한 모습이다. 맨 위부터 차례로 송신기 I 채널, 송신기 Q



(b) QPSK 변조신호와 복조된 I/Q 출력
(b) QPSK signal and detected I/Q output

그림 11. QPSK 변조기 및 복조기 출력
Fig. 11. Outputs of QPSK modulator and demodulator.

채널, 수신기 I 채널, 수신기 Q 채널이다. 비교하여 보면 반주기 적분과정을 해주었기 때문에 생긴 약간의 지연 외에는 정확히 복조된 것을 확인할 수 있다. (b)그림은 실제 변조 신호와 수신단의 I 채널, Q 채널 구형과 비교한 것으로, 변조신호의 위상이 천이될 때마다 데이터가 변하는 것을 확인할 수 있다.

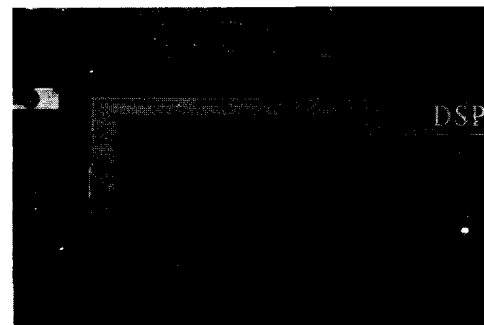


그림 12. 수신단에서 복조한 character data
Fig. 12. Demodulated character data in receiver.

그림 12는 프리앰블을 이용한 문자 데이터를 복조한 모습이다. 복조된 데이터는 LCD에 출력해 주었으며, 변조단에서도 동일하게 LCD에 데이터를 출력하여 정확한 데이터 복조 유무를 알 수 있다.

V. 결 론

본 연구에서는 DSP 기술을 기반으로 한 M-ary PSK (M=2, 4) 복조기를 설계한다. 기존의 기술로 구현한 것에 비해 회로적으로 훨씬 더 간단하며, 제안된 알고리즘을 적용할 경우, 아날로그 PLL 동기회로 없이도 소프트웨어만으로 동기를 포착하여 PSK 신호를 복조할 수 있다. 또한, 오실로스코프와 DSP 개발 툴을 통해 복조가 정확히 이루어지는 것을 확인할 수 있다. 본 논문에서 제안한 알고리즘은 기존의 변조 방식의 신호를 소프트웨어만을 사용하여 복조하였기 때문에 회로적으로 간단하며, 소프트웨어의 업데이트만으로 다양한 변조모드의 시스템을 구현할 수 있는 장점이 있다. 또한, DSP 시스템은 동적으로 시스템을 재설정할 수 있기 때문에 높은 수준의 성능에 도달할 수 있다. 본 연구에서의 목표는 제안된 알고리즘의 검증에 있으므로 데이터 속도는 크게 고려하지 않았지만, 좀더 높은 처리 속도의 DSP core와 이에 맞는 최적화된 프로그래밍을 하면 상당히 높은 전송 속도를 기대할 수 있을 것이다.

참 고 문 헌

[1] M. Schiff, "Signal and algorithm development environment for SDR", *Military Communications*

Conference, 2001. IEEE MILCOM 2001, vol. 1, Oct. 2001.

[2] D. M. Pearson, "SDR(systems defined radio): how do we get there from here?", *Military Communications Conference, 2001. IEEE MILCOM 2001*, vol. 1, Oct. 2001.

[3] A. Mileant, S. Hine, "Lock detection in costas loop", *IEEE Transactions on Communications*, Mar. 1992.

[4] V. Hentinen, P. Laiho and R. Sarkilahti, "A digital demodulator for PSK signals", *Communications, IEEE Transactions on [legacy, pre-1988]*, vol. 21, Dec. 1973.

[5] C. S. Lindquist, and C. A. Corral, "Design of demodulators using time-varying adaptive digital filters", *Proceedings of the 33rd Midwest Symposium on Circuits and Systems, 1990*, vol. 1, Aug. 1990.

[6] KyungHa. Yi, "A new lock detection algorithm for QPSK digital demodulator", *Personal, Indoor and Mobile Radio Communications, 1996. PIMRC'96., Seventh IEEE International Symposium on*, vol. 3, Oct. 1996.

[7] P. Fines, A. H. Aghvami, "Fully digital M-ary PSK and M-ary QAM demodulators for land mobile satellite communications", *Electronics & Communication Engineering Journal*, vol. 3, Issue: 6, Dec. 1991.

이 준 서



2003년 2월: 충북대학교 전자공학과 (공학사)
 2003년 3월~현재: 충북대학교 전자공학과 석사과정
 [주 관심분야] 통신 회로 설계, DSP 통신신호처리, 유비쿼터스, SDR 기술 등

맹 준 호



2003년 2월: 충북대학교 전자공학과 (공학사)
 2003년 3월~현재: 충북대학교 전자공학과 석사과정
 [주 관심분야] multi-carrier system, DSP 통신신호처리, 확산 스펙트럼 시스템 등

유 흥 균



2002년 11월 : 한국전자파학회 학술
상 수상
2002년 3월~2004년 2월: 충북대학
교 컴퓨터정보통신연구소 소장
1988년~현재: 충북대학교 전자공
학과 정교수
1999년~현재: IEEE 논문 심사위원
[주 관심분야] 디지털 통신 공학, 이동/위성 통신 시스템,
통신 회로 설계 및 통신 신호 처리

장 원



1984년 2월: 서울대학교 전자공학
과 (공학사)
1986년 2월: KAIST 전자공학과 (공
학석사)
1991년 2월: KAIST 전자공학과 (공
학박사)
1991년 2월~현재: 국방과학연구소
팀장
[주 관심분야] 통신시스템, 주파수도약통신, 대역확산통신

박 철 순



1989년 2월: 경기대학교 컴퓨터공
학과 (공학사)
1991년 2월: 인하대학교 컴퓨터공
학과 (공학석사)
1991년 2월~현재: 국방과학연구소
선임연구원
[주 관심분야] 통신시스템, 주파수
도약통신, 센서 어레이 처리, 통신신호처리