

논문 2004-41SD-6-1

## 나노-스케일 전계 효과 트랜지스터 모델링 연구 : FinFET

(Modeling of Nano-scale FET(Field Effect Transistor : FinFET))

김기동\*, 권오섭\*, 서지현\*, 원태영\*\*

(Kidong Kim, Ohseob Kwon, Jihyun Seo, and Taeyoung Won)

## 요약

본 논문에서는 2차원 양자 역학적 모델링 및 시뮬레이션(quantum mechanical modeling and simulation)으로써, 자기정렬 이중게이트 구조(self-aligned double-gate structure)인 FinFET에 관하여 결합된 푸아송-슈뢰딩거 방정식(coupled Poisson and Schrödinger equations)를 셀프-컨시스턴트(self-consistent)한 방법으로 해석하는 수치적 모델을 제안한다. 시뮬레이션은 게이트 길이( $L_g$ )를 10에서 80nm까지, 실리콘 핀 두께( $T_{fin}$ )를 10에서 40nm까지 변화시켜가며 시행되었다. 시뮬레이션의 검증을 위한 전류-전압 특성을 실험 결과값과 비교하였으며, 문턱 전압 이하 기울기(subthreshold swing), 문턱 전압 롤-오프(threshold voltage roll-off), 그리고 드레인 유기 장벽 감소(drain induced barrier lowering, DIBL)과 같은 파라미터를 추출함으로써 단채널 효과를 줄이기 위한 소자 최적화를 시행하였다. 또한, 고전적 방법과 양자 역학적 방법의 시뮬레이션 결과를 비교함으로써, 양자 역학적 해석의 필요성을 확인하였다. 본 연구를 통해서, FinFET과 같은 구조가 단채널 효과를 줄이는데 이상적이며, 나노-스케일 소자 구조를 해석함에 있어 양자 역학적 시뮬레이션이 필수적임을 알 수 있었다.

## Abstract

We performed two-dimensional (2D) computer-based modeling and simulation of FinFET by solving the coupled Poisson-Schrödinger equations quantum-mechanically in a self-consistent manner. The simulation results are carefully investigated for FinFET with gate length( $L_g$ ) varying from 10 to 80nm and with a Si-fin thickness( $T_{fin}$ ) varying from 10 to 40nm. Current-voltage (I-V) characteristics are compared with the experimental data. Device optimization has been performed in order to suppress the short-channel effects (SCEs) including the sub-threshold swing, threshold voltage roll-off, drain induced barrier lowering (DIBL). The quantum-mechanical simulation is compared with the classical approach in order to understand the influence of the electron confinement effect. Simulation results indicated that the FinFET is a promising structure to suppress the SCEs and the quantum-mechanical simulation is essential for applying nano-scale device structure

**Keywords :** FinFET, nano-scale device, modeling and simulation, short-channel effects

## I. 서론

2001년 발표된 ITRS(International Technology Roadmap for Semiconductor)에 따르면, 소자기술의 급격한 발달에 따라 2007년 25nm, 2013년 13nm 게이트 길이의 실리콘(Si) 트랜지스터(Tr) 제품이 출시된다고 되어있

다. ITRS에 따르면 소자의 초소형화는 리소그래피(lithography) 기술의 한계, 양자 역학적(quantum mechanical) 영향에 따른 물리적 한계에 부딪히며, 특히, 소자의 크기가 5nm에 이르면 소자의 물리적인 한계에 도달하게 된다고 되어 있다.

이러한 반도체 소자의 극 초소형화는 새로운 소자의 필요성을 인식시켰으며, 수치 해석적 측면에서도 기존의 근사화를 통한 한정된 추측에 국한되어 있던 1차원적 해석에서 벗어나, 소자내의 캐리어(carrier) 와 전위(potential) 분포 및, 채널의 양자화를 2차원적으로 해석하는 보다 세밀한 범위의 해석을 필요로 하기에 이르렀다.

\* 학생회원, \*\* 정회원 인하대학교 전기공학부  
(Dept. of Electrical Eng. Inha Univ.)

※ 본 연구는 대학IT연구센터육성지원사업의 연구결과로 수행되었음.

접수일자: 2003년6월23일, 수정완료일: 2004년5월18일

소자기술의 초소형화와 고성능화의 한 부분으로 최근, 40나노 이하(sub-40nm) MOSFET(Metal Oxide Semiconductor Field Effect Transistor) 소자의 적용을 위한 이중게이트 구조(double-gate structure)가 큰 주목을 받고 있다. 이러한 2중 게이트 구조 MOSFET 중에서도, 나노-스케일 평판 MOSFET 공정을 수행하기 위한 자동정렬(self-aligned) 이중게이트 MOSFET 구조인, FinFET이 가장 주목받는 소자중 하나로 인식되고 있다<sup>[1-4]</sup>.

FinFET 구조의 해석 및 최적화를 위해서는 2차원 양자 역학적 시뮬레이션(quantum mechanical simulation)이 필요하다. 이는 채널의 양자화가 나노-스케일 소자의 전자적 특성에 영향을 미치기 때문으로, 이러한 FinFET과 같은 나노-스케일 구조의 수치적 해석을 위해서는 결합된 포아송-슈뢰딩거 방정식(coupled Poisson and Schrödinger equations)의 셀프-컨시스턴트(self-consistent)한 해가 필요하다.

본 논문에서는, 셀프-컨시스턴트한 방법을 통한 FinFET의 양자 역학적인 접근방법을 제시한다. 먼저, 수치해석을 위한 이론적 배경<sup>[2]</sup> 및 구현 방법을 다음 장에서 살펴보고, 10~80nm의 게이트 길이(gate length,  $L_g$ )와 10~35nm의 실리콘 핀 두께(Si-fin thickness,  $T_{fin}$ )의 조건에서 시행된 FinFET의 시뮬레이션 결과로써, 전류-전압(I-V) 특성을 실험 데이터<sup>[3]</sup>와 비교하여 본 연구의 타당성을 검증하고, 단채널 효과(short channel effects)를 문턱 전압 이하 기울기(subthreshold swing), 문턱 전압 롤-오프(threshold voltage roll-off), 그리고 드레인 유기 장벽 감소(drain induced barrier lowering, DIBL)의 관점에서 검토함으로써 디바이스 최적화를 시행하고자 한다. 아울러, 고전적 방법과 양자 역학적 방법에 의한 시뮬레이션 결과의 차이를 통해 FinFET과 같은 나노-스케일 소자의 해석에 있어서 양자 역학적 모델링 및 시뮬레이션이 필수적임을 보이도록 하겠다.

## II. 수치 해석적 모델

### 1. 기본 방정식

나노-스케일 소자의 시뮬레이션을 위해서는 비선형 포아송 방정식과 슈뢰딩거 방정식을 셀프-컨시스턴트한 방법으로 풀어야 하며 이는 식 (1), (3)으로 표현되어 진다.

$$\nabla \epsilon(x, y) \nabla \Phi(x, y) = -\rho(x, y) \quad (1)$$

$$\rho(x, y) = q[-n(x, y) + p(x, y) + N^+_D(x, y) - N^-_A(x, y)] \quad (2)$$

$$\left\{ -\frac{\hbar^2}{2} \nabla \cdot M^{-1} \nabla + V(x, y) \right\} \Psi_n(x, y) = E_n \Psi_n(x, y) \quad (3)$$

여기에서  $\epsilon$ 은 유전 상수,  $\Phi$ 은 정전 포텐셜(electrostatic potential),  $\rho$ 은 총 전하밀도,  $n$ 과  $p$ 는 전자와 정공의 밀도(density),  $N^+_D$ 와  $N^-_A$ 는 이온화된 도너(donor)와 어셉터(acceptor)의 농도,  $E_n$ 과  $\Psi_n(x, y)$ 는 각각  $n^{\text{th}}$  고유상태의 에너지와 파동 함수(wave function),  $\hbar$ 는 플랑크 상수(Planck's constant),  $m^{-1}$ 는 실리콘에서 여섯 개의 전도대를 고려한 유효 역 질량 텐서 (effective inverse mass tensor),  $V$ 는  $V = \Delta E_C(x, y) - q\Phi(x, y)$ 로 나타내어지는 퍼텐셜 에너지,  $\Delta E_C(x, y)$ 는 전도대에서의 밴드 오프셋(band offset)을 나타낸다.

슈뢰딩거 방정식의 해를 위한 경계 조건으로, Dirichlet과 von Neumann 경계 조건을 혼합하여, 이른바 mixed Dirichlet and von Neumann boundary condition 라는 이름으로 적용되었다. 이는 경계면에서, Dirichlet 경계 조건을 적용하면 밀도가 감소하는 반면, von Neumann 경계 조건을 적용하면 증가하는 이유에서이다. 따라서 두 경계 조건을 각각 슈뢰딩거 방정식에 적용시킨 후 Dirichlet 경계 조건으로부터 얻어진 코사인(cosine) 형태의 고유함수(eigenfunction)와 von Neumann 경계 조건으로부터 얻어진 사인(sine) 형태의 고유함수를 1/2로 표준화하여 일정한 형태의 고유함수를 구하였다. The mixed Dirichlet and von Neumann boundary condition을 식 (4)을 통해 나타내었다.

$$\int |\Psi(z)|^2 dz = \frac{1}{2} \quad (4)$$

시뮬레이션에 사용된 중요한 매개변수중의 하나가 양자 전자 밀도(quantum electron density)이며, 이는 식 (5)과 같이 표현된다.

$$n(x, y) = \frac{2}{\pi \hbar} \sum_{n=1}^3 \sum_n \sqrt{2 k_B T / M^{-1}} |\Psi_n(x, y)|^2 \times F_{-1/2} \left( \frac{E_F - E_n}{k_B T} \right) \quad (5)$$

여기서  $k_B$ 는 볼츠만 상수(Boltzmann's constant),  $T$ 는 절대온도,  $E_F$ 는 페르미 준위(Fermi level),  $F_{-1/2}(\eta)$ 은 페르미-디랙(Fermi-Dirac) 적분이며, 식 (6)와 같이 나타내어진다.

$$F_k(\eta) = \frac{1}{\Gamma(k+1)} \int_0^\infty \frac{u^k du}{1 + e^{u-\eta}} \quad k > -1 \quad (6)$$

식 (6)의 페르미-디랙 적분은 식 (7)와 같은 특성이 있다.

$$\frac{d}{d\eta} F_k(\eta) = F_{k-1}(\eta) \quad k \leq -1 \quad (7)$$

마지막으로 볼츠만 방정식으로부터 표동-확산 모델 (simple drift-diffusion model)을 만족하는 반 고전적인 (semi-classical) 전류 밀도 방정식과 전류 연속 방정식 (current continuity equation)을 식 (8), (9)를 통해 나타내었다.

$$J_n(x, y) = \mu_n(x, y)n(x, y)\nabla E_{Fn}(x, y) \quad (8)$$

$$\text{div } J_n = 0 \quad (9)$$

### 2. 시뮬레이션 과정

본 논문에서는 반복적인 계산과정(iterative calculation procedure)<sup>[4]</sup>을 거쳐서 양자 역학적 해를 구했다. 이를 위해서 최초 식 (1)로부터 전기적 포텐셜(electric potential)을 구하고 나서, 여기서 구한 포텐셜 값을 초기 값으로 하여 식 (1)에서 뉴턴 반복법(Newton's iteration)에 의해 내부 전위(built-in potential)를 계산한다. 이어서 식 (1), (3), (9)으로부터 셀프-컨시스턴트한 해를 결정<sup>[4]</sup>할 때도 임의로 지정된 오차범위를 만족할 때까지 뉴턴 반복법이 사용된다<sup>[5]</sup>.

그림 1은 본 연구에서 사용된 FinFET의 단면을 위에서 내려다 본 그림이다.  $L_g$ 와 일함수(work function)  $\Phi_M = 4.1eV$ 를 갖는 두개의 금속 게이트가 실리콘 채널 위 아래로 형성되어 있으며, 소스와 드레인 부분은  $5 \times 10^{19} / cm^3$ , 채널은  $1 \times 10^{15} / cm^3$ 의 농도로 도핑 되었다. 게이트 산화막 두께는 2.5,  $L_g$ 는 10에서 80, 그리고  $T_{fin}$ 은 10에서 40nm까지의 조건에서 시뮬레이션이 시행되었다. 그리드(grid) 생성을 위해서 유한 차분법(finite difference method)을 사용하였으며, N-채널(N-channel) FinFET이 17nm의 게이트 길이까지 좋은 단채널 효과(short-channel effects)가 나타난다는

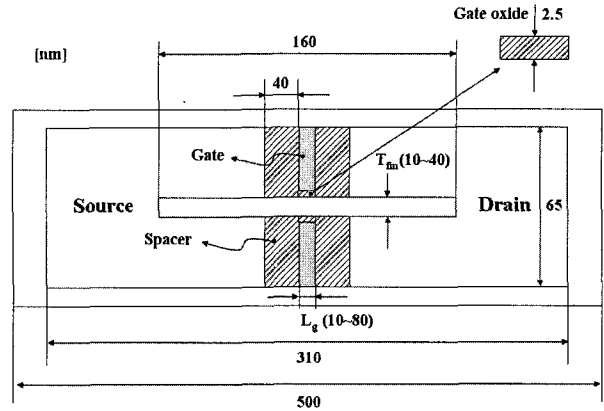


그림 1. 상부에서 내려다본 FinFET의 단면에 관한 도식적 그림.

Fig. 1. A schematic diagram illustrating the top view of the cross section of the FinFET.

것으로 알려져 있어<sup>[6]</sup>, 동일한 조건에서 시뮬레이션을 시행하였다. 아울러 현재 동작전류(drive current)의 추세에 부합하기 위한 표동-확산 모델을 사용하여 단채널 효과를 고려하였다.

### III. 시뮬레이션 결과 및 검토

본 논문에서 시행한 시뮬레이션의 결과는 주로 FinFET의 단채널 효과를 살펴볼과 동시에 양자 역학적 효과가 고려되는지의 여부에 의한 결과값의 차이에 관한 연구이다. 시뮬레이션 타당성 검증을 위한 방법으로, 우리는 시뮬레이션 결과를 참고 논문에 나타난 J. Kedziersk<sup>[3]</sup> 및 D. Hisamoto<sup>[1]</sup>의 실험적 데이터와 비교하였다.

그림 2, 3은 일반적인 전류-전압(I-V) 특성곡선을 보여주는 것으로  $L_g=30nm$ ,  $T_{fin}=20nm$  크기의 FinFET에서 시뮬레이션을 하였다. 그림 2는 N-channel FinFET의 드레인 전류( $I_d$ )-게이트 전압( $V_g$ ) 곡선을 나타낸 것으로 드레인 전압( $V_d$ )을 각각 0.1V 와 1.5V로 하여 수행한 결과이다. 그림 2로부터 문턱전압 이하 기울기 (sub-threshold swing) = 74.58mV/dec 의 이상적인 값을 구할 수가 있었고 드레인 유기 장벽 감소(drain induced barrier lowering, DIBL) 또한 이상적임을 알 수 있었다. 그림 3은  $I_d - V_d$  곡선을 나타낸 것으로서,  $V_g$ 을 0.0V에서 1.0V까지 sweep 하면서 결과 값을 출력한 그래프이다. 그림 2와 3을 통해 시뮬레이션 결과가 같은 조건에서의 실험값과 근사함을 알 수 있었고, 낮은 채널 도핑 농도(phosphorous =  $1 \times 10^{15} / cm^3$ ) 임에

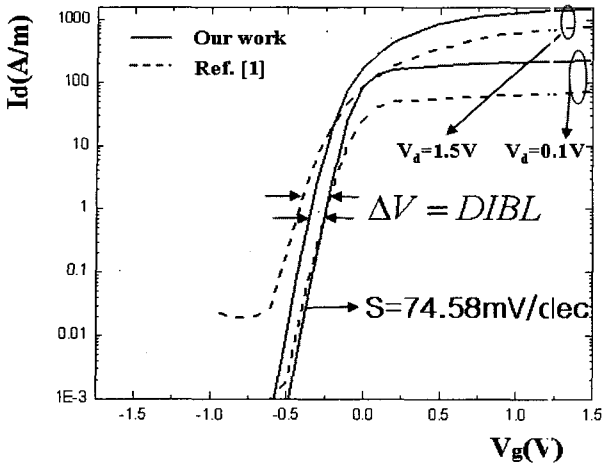


그림 2.  $L_g=30\text{nm}$ ,  $T_{\text{fin}}=20\text{nm}$  n-FinFET의 드레인 전류-게이트 전압 곡선.

Fig. 2. A plot showing the  $I_d$ - $V_g$  curves for n-FinFET with  $L_g=30\text{nm}$ ,  $T_{\text{fin}}=20\text{nm}$ .

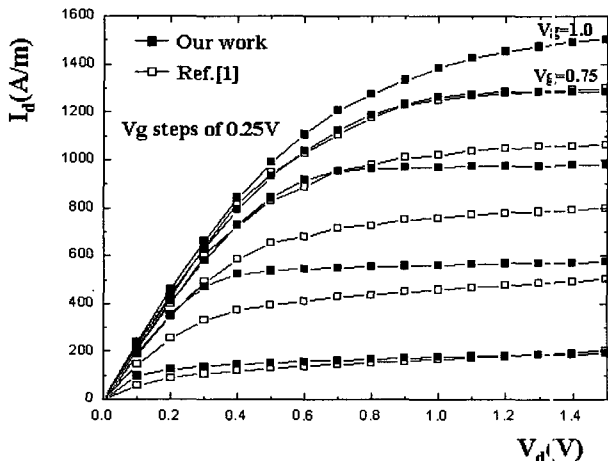


그림 3.  $L_g=30\text{nm}$ ,  $T_{\text{fin}}=20\text{nm}$  n-FinFET의 드레인 전류-드레인 전압 곡선.

Fig. 3. A plot showing the  $I_d$ - $V_d$  curves under the same condition of the Fig. 2.

도 불구하고 문턱전압이하 누설 전류(subthreshold leakage current)가 잘 억제됨을 알 수 있었다<sup>[1]</sup>.

그림 4는  $V_d=0.05\text{V}$  일 때  $T_{\text{fin}}$ 의 변화에 따른 트랜스컨덕턴스(transconductance,  $G_m$ )의 의존성을 보여준다. 본 시뮬레이션 결과에서 알 수 있듯이  $T_{\text{fin}}$ 이 증가함에 따라  $G_m$  또한 증가한다. 그러나  $T_{\text{fin}}=65\text{nm}$ 일때  $G_m=330\text{S/m}$ 로 최대치를 갖고,  $T_{\text{fin}}$ 이 더 증가하면 오히려  $G_m$ 값이 감소함을 알 수 있다. 이것은  $T_{\text{fin}}$ 이 증가함에 따라, 기생 저항(parasitic resistance) 및 이동도(mobility)는 증가하는 반면, 전하 무게중심(charge centroid)값은 감소하기 때문이고, 이런 이유로 최적화된  $T_{\text{fin}}$ 값을 얻을 수 있다.

단채널 효과를 분석하기 위하여 우리는 문턱 전압 이

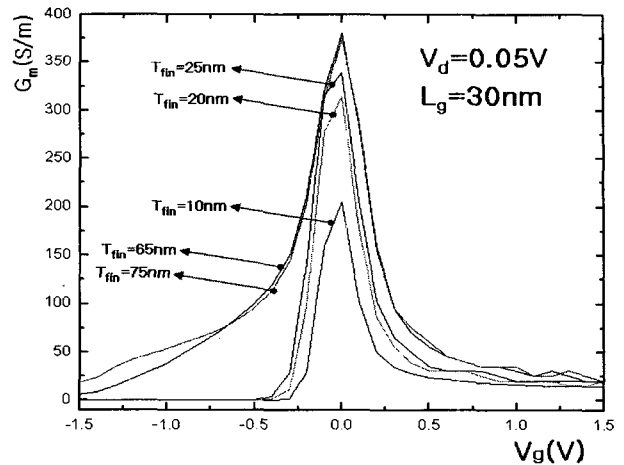


그림 4.  $T_{\text{fin}}$  변화에 따른 게이트 전압에 대한 트랜스컨덕턴스( $G_m$ ) 곡선.

Fig. 4. A plot showing the dependence of transconductance ( $G_m$ ) on the gate voltage.

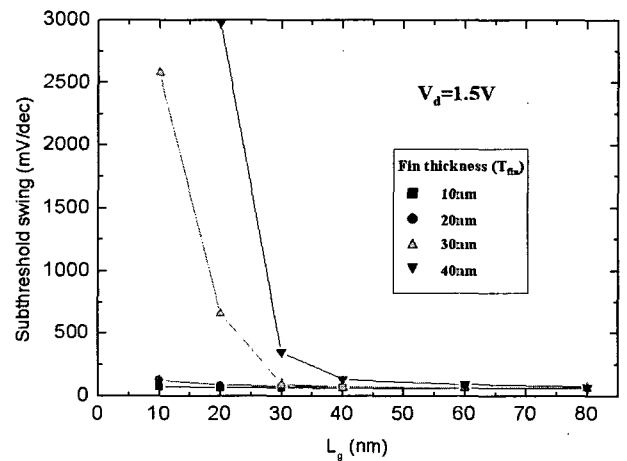


그림 5.  $T_{\text{fin}}$  (10~40nm)에서의  $L_g$ 에 대한 n-FinFET의 문턱전압 이하 기울기.

Fig. 5. A plot showing the subthreshold swing of n-FinFETs in terms of  $L_g$  for different  $T_{\text{fin}}$ (10~40nm).

하의 기울기(subthreshold swing), 문턱 전압 롤-오프(threshold voltage roll-off), DIBL의 세 파라미터를 추출하였다. 그림 5는  $T_{\text{fin}}=10, 20, 30, 40\text{nm}$ 일때  $L_g$ 를 80에서 10nm까지 줄여가며 문턱 전압 이하의 기울기를 구한 결과이다. 본 시뮬레이션은  $V_d=1.5\text{V}$ 일때 시행한 결과로써,  $T_{\text{fin}}$ 이 10, 20nm일때 단채널 효과가 급격히 감소함을 알 수 있다.

그림 5와 같은 조건하에서 시행한 문턱전압 롤-오프 특성을 그림 6에 도시하였다. 본 시뮬레이션 결과 또한,  $T_{\text{fin}}$ 이 작아질수록 단채널 효과가 감소하여 소자 특성이 향상됨을 보여준다. 그림 7은 DIBL 특성 결과로써,  $V_d$ 를 0.1부터 1.5V까지 변화시키는 동안의 문턱 전압의 변화로부터 도출한 결과로 소자의 최적화를 위해서는

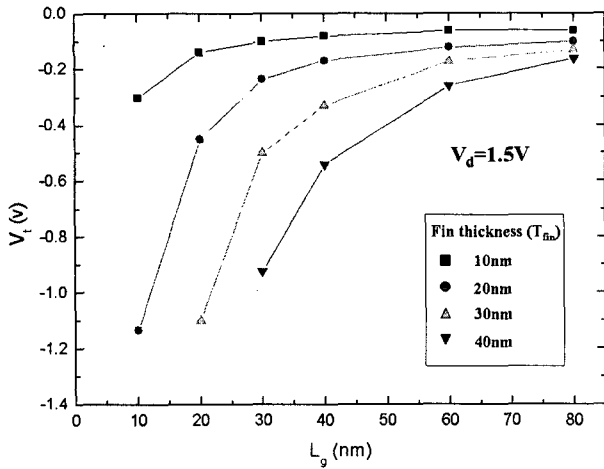


그림 6.  $T_{fin}$  (10~40nm)에서의  $L_g$ 에 대한 n-FinFET의 문턱 전압 롤-오프 특성.

Fig. 6. A plot showing  $V_t$  roll-off characteristics of n-FinFETs in terms of  $L_g$  for different  $T_{fin}$ (10~40nm).

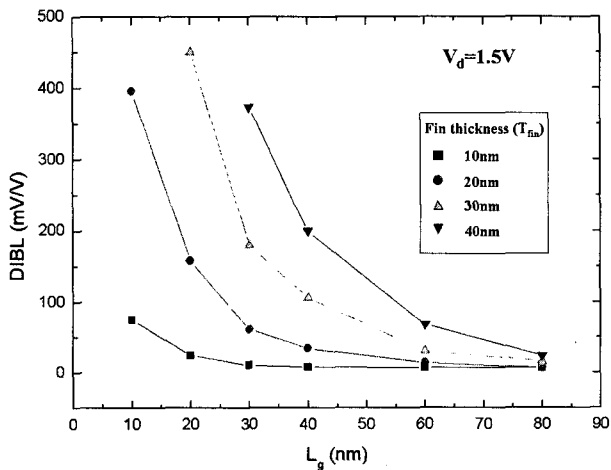


그림 7.  $T_{fin}$  (10~40nm)에서의  $L_g$ 에 대한 n-FinFET의 드레인 유기 장벽 감소 특성.

Fig. 7. A plot showing DIBL characteristics of n-FinFETs as a function of  $L_g$  for different  $T_{fin}$ (10~40nm).

DIBL값을 10mV/V이하로 유지하여야 함을 알 수 있었다. 상기한 결과로부터 단채널 효과를 줄이기 위해서는  $L_g/T_{fin}$ 을 1.5보다 큰 값으로 유지해야 함을 알 수 있었다<sup>[7]</sup>.

그림 8은  $L_g=30nm$ ,  $T_{fin}=20nm$ ,  $V_d=0.1V$ 의 조건하에서 시행한 FinFET의 전자 밀도 분포를 (a)  $V_g=1.5V$ , (b)  $V_g=0.3V$ , (c)  $V_g=-1.5V$  일때 각각 보여준 결과이다. 이 결과로부터, FinFET에서  $V_g$ 가 1.5V일때 게이트 아래에 형성된 두개의 채널을 확인할 수 있었으며, 게이트에 양의 전압을 인가함에 따라 소스/드레인의 높은 전자 밀도 분포에서 인버전 채널의 형성으로 인한 게이트 아래의 높아진 전자 밀도 분포의 변화를 확인할 수 있었다.

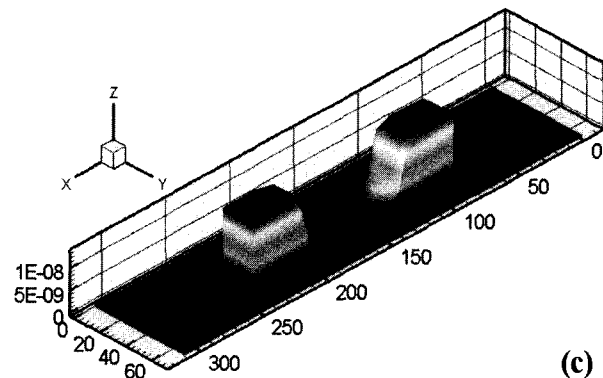
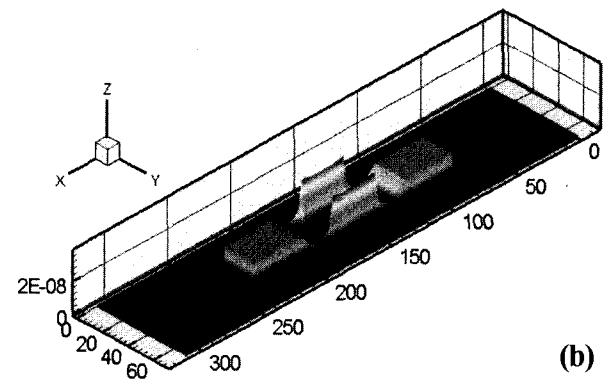
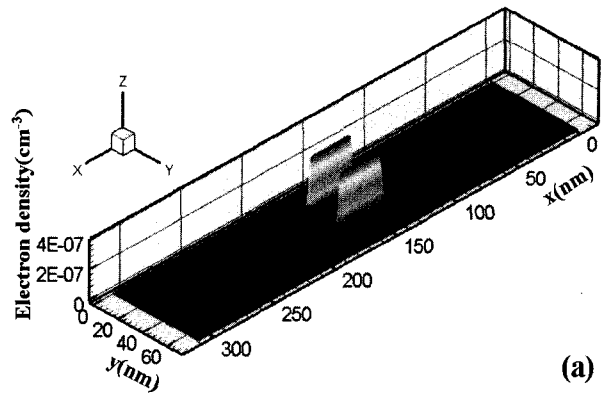


그림 8.  $L_g=30nm$ ,  $T_{fin}=20nm$ ,  $V_d=0.1V$ 의 조건하에서 n-FinFET의 전자 밀도. (a)  $V_g=1.5V$ , (b)  $V_g=0.3V$ , (c)  $V_g=-1.5V$ .

Fig. 8. A plot showing the electron densities of n-FinFET with  $L_g=30nm$ ,  $T_{fin}=20nm$ ,  $V_d=0.1V$ . (a)  $V_g=1.5V$ . (b)  $V_g=0.3V$ . (c)  $V_g=-1.5V$ .

우리는 고전적 방법과 양자 역학적 방법의 시뮬레이션 결과 값에 관해서 연구하였다. 그림 9과 10이 이 두 방법에 의한 전류-전압 곡선의 차이를 나타내는 것으로, 양자 역학적 방법의 의한 시뮬레이션 결과가 고전적인 것에 비해 약 30%가 억제되었음을 알 수 있다. 우리는 이 시뮬레이션에서 양자 역학적 방법에 의한 실험 데이터가 참고 논문으로부터의 실험 결과치<sup>[1, 3]</sup>에 더 가까운 것을 알 수가 있었다.

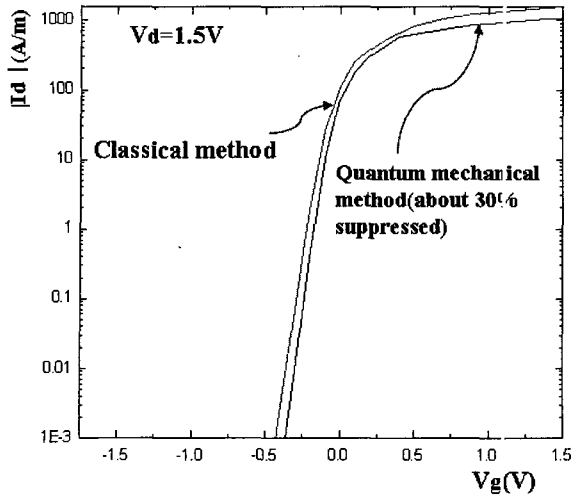


그림 9. 양자 역학적 방법과 고전적인 방법이 의한 시뮬레이션 결과( $I_d$ - $V_g$  곡선)의 차이.

Fig. 9. A plot showing the difference of  $I_d$ - $V_g$  with QM and classical methods.

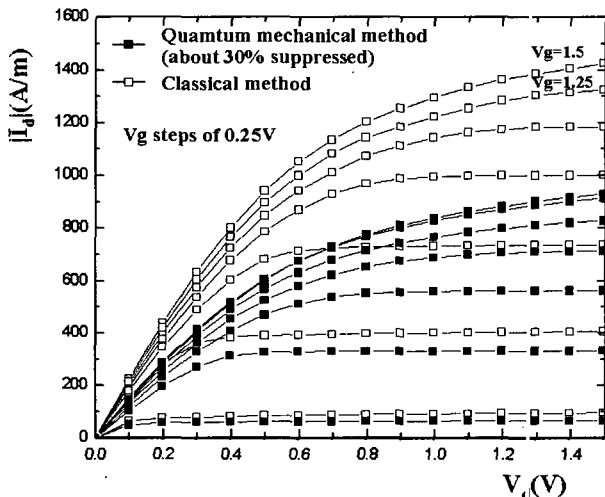


그림 10. 양자 역학적 방법과 고전적 방법에 의한 시뮬레이션 결과( $I_d$ - $V_d$  곡선)의 차이.

Fig. 10. A plot showing the difference of the  $I_d$ - $V_d$  curves with QM and classical methods.

#### IV. 결론

본 논문에서는 나노-스케일 FinFET의 2차원 수치해석 모델링 및 시뮬레이션 결과를 실험적 데이터와 비교 설명하였다. 상기 기술된 FinFET을 통한 시뮬레이션 결과를 통해서도 알 수 있듯이, 여러 실험적 데이터와의 근사한 결과 값을 통해 시뮬레이션의 정확함을 확인할 수 있었다. 또한 실리콘-핀 두께(Si-fin thickness,  $T_{fin}$ )을 변화시켜가면서 얻은 트랜스 컨덕턴스(transconductance,  $G_m$ )으로부터 소자의 특성을 최적화하는  $T_{fin}$  값을 얻을 수가 있었다.

문턱 전압 이하 기울기(subthreshold swing), 문턱 전압 롤-오프(threshold voltage roll-off), 드레인 유기장벽 감소(drain induced barrier lowering, DIBL)의 파라미터를 추출함으로써, FinFET과 같은 구조에서 단채널 효과(Short-channel effects)가 확연히 떨어짐을 볼 수가 있었다. 또한, 양자 역학적 방법과 고전적 방법에 의해 시행된 시뮬레이션 결과를 비교함으로써, 고전적 방법보다 양자 역학적 방법에 의한 결과 값이 30% 감소함을 확인할 수 있었다.

상기한 시뮬레이션 결과로부터, FinFET과 같은 이중-게이트 구조(double-gate structure)가 단채널 효과를 감소시킴에 있어서 이상적인 구조임을 알 수 있었으며, FinFET을 포함한 30나노 이하(sub-30nm)의 MOSFETs를 분석함에 있어 결합된 포아송-슈뢰딩거 방정식(coupled Poisson and Schrödinger equations)의 셀프-컨시스턴트(self-consistent)한 해가 반드시 필요함을 알 수 있었다.

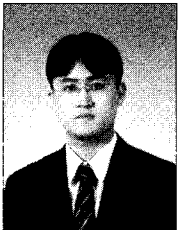
#### 참고 문헌

- [1] D. Hisamoto, Wen-chin Lee, Jakub Kedzierski, Hideki Takeuchi, Kazuya Asano, Charles Kuo, Erik Anderson, Tsu-Jae King, Jeffrey Bokor and Chenming Hu, "FinFET-A Self-Aligned Double-Gate MOSFET Scalable to 20nm," IEEE Trans. Electron Devices, vol. 47, p. 2320-2325, Dec. 2000.
- [2] A. Svizhenko, M. P. Anantram, T. R. Govindan and B. Bieg, "Two-Dimensional Quantum Mechanical Modeling of Nanotransistors," J. Appl. Phys, vol. 91, no. 4, p. 2343-2354, 2002.
- [3] J. Kedzierski, David M. Fried, Edward J. Nowak, Thomas Kanarsky, Jed H. Rankin, Hussein Hanafi, W. Natzle, Diane Boyd, Ying Zhang, Ronnen A. Roy, J. Newbury, Chienfan Yu, Qingyun Yang, P. Saunders, Christa P. Willets, A. Johnson, S. P. Cole, H. E. Young, N. Carpenter, A. Rakowski, Beth Ann Rainey, Peter E. Cottrell, Meikei Jeong and H. S. Philip Wo, "High-Performance Symmetric-Gate and CMOS-Compatible Vt Asymmetric-Gate FinFET Devices," Tech. Dig. IEDM, p. 437-440, 2001.
- [4] M. Sabathil, S. Hackenbuchner, J. A. Majewski, G. Zandler, P. Vogl, J. Comp. Electronics. vol. 1, p. 81-85, 2002.
- [5] S. E. Laux, A. Kumar and M. V. Fischet, "QDAME Simulation of 7.5nm Double-Gate Si

nFETs with Differing Access Geometries," Tech. Dig. IEDM, p.715-718, 2002.

- [6] X. Huang, Wen-Chin Lee, Charles Kuo, Digh Hisamoto, Leland Chang, Jakub Kedzierski, Erik Anderson, Hideki Takeuchi, Yang-Kyu Choi, Kazuya Asano, Vivek Subramanian, Tsu-Jae King, Jeffrey Bokor and Chenming , "Sub-50nm FinFET : PMOS," Tech. Dig. IEDM, p. 67-70, 1999.
- [7] D. S. Woo, J. H. Lee, W. Y. Choi, B. Y. Choi, Y. J. Choi, J. D. Lee and B. G. Pa, "Electrical Characteristics of FinFET with Vertically Nonuniform S/D Doping Profile," IEEE Trans on Nanotechnology, vol. 1, no. 4, p. 233-236, Dec. 2002.

저 자 소 개



김 기 동(학생회원)  
2003년 인하대학교 전기공학과  
공학사 졸업  
2003년~현재 인하대학교  
전기공학과 석사과정 재학 중  
<주관심분야: 나노-스케일 소자  
모델링 및 시뮬레이션>



권 오 섭(학생회원)  
1997년 인하대학교 전자재료  
공학과 공학사 졸업  
1999년 인하대학교 전자재료  
공학과 공학석사 졸업  
1999년~현재 인하대학교  
전자재료공학과 박사과정  
재학 중  
<주관심분야: 반도체 공정 물리 및 시뮬레이션,  
이온주입 및 확산공정 모델링, 나노-스케일 소자  
모델링 및 시뮬레이션 코드 개발>



서 지 현(학생회원)  
2003년 인하대학교 전자공학과  
공학사 졸업  
2003년~현재 인하대학교  
전기공학과 석사과정 재학 중  
<주관심분야: 반도체 확산공정 모  
델링>



원 태 영(정회원)  
1981년 서울대학교 전자공학과  
공학사 졸업  
1983년 한국과학기술원 전기 및  
전자공학과 공학석사 졸업  
1989년 미국 University of Illinois  
at Urbana-Champaign 전  
자공학과 공학박사 졸업  
1989년 미국 State University of NewYork 조교수  
1990년 삼성전자(주) 수석연구원.  
1991년~현재 인하대학교 공과대학 전자전기공학부  
교수  
<주관심분야: 반도체 소자 및 공정, TFT-LCD,  
MEMS V>