

논문 2004-41SD-6-3

# DRAM의 비트 라인 간 커플링 노이즈를 최소화한 오픈 비트 라인구조

(A new bit line structure minimizing coupling noise for DRAM)

오 명 규\*, 조 경 록\*, 김 성 식\*

(Myung-kyu Oh, Kyoung-rok Jo, and Sung-sik Kim)

## 요 약

본 논문에서는 비트라인간의 커플링 캐패시터에 의해서 발생하는 커플링 노이즈를 최소화 한 비트 라인구조를 제시하였다. DRAM의 비트 라인간에는 반드시 커플링 캐패시터가 존재한다. 서브마이크론 공정에서는 비트 라인간의 간격이 줄어들므로써 비트 라인간의 커플링 캐패시터는 증가하게 되고 이 커플링 캐패시터에 의해서 크로스 토크잡음이 급격히 증가한다. 본 논문에서는 비트라인간의 크로스 토크잡음을 줄이기 위해 인접한 비트 라인에 사용하는 금속배선의 층을 서로 다르게 함으로써 비트 라인간의 캐패시터를 줄인 새로운 비트 라인구조를 제안하고 검증한다.

## Abstract

This paper describes a novel bit line structure to minimize coupling noise induced by coupling capacitance between bit lines. In DRAMs coupling capacitance is inherently present bit lines. As in submicron process the bit line space gets narrower, bit line coupling capacitance increases and this increased coupling capacitance sharply raises cross-talk noise. In this paper using different layers of metal for adjacent bit lines has been tested to reduces cross-talk noise and a novel bit line structure capable of reducing capacitance is introduced and verified.

**Keywords :** DRAM, 커플링 노이즈, 커플링 캐패시터, 크로스 토크잡음

## I. 서 론

DRAM에 사용하는 비트 라인구조는 그 구현방법에 따라 폴디드 비트 라인 과 오픈 비트 라인으로 나눌수 있다. 최소 셀 크기가 8F2인 폴디드 비트 라인은 비록 6F2인 오픈 비트 라인에 비해 그 크기가 크지만, 노이즈에 대한 내성과 주변 회로의 구성에 있어서 유리하므로, 현재 생산 및 개발중인 제품 대부분에 사용된다.<sup>[1]</sup> 폴디드 비트 라인이 오픈 비트 라인구조보다 노이즈에 대한 내성이 좋은 이유는 비트 라인과 /비트 라인이 동일한 셀 블록 위에 위치하므로 워드 라인과의 커플링

노이즈가 비트 라인과 /비트 라인에 모두 동일한 양으로 발생한다. 따라서 공통 모드 노이즈는 센스 앰프의 차동 증폭작용에 의해 제거되게 된다. 반면 오픈 비트 라인구조는 비트 라인과 /비트 라인이 센스 앰프를 중심으로 상하에 위치하여 만일 비트 라인쪽의 워드 라인에 전압이 인가되어 셀이 선택되면, /비트 라인쪽에는 워드 라인이 선택되지 않으므로 비트 라인과 /비트 라인에 유기되는 노이즈가 서로 다르다. 이렇게 비트 라인과 /비트 라인이 서로 다른 전기적 환경에 놓이게 되므로, 미소신호를 고감도로 증폭하기가 어렵다. 이러한 이유로 폴디드 비트 라인구조가 오픈 비트 라인구조보다 노이즈에 대한 내성이 우수하다고 일반적으로 생각하고 있으나, 비트 라인과 /비트 라인 쌍에 공통 잡음이 유기되는 부분만 제외하면 메모리 셀 내의 각종 커플링 캐패시터에 의해 발생하는 노이즈는 공통적으로 발생한

\* 정회원, 충북대학교 정보통신공학과  
(Department of Computer & Communiation  
Engineering, Graduate School, Chungbuk University)  
접수일자: 2002년10월21일, 수정완료일: 2004년5월12일

다.<sup>[2][6]</sup>

비트 라인에 영향을 미치는 커플링 캐패시터는 CBP (비트 라인-워드 라인 커플링 캐패시터), CBP(비트 라인-셀 플레이트 커플링 캐패시터), CBB(비트 라인-비트 라인 커플링 캐패시터), CBs(비트 라인-Substrate 커플링 캐패시터)이고, 디자인 룰이 점점 미세화 될수록 CBB가 급격이 증가 하고 있다.<sup>[2]</sup>

DRAM의 입출력회로나 주변회로는 신호의 진폭이 크므로, 셀 어레이에 비해 노이즈의 영향이 상대적으로 적다. 또한 1T 셀은 자체 증폭 작용이 없으므로 읽기 동작 시 전하 공유(Charge sharing)에 의해 수백mv의 낮은 신호전압을 이용해서 센스 앰프에서 증폭하기 때문에, 특히 비트 라인간의 크로스 토크에 의한 노이즈는 칩의 노이즈 특성에 큰 영향을 미친다.

본 논문에서는 ASIC공정을 이용해서 설계한 임베디드 메모리의 인접하는 비트 라인은 서로 다른 층의 금속배선을 사용하는 오픈 비트 라인구조 개선으로 비트 라인간의 커플링 캐패시터를 줄임으로써 커플링 캐패시터에 의한 크로스 토크를 최소화하여 외부전원전압 노이즈에 의한 칩의 오 동작을 최소화 하는 구조를 제안한다. 칩 면적을 최소화하기 위해서 메모리 전용 DRAM과는 달리 내부 전압 발생기를 대부분 사용하지 않고 외부전원전압을 그대로 셀의 플레이트전압(Vcp)및 워드 라인전압으로 사용하였다.

II장에서는 Planar 셀의 구조와 비트 라인간의 커플링 캐패시터에 의한 비트 라인의 전압변화 및 비트 라인의 전압변화에 따른 센싱 마진의 감소현상에 대해서 기술하였으며, III장에서는 비트 라인간의 커플링 캐패시터를 줄이기 위해서 인접 비트 라인을 서로 다른 층의 금속배선으로 설계한 새로운 비트 라인구조의 회로 시뮬레이션 결과 및 테스트결과에 대해서 기술하였다.

## II. Planar DRAM 구조

### 1. Planar 셀의 구조

ASIC공정을 이용해서 DRAM 설계 시에 사용하는 Planar DRAM은 그림1에서와 같이 폴리 실리콘 층과 Substrate사이의 절연 실리콘 산화막층을 캐패시터로 사용한다. 셀의 단위 면적 당 캐패시터는 DRAM공정을 이용한 스택 셀이나 트렌치 셀과 비교하면 매우 작은 단점이 있으나, 공정이 DRAM공정에 비해서 간단한 장점이 있기 때문에 작은 용량의 DRAM을 필요로 하는

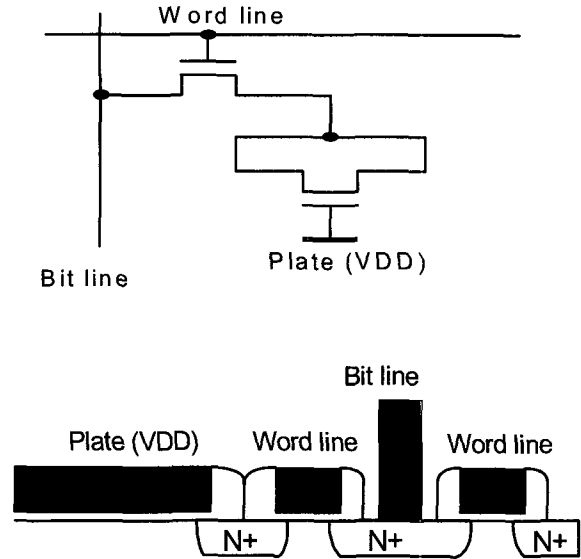


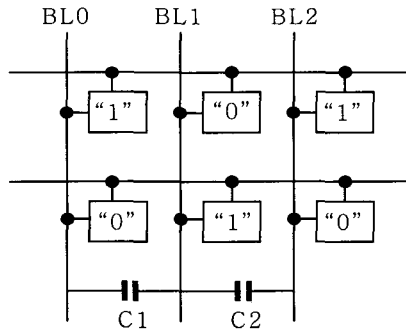
그림 1. Planar 셀 구조  
Fig. 1. Structure of Planar cell.

임베디드 메모리에는 플라나 셀이 적합하다.<sup>[1][4]</sup> 본 논문에서 사용한 플라나 셀은 0.35um공정으로 설계되었고 단위셀의 용량은 9fF정도이다.

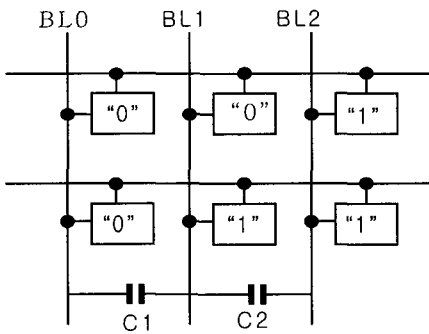
셀의 용량이 작고, 또 DRAM 블록의 면적을 줄이기 위해서 내부전압 발생기를 사용하지 않았고, 그림1에 나타난 것과 같이 셀 플레이트전압을 외부 전원전압을 사용함으로써, 외부 전압의 변화가 그대로 셀 플레이트에 전달된다. 따라서 셀의 읽기 동작 시 외부 전압이 변하게 되면 비트 라인의 전압이 달라지기 때문에 외부 전원전압의 변화에 따라 발생하는 전원전압 노이즈에 대한 내성이 내부전압 발생기에서 나오는 정 전압을 사용하는 구조보다 떨어지게 된다.

### 2. 전원전압 변화에 의한 센싱 마진감소현상 측정

전원전압의 변화 즉 Power noise에 따른 센스 앰프의 센싱 마진의 변화를 측정하기 위해 범프 테스트를 하였다. 범프 테스트 방법은 셀에 데이터를 쓸 때의 전압은 2.9v, 읽을 때의 전압은 쓸 때의 전압과 동일한 2.9v에서 0.1v씩 증가시키며 읽는 저 전압 쓰기/ 고 전압 읽기 방법과, 그 반대로 셀에 데이터를 쓸 때의 전압은 3.7v, 읽을 때의 전압은 데이터를 쓸 때와 동일한 3.7v에서 0.1v씩 감소시키며 읽는 고 전압 쓰기/ 저 전압 읽기 방법을 사용하였다. 사용 테스트 패턴은 비트 라인간의 간섭현상을 최대한 발생시키는 체크 보드 패턴을 사용하였다. 시뮬레이션은 그림2에 나타난 바와 같이 다음의 2가지 조건에 대해 실행 하였다.



(a) Case 1



(b) Case2

그림 2. Case1,2의 셀에 저장된 값  
Fig. 2. Cell values of Case1,2.

Case1: 두개의 인접 비트 라인이 모두 읽는 비트 라인과 반대의 데이터를 가지고 있는 경우이며, Case2: 두개의 인접 비트 라인 중 한 개의 비트 라인만 읽는 비트 라인과 반대의 데이터를 가지고 있는 경우.

체크 보드 패턴으로 셀에 쓴 후, 셀에 저장된 값을 읽을 때 센스 앰프의 센싱 마진을 그림3에 도시하였다. 그림3은 2.9v에서 셀에 데이터를 쓰고 읽을 때의 전압은 2.9v에서 0.1V씩 증가시키며 읽을 때 센스 앰프의 센싱 마진을 시뮬레이션한 결과이다. 그림4는 그림3과 반대로 3.7v에서 셀에 데이터를 쓰고 읽을 때의 전압은 2.9v에서 0.1v씩 증가시키며 읽을 때의 센싱 마진을 시뮬레이션한 결과이다.

그림3, 4에서 알 수 있는 바와 같이 Case1과Case2의 센싱 마진은 약 10mv가 차이가 나며 이 차이는 커플링 캐패시터의 차이로 인해서 발생한다고 볼 수 있다.

비트 라인간의 커플링 캐패시터에 의해서 센싱 마진의 차이가 나는 것을 증명하기 위해서 비트 라인간의 커플링 캐패시터를 변화시키면서 회로 시뮬레이션을 하였다.

그림5는 그림2에서 '0' 데이터를 가진 비트 라인BL1

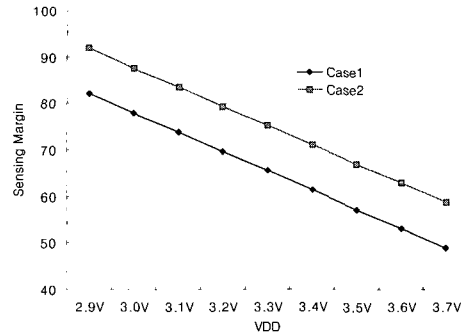


그림 3. 저 전압 쓰기/ 고 전압 읽기  
Fig. 3. Low voltage write / High voltage read.

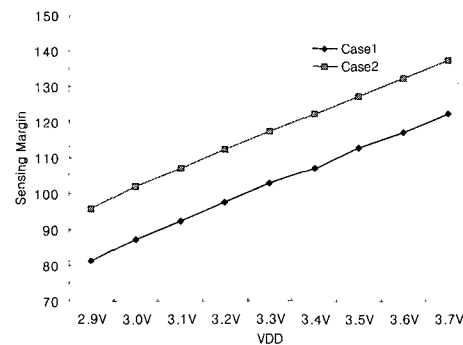


그림 4. 고 전압 쓰기/ 저 전압 읽기  
Fig. 4. High voltage write / Low voltage read.

전압이 커플링 캐패시터C1,C2의 값을 0fF~16fF까지 변화시킬 때, BL1전압이 변하는 것을 보여준다. BL1의 전압 변화량은 커플링 캐패시터가 1fF증가함에 따라 3mV씩 증가하게 된다.

그림6은 비트 라인 BL1전압이 '1' 데이터를 가질때 커플링 캐패시터C1,C2의 값을 0fF ~ 16fF까지 변화시켜 BL1전압이 변하는 것을 보여준다. BL1의 전압 변화량은 커플링 캐패시터가 1fF증가함에 따라 3mV씩 감소하게 된다.

그림5, 6의 회로 시뮬레이션을 하기 위해서 각 비트 라인의 캐패시터를 레이 아웃상에서 직접 계산하였으며 동일 비트 라인에 연결된 셀은 캐패시터성분으로 모델링하여 적용하였다. 회로 시뮬레이션 결과에 나타난 것과 같이 낮은 전원전압에서 쓰고, 높은 전원전압에서 읽을수록 센싱 마진이 떨어지는 것을 알 수 있다. 이것은 전원전압이 증가하면, 1) 셀 플레이트전압이 증가하고, 2) 비트 라인의 전압이 증가하고, 3) VBLP전압도 증가하게 되지만, 4)VBLP전압의 변화 값이 비트 라인 전압의 변화보다 더 크게 된다. 따라서 "1" 데이터를 읽을 때의 센싱 마진은 증가하게 되나, "0" 데이터를 읽을 때의 센싱 마진은 감소하게 되어, '0' 데이터를 읽을 때

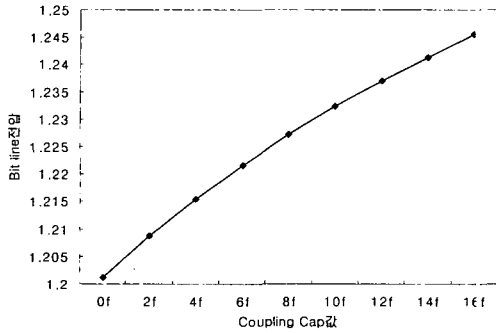


그림 5. 커플링 캐패시터값의 변화에 따른 비트 라인의 전압 (비트 라인이 0인 경우)

Fig. 5. The voltage of BL1 that is depends of coupling capacitor ( In case of "0")

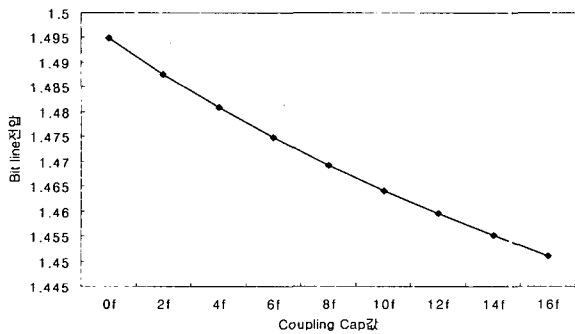


그림 6. 커플링 캐패시터값의 변화에 따른 비트 라인의 전압 (비트 라인이 1 경우)

Fig. 6. The voltage of BL1 that ia depends of coupling capacitor.(In case of "1")

불량이 발생하게 된다.

반대로 높은 전원전압에서 쓰고, 낮은 전원전압에서 읽을수록 동일하게 센싱 마진이 떨어지는 것을 알 수 있다.이것은 전원전압이 감소하면, 1)셀 플레이트전압이 감소하고, 2) 비트 라인의 전압이 감소하고, 3)VBLP전압도 감소하게 되지만,4)VBLP전압의 변화 값이 비트 라인전압의 변화보다 더 크게 된다. 따라서 "0"데이터를 읽을 때의 센싱 마진은 증가하게 되나, "1"데이터를 읽을 때의 센싱 마진은 감소하게 되어 '1'데이터를 읽을 때 불량이 발생하게 된다.

### 3. 전원전압 변화에 의한 비트 라인 오 동작 측정

그림7은 기존에 사용한 비트 라인구조로 비트 라인이 동일 층의 금속배선으로 평행하게 설계되어 동일한 커플링 캐패시터를 갖는다. 그림8,9는 그림7의 회로 시뮬레이션 결과로서 전원전압이 변할 때 비트 라인의 데이터가 역전되는 현상을 보여준다. 그림8의 결과를 보면 전원전압이 2.9V에서 셀에 "0"을 쓰고, 전원전압을

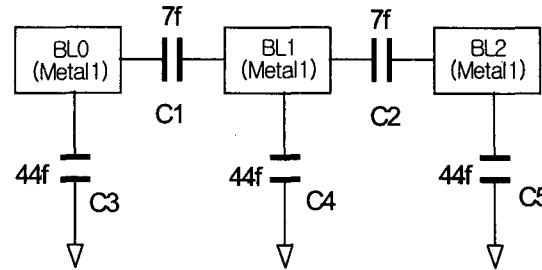


그림 7. 기존의 비트 라인 구조 (Metal1-Metal1-Metal1)  
Fig. 7. Conventional bit line structure. (Metal1-Metal1-Metal1)

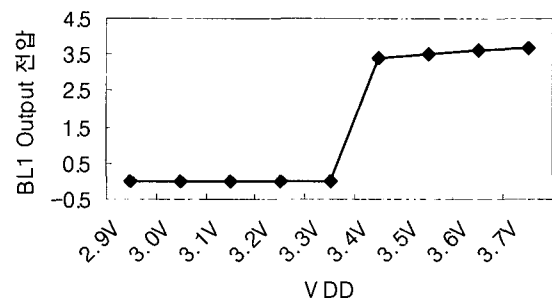


그림 8. 기존의 구조에 Case1을 적용한 시뮬레이션 결과  
Fig. 8. Simulation results of case1 that was using conventional scheme.

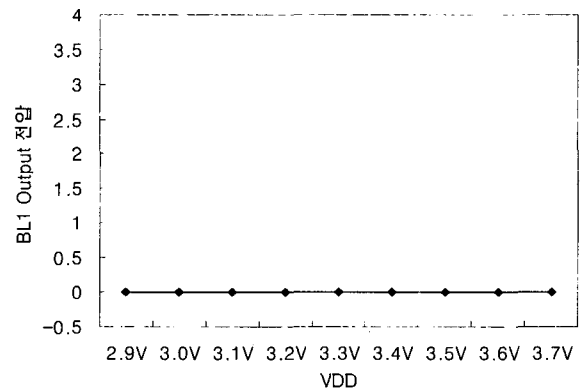


그림 9. 기존의 구조에 Case2을 적용한 시뮬레이션결과  
Fig. 9. Simulation results of case1 that was using conventional scheme.

2.9V에서 0.1V단위로 증가시키면서 셀을 읽으면 3.3V까지는 "0"이 출력되지만 전원전압이 3.4V이상일 때, 읽으면 "0"이 "1"로 반전되어 출력된다. 이러한 데이터 반전현상이 일어나는 주요원인은 인접한 비트 라인의 데이터가 센싱되는 비트 라인과 다른 데이터를 저장하고 있는 경우이다. 이 때 읽기 동작 시에 비트 라인간의 커플링 캐패시터에 의한 크로스 토크현상으로 센싱되는 비트 라인의 전압을 상승시켜 센스 앰프의 센싱 마

진을 떨어뜨림으로써 오 동작을 유발하게 되는 것이다. Case2를 적용한 그림9는 전원전압을 3.7v까지 높여서 읽어도 데이터 반전현상이 일어나지 않는 것을 보여준다. 이것은 Case1에 비해서 Case2일 경우에는 비트 라인간의 커플링 캐패시터가 50%이기 때문에 커플링 캐패시터에 의한 비트 라인의 전압 변화도 50%로 줄기 때문이다. 따라서 외부 전원전압 변화에 둔감한 것이다.

### III. 새로운 비트 라인설계

#### 1. 제안된 비트 라인 구조

인접 비트 라인에 의한 커플링 노이즈를 최소화 하려면 인접 비트 라인간의 커플링 캐패시터를 줄여야 하고, VBLP의 전압변화보다 비트 라인의 전압변화를 더 크게 해서 센싱 마진을 최대한 확보하여야 한다. 비트 라인의 전압변화를 크게 하려면, 전하 공유(Charge sharing)후 최종 비트 라인의 변화를 크게 하여야 한다.

전하 공유 후 최종 비트 라인의 전압(VB)및 전위 상승량은 아래와 같이 표시된다.<sup>[2]</sup>

$$VH = CB \frac{VBLP}{(CB + CC)} + CC \frac{VCC}{(CB + CC)} \quad (1)$$

$$\Delta VH = \frac{VBLP}{1 + (CB + CC)} \quad (2)$$

CB = 비트 라인 캐패시터, CC = 셀 캐패시터,  
VH = 전하 공유 후 비트 라인전압,  
ΔVH = 비트 라인전압 변화량이다.

위의 식을 보면 전압 상승량을 최대로 하기위해서 CB/CC의 값을 작게 하면 된다.

CC의 값을 크게 하거나 CB의 값을 줄이면 되는데 CC의 값을 크게 하려면 셀의 캐패시터 용량을 늘여야 하나 이것은 셀의 면적을 크게 하여야 하기 때문에 칩의 면적이 크게 된다. 다른 방법인 CB를 줄이는 방법은 비트 라인 캐패시터의 성분은 1)비트 라인 접합부의 PN 접합 캐패시터, 2)비트 라인과 워드 라인의 커플링 캐패시터, 3)비트 라인과 셀 플레이트사이의 커플링 캐패시터, 4)비트 라인과 스토리지 노드사이의 커플링 캐패시터, 5) 인접 비트 라인간의 커플링 캐패시터로 이루어져 있다.

위의1)~5)의 캐패시터 성분 중 본 논문에서는 인접

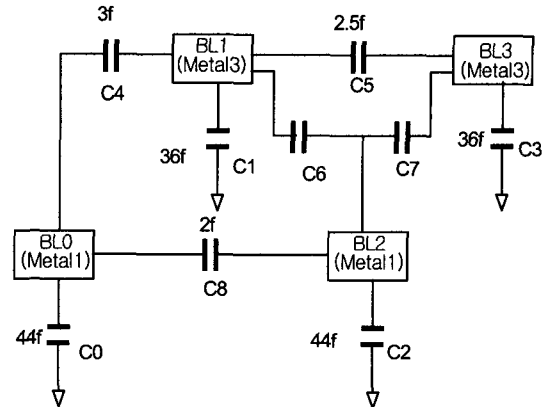


그림 10. 제안된 비트 라인 구조 (Metal1-Metal3-Metal1)  
Fig. 10. Proposed bit line structure(Metal1-Metal3-Metal1)

비트 라인간의 커플링 캐패시터를 줄이는 비트 라인구조를 제안한다.

그림10은 비트 라인간의 커플링 캐패시터를 줄이는 비트 라인구조를 도시하였다. 기존의 비트 라인구조는 동일 층의 금속배선으로 비트 라인을 구성하였으나, 제안된 구조는 인접 비트 라인을 서로 다른 층의 금속배선으로 구성함으로써 비트 라인간의 커플링 캐패시터를 줄일 수 있게 되었다.

#### 2. 시뮬레이션 및 측정 결과.

그림11,12는 그림10의 구조를 시뮬레이션한 결과로써 기존의 동일 층의 금속배선으로 구성된 비트 라인 구조에 비해서 인접비트 라인간의 커플링 캐패시터가 최대 10fF에서 8.5fF으로 줄어들었으므로 센싱 마진이 급격히 증가한 것을 볼 수 있다.

기존의 구조로는 센싱마진 60mV이상되는 전원전압에 대한 노이즈 마진이 2.9v~3.4v였으나, 개선된 비트 라인구조에서는 2.9v~3.7v의 노이즈 마진특성을 가지게 된다. 노이즈 마진이 개선된 이유는 인접비트 라인간의 커플링 캐패시터를 줄임으로써 커플링 캐패시터에 의한 크로스 토크현상이 줄어들게 되어 센스 앰프의 센싱 마진이 증가하게 된 것이다. 시뮬레이션한 결과 기존의 비트 라인구조에 비해서 약8mV의 센싱 마진이 더 확보된 결과를 보여준다.

시뮬레이션결과를 확인하기 위해서 기존의 비트 라인 구조를 적용한 제품과 개선된 비트 라인구조를 적용한 제품을 TEST장비를 이용해서 전원전압의 변화에 따른 특성을 측정하였다. 외부 전원전압의 변화와 유사한 TEST를 하기 위해서 Cell에 쓰는 전압과 읽는 전압을 각각 변화를 주고 측정하였다.

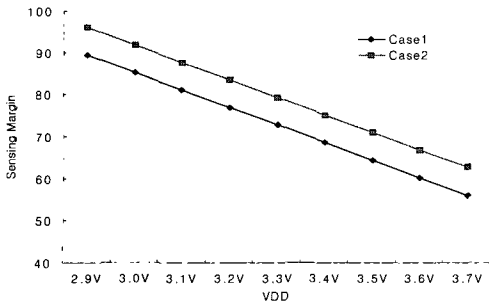


그림 11. 저 전압 쓰기 / 고 전압 읽기  
Fig. 11. Low voltage write / High voltage read.

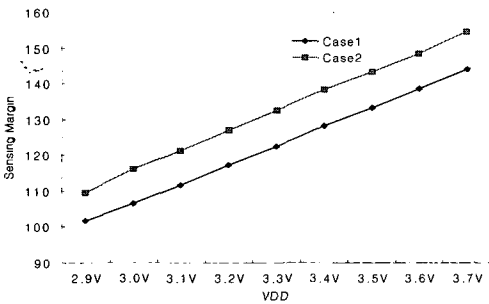


그림 12. 고 전압 쓰기 / 저 전압 읽기  
Fig. 12. High voltage write / Low voltage read.

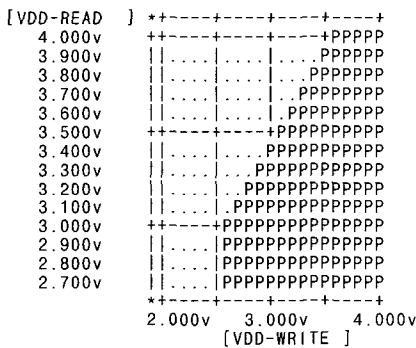


그림 13. 기존 비트 라인구조의 전원전압 노이즈 특성  
Fig. 13. Shmoo graph of power noise characteristics that was a conventional scheme.

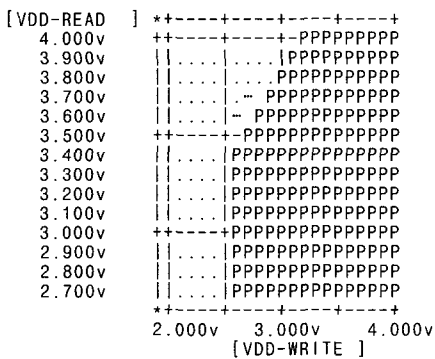


그림 14. 제안된 비트라인구조의 전원전압 노이즈 특성  
Fig. 14. Shmoo graph of power noise characteristics that was a proposed scheme.

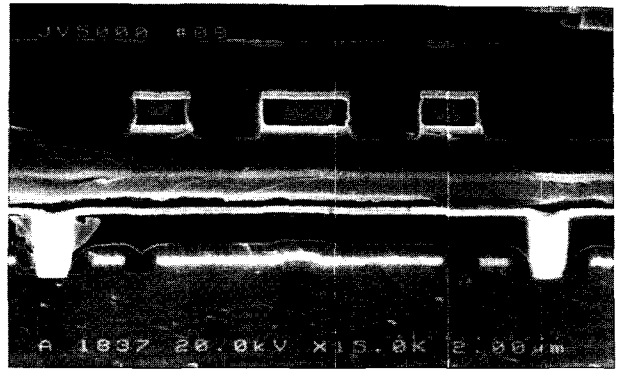


그림 15. 제안 된 비트 라인구조의 Metal1 비트라인의 단면 사진  
Fig. 15. Cross section of metal1 bit line that was a proposed scheme.

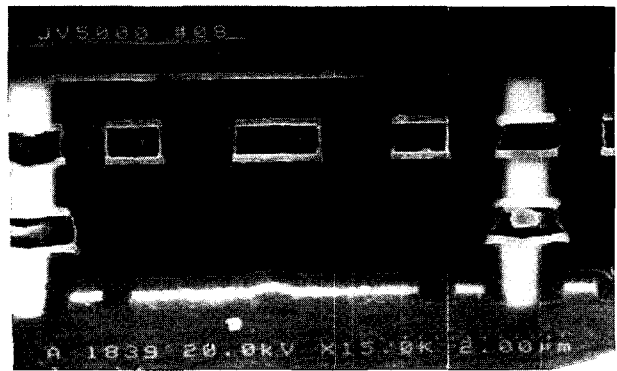


그림 16. 제안 된 비트 라인구조의 Metal3 비트라인의 단면 사진  
Fig. 16. Cross section of metal1 bit line that was a proposed scheme.

그림13은 기존의 비트 라인구조의 Planar DRAM의 전원 전압 변화에 따른 Noise특성을 측정 한 Shmoo 그래프이다. 그래프의 가로축은 Cell에 쓸때의 전원전압을 나타내고 세로축은 읽을때의 전원전압을 나타낸 것이며 Shmoo 그래프에서 “P”는 Pass영역을 나타낸다. 측정결과를 보면 전원전압 2.9v에서 셀에 데이터를 쓰고, 3.4v 이상으로 셀을 읽을때, 불량률이 발생하는 현상을 보여주고 있다. 그림14는 본 논문에서 제시한 비트 라인구조를 가진 Planar DRAM의 전원 전압 변화에 따른 Noise 특성을 측정 한 Shmoo 그래프이다. 기존의 구조를 측정 한 그림13과 비교할 때, 전원전압을 2.9v에서 셀에 데이터를 쓰면, 3.7v이상에서 불량률이 발생하는 것을 보여 준다. 이 결과는 기존 비트 라인 구조에 비해서 외부 전원전압 노이즈에 대해서 전원전압대비 10%이상 내성이 증가한 것이다.

이상의 회로 시뮬레이션자료 및 칩의 전원전압 노이즈특성을 테스트장비를 이용해서 테스트한 결과를 보면, 인접한 비트 라인을 서로 다른 층의 금속배선으로

구성한 비트 라인구조의 DRAM이 동일 층의 금속배선으로 구성된 비트 라인구조보다 약10%이상 외부 전원 전압의 변화에 내성을 가진다는 것을 알 수 있다.

그림15,16은 제안된 비트라인을 가진 Planar 셀의 단면 구조 사진이다.

#### IV. 결 론

서브 마이크론 영역에서 MML은 인접 비트라인간의 간격이 좁아짐에 따라 비트 라인간의 커플링 커패시터에 의한 커플링 노이즈는 심각한 문제로 대두되고 있다. 특히 본 논문에서 기술한 ASIC공정을 이용한 플라나 셀 구조의 엠베디드 메모리에서는 전원전압 노이즈에 취약하다. 본 논문에서는 이러한 문제의 해결을 위해서 비트 라인의 금속배선 층을 서로 다르게 한 지그재그 형태의 새로운 구조를 제안하였다. 제안한 구조는 DRAM의 센싱마진이 60mV일때 전원전압에 대한 노이즈 마진이 10%이상 개선된 결과를 얻었다.

#### 참 고 문 헌

- 2001, June 18-22,2001
- [9] J.A.Mandelman, "Challenges and future directions for the scaling of dynamic random-access memory(DRAM),"IBM J. RES.& DEV. VOL.46 NO.2/3 March/may 2002 pp.187-212
- [10]Jong-Woo Park, "Performance Characteristics of SOI DRAM for Low-Power Application," IEEE International Solid-State Circuits Conference 1999
- [1] Yasunao Katayama, "TRENDS IN SEMICONDUCTOR MEMORYS," IEEE Micro 1997 pp.10-17
- [2] Hoi-Jun Yoo, "DRAM Design," IDEC pp.26-70, 1996
- [3] Zhan Chen and Israel Koren, "Crosstalk Minimization in Three-Layer HVH Channel Routing," IEEE Proceeding of the 1997 Workshop on Defect and Fault-Tolerance in VLSI System, 1997
- [4] John Poulton, "An Embedded DRAM for CMOS ASICs," Department of Computer Science University of North Carolina at Chapel Hill
- [5] Kevin T.Tang and Eby G. Friedman, "Interconnect Coupling Noise in CMOS VLSI Circuits," Department of Electrical and Computer Engineering University of Rochester, 1999 pp. 48-53
- [6] Jong-Shik Kim, Yu-Soo Choi,Hoi-Jun Yoo, and Kwang-Seok Seo,"A Low Noise Folded Bit-line Sensing Architecture for Multi-Gb DRAM with Ultra High Density 6F2 Cell," Seoul National University
- [7] Wingyu Leung, Fu-Chieh Hsu,Mark-Eric Jones, "The Ideal SoC Memory:1T-SRAM," Mosys Inc
- [8] Kevin M. Lepak, Irwan Luwandi,and Lei He, "Simultaneous Shield Insertion and Net Ordering under Explicit RLC Noise Constraint," DAC

---

 저 자 소 개
 

---

## 오 명 규(정회원)

1993년 경북대학교 전자공학과 학사 졸업.  
 2002년 충북대학교 정보통신공학과 석사 졸업.  
 2004년 충북대학교 전자공학과 박사 재학.  
 <주관심분야: Embedded Memory 설계, Embedded MCU 설계>

## 조 경 록(정회원)

1977년 경북대학교 전자공학과 학사 졸업.  
 1989년 동경대학교 전자공학 석사 졸업.  
 1992년 동경대학교 전자공학 박사 졸업.  
 1979년~1986년 금성사 TV 연구소 선임연구원.  
 1992년~현재 충북대학교 공과대학 정보통신 공학과 교수.  
 <주관심분야: VLSI 시스템 설계, 통신시스템용 LSI 개발, 고속 마이크로프로세서 설계>

## 김 성 식(정회원)

1988년 경북대학교 전자공학과 학사 졸업.  
 1999년 충북대학교 정보통신공학과 석사 졸업.  
 2003년 충북대학교 박사 졸업.  
 <주관심분야: 고속 Embedded MCU 회로 설계>