

논문 2004-41SD-6-10

버퍼 삽입을 이용한 Delay와 Noise 특성 개선을 위한 연구

(Improvement of Delay and Noise Characteristics by Buffer Insertion)

유 만 성*, 신 현 철**

(Mansung You and Hyunchul Shin)

요 약

집적회로 시스템이 고집적화 됨에 따라, 연결선은 회로 전체 성능을 결정하는 중요한 요소가 되었다. 버퍼 삽입은 연결선의 성능 향상의 효과적인 방법이다. 하나의 신호선이 허용 범위를 넘는 전달지연시간을 가질 때, 우리는 하나 또는 그 이상의 버퍼를 삽입하여 지연시간을 줄일 수 있다. 이제까지 많은 연구들에서 하나의 신호선에 대해 버퍼를 삽입하는 방법을 개발하였으나, 우리는 여러 신호선에 동시에 버퍼 위치를 찾아 버퍼를 삽입하는 방법을 연구하였다. 이 방법은 여러 개의 신호선에 버퍼를 삽입하는 위치를 찾는 어려움을 효과적인 방법을 이용하여 그 위치를 결정한다. 또한 본 연구에서는 fan-out이 여럿인 critical path에 대해서도 버퍼 삽입으로 지연시간을 최적화하는 기술을 개발하였다. 이 방법은 Elmore Delay 모델을 이용하여 지연시간을 계산하고 각 신호선에 지연시간을 최적화 할 수 있는 버퍼를 결정한다.

Abstract

For deep submicron (DSM) very large scale integrated circuits (VLSI), it is well known that interconnects have become the dominant factor in determining the overall circuit performance. Buffer insertion is an effective technique of interconnect optimization. When a net has an excessive propagation delay, one or more buffers can be inserted to reduce the delay. Buffers also reduce the crosstalk between neighboring wires. While many conventional methods insert buffers net by net, we have developed new techniques in which buffer locations are simultaneously optimized for all nets. This is to avoid the difficulties in finding the right ordering of nets for buffer insertion, since several nets may compete for a buffer location. We also study buffer insertion with multiple fan-out nets to optimize critical path delay. Elmore delay model is used for delay calculation and the number of buffers for each net is determined to optimize the delay.

Keywords : Buffer Insertion, Delay, Noise

I. 서 론

집적회로 시스템이 고집적화 됨에 따라, 연결선(interconnect)은 회로 전체 성능을 결정하는 중요한 요소가 되었다. 연결선의 문제점들을 개선하기 위하여 버퍼 삽입이나, device sizing, wire sizing들이 이용되어 왔다. 하지만 그 중에서도 버퍼를 삽입하는 방법은 가

장 확실하며 효과적인 방법으로 통용되어 오고 있다^{[1]-[4]}. 기존의 제안된 방법들을 살펴보면, buffer planning graph를 이용하여 shortest path를 찾는 방법으로 버퍼를 삽입하는 방법^[5], fast path algorithm을 사용하여 버퍼를 삽입하는 방법^[6]등 주로 shortest path problem을 이용하여 구하는 방법들과, Elmore delay 모델을 이용하여 feasible region을 구하고 버퍼 삽입하는 방법^[7]과 그 이론을 응용하여 IFR(independent feasible region)을 구하여 버퍼를 삽입하는 방법 등^[8]이 제안되어 왔다. 하지만 앞에서 제시한 방법들은 대부분 각각의 신호선에 대하여 계산을 하는 방법들이므로 process중에 되풀이(iteration)과정이 신호선의 개수만큼 발생되고 그만큼 계산량이 많아진다.

* 정회원, 한양대학교 전자전기제어계측공학부
(Dept. of Electronics Engineering, Hanyang University)

** 정회원, 한양대학교 전자컴퓨터공학부
(Dept. of Electronics Engineering, Hanyang University)

접수일자: 2003년6월10일 수정완료일: 2004년5월31일

집적회로의 고속·고집적화 SoC 추세로 인하여 게이트 단계에서 고려되었던 문제에 비하여, 칩 내 배선의 상호연결(interconnect)에서의 누화 잡음 문제가 중요하게 대두되고 있다. Crosstalk 문제는 VLSI 설계에서 지연시간 문제만큼 중요한 문제이다. Crosstalk는 인접한 두 선 사이에 존재하는 cross-coupling 커패시턴스에 의해서 발생하는 노이즈이다. Coupling capacitance는 노이즈 분석에 있어서 중요한 역할을 한다. DSM 설계에서 신호선에 총 커패시턴스 중 coupling capacitance가 차지하는 비중이 50%를 넘는다^[9].

본 논문에서는 버퍼를 효율적으로 삽입하는 새로운 방법을 제안하였다. 우선, 우리는 신호선들의 지연시간을 분석하고 각 신호선에 필요한 버퍼의 수를 찾는다. 그리고 지연시간 추정을 위해서 Elmore delay 모델링을 사용하였다. 다음으로 우리는 버퍼가 들어갈 수 있는 지역을 정의하고, 이를 이용하여 모든 신호선에 버퍼 위치를 찾게 된다.

본 논문은 본론 I장에서 신호선들의 지연시간을 분석하고, II장에서 crosstalk 노이즈를 위한 버퍼 삽입을 설명한다. 본론 III장에서는 새로운 버퍼 삽입 방법을 제안한다. IV장에서는 multiple fan-out net을 위한 버퍼 삽입 방법을 설명하고, 마지막으로 실험결과와 결론을 기술한다.

II. 본 론

1. 지연시간 계산

신호선이 길어지면 그에 상응하는 신호선의 저항, 커패시턴스 그리고 coupling capacitance가 함께 증가함으로써 노이즈문제를 야기 시킬 뿐만 아니라 지연시간까지도 늘어나서 문제를 일으킨다. 따라서 지연시간문제를 해결 할 수 있는 방법을 제안하고자 한다. [10]에서 제안한 방법은 출력단자(source)에서 첫 번째 터퍼까지의 거리를 x 라 하고, 각각의 버퍼사이의 거리를 y 로 정하여 해석을 하였기 때문에 식이 복잡하고 변수가 많아져 복잡해지기 때문에, 본 논문에서는 모두 같은 거리라고 가정하고 해석하여 식을 간단히 하였다. 우리는 Elmore delay 모델링을 사용하여 신호선들의 지연시간을 계산한다. 실제의 모든 interconnect layer들은 단위 길이 당 저항과 커패시턴스 값이 다르나 간단하게 표현하기 위해 모든 신호선이 똑같은 단위 길이 당 저항, 커패시턴스 값을 갖는다고 가정한다.

표 1. 0.18um 파라미터
Table 1. 0.18um parameter.

R	unit length wire resistance	0.075
C	unit length wire capacitance	0.118
Kb	intrinsic delay for buffer	36.4
Csi/Cb	sink/input capacitance of buffer	23.4
Rso/Rb	source/output resistance of buffer	180

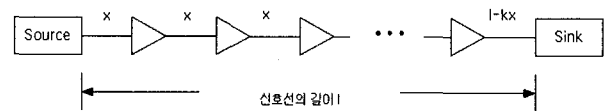


그림 1. 신호선에 k개의 버퍼 삽입
Fig. 1. K buffer insertion on a signal line.

K_v 는 버퍼에서의 지연시간이고 C_b 는 버퍼의 커패시턴스, C_w 는 신호선의 커패시턴스 그리고 R_w 는 신호선의 저항이라고 하자. 본 논문에서 사용한 파라미터 값은 표 1과 같다^[11].

여기서 각 파라미터의 단위는 $R[\Omega/\mu m]$, $C[fF/\mu m]$, $K_b[ps]$, $C_b[fF]$, $R_b[\Omega]$ 이다.

먼저 출력단자(source)에서 다음 입력단자(sink)까지의 총 커패시턴스를 구하면

$$C_{total} = \sum C_b + \sum C_w \tag{1}$$

이고, 버퍼에 관한 지연시간 D_b 는

$$D_b = K_v + R_b C_{total} \tag{2}$$

이고, 신호선에 관한 지연시간 D_w 는

$$D_w = R_w \left(\frac{C_w}{2} + C_{total} \right) \tag{3}$$

이다.

그림 1의 출력단자(Source)에서 다음 입력단자(Sink)까지의 신호선에 지연시간을 최소화시키기 위해 k 개의 버퍼가 삽입된다고 가정한다.

버퍼가 k 개 삽입된다면, 지연시간은 다음과 같다.

$$\begin{aligned}
 D_m = & R_{so}(Cx + C_b) + K_{so} + \frac{1}{2}RCx^2 + Rx C_b \\
 & + (k-1)[R_b(Cx + C_b) + K_b + \frac{1}{2}RCx^2 + Rx C_b] \\
 & + R_b[C(l-kx) + C_{si}] + K_b + \frac{1}{2}RC(l-kx)^2 \\
 & + R(l-kx) C_{si} \quad (4)
 \end{aligned}$$

최소의 지연시간을 위한 x값을 구하기 위하여 x에 관한 미분을 하고 0이 되는 값을 찾으면,

$$x = \frac{l}{k+1} + \frac{C_{si} - C_b}{C(k+1)} + \frac{R_b - R_{so}}{Rk(k+1)} \quad (5)$$

이다. 표 1에서 파라미터 값은 $R_{so} = R_b$, $C_b = C_{si}$ 이므로, 이를 식 (5)에 대입하면 버퍼사이의 거리는 $x = \frac{l}{k+1}$ 가 된다. 이 x를 식 (4)에 대입하면,

$$\begin{aligned}
 D_m = & (k+1)[R_b(C\frac{l}{k+1} + C_b) \\
 & + K_b + \frac{RC l^2}{2(k+1)^2} + \frac{R C_b l}{k+1}] \quad (6)
 \end{aligned}$$

이 된다. Alpert와 Devgan이 제안한 방법^[10]에 의하면 D_0 즉, 버퍼를 삽입하지 않는 경우보다 D_1 , 버퍼를 하나 삽입하는 경우의 지연시간이 적을 경우에만 버퍼삽입의 의미가 있다. 이를 일반화하면 (k-1)개의 버퍼를 삽입하는 것보다 k개의 버퍼를 삽입하는 것이 지연시간이 적고 삽입할 만한 가치가 있다. 즉,

$$\begin{aligned}
 D_m(k-1) & > D_m(k) \\
 D_m(k) - D_m(k-1) & < 0 \quad (7)
 \end{aligned}$$

이고 식 (6)에 대입하여 식을 전개하면,

$$R_b C_b + K_b + \frac{RC l^2}{2(k+1)} - \frac{RC l^2}{2k} < 0 \quad (8)$$

이 된다. 식 (8)을 k 관하여 정리하면,

$$k^2 + k - \frac{RC l^2}{2(R_b C_b + K_b)} < 0 \quad (9)$$

가 된다. 식 (9)는 버퍼의 개수 k에 관한 2차 방정식이다. 이 식을 k에 관하여 풀면, 우리가 찾고자 하는 k값은 식 (10)이 된다. 이때 구한 k값은 지연시간을 최적화

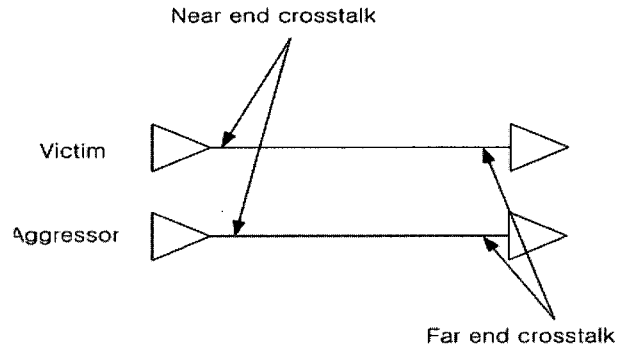


그림 2. 상호연결선 모델링
Fig. 2. Crosstalk modeling.

표 2. Far-end crosstalk
Table 2. Far-end crosstalk.

신호선의 길이(μm)	voltage(v)
500	0.168
600	0.179
700	0.192
1000	0.224
1200	0.242
1500	0.265
2000	0.295
2500	0.317

시켜주는 버퍼의 개수이다.

$$k = \lfloor \frac{-1 + \sqrt{1 + 2 \frac{RC l^2}{R_b C_b + K_b}}}{2} \rfloor \quad (10)$$

2. 버퍼 삽입으로 Crosstalk Noise 개선

일반적으로 coupling capacitance에 의하여 발생하는 누화잡음(Crosstalk)을 줄이기 위하여 신호선 간의 거리를 넓히거나 신호의 변화가 심한 네트를 다른 layer에 배선하거나 한다. 하지만 신호선 간의 거리 혹은, pitch의 제약 때문에 신호선 간의 거리를 넓히는 것은 상당히 제약된다. 따라서 이와 같은 경우에는 버퍼를 삽입하여 누화잡음을 최적화 시켜 주어야 한다. 본 논문에서 필요한 실험은 0.18μm의 공정의 data를 사용하였고^[12], 신호선에 대한 모델링은 RC π 모델을 사용하였다. 버퍼에 대한 트랜지스터 파라미터 값은 [13]에서 제공하는 값을 사용하였다. 실험은 SUN Sparc Ultra 80 워크스테이션에서 star-Hspice를 사용하였다.

그림 2는 두 선의 연결 모델링이고, 표 2는 그림 2의 far-end crosstalk를 정리한 결과이다.

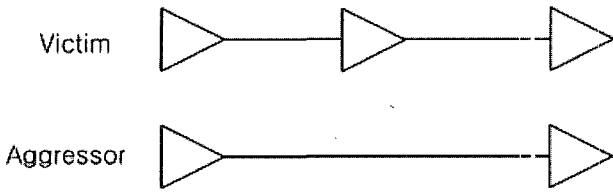


그림 3. 버퍼를 삽입할 경우
Fig. 3. Buffer insertion

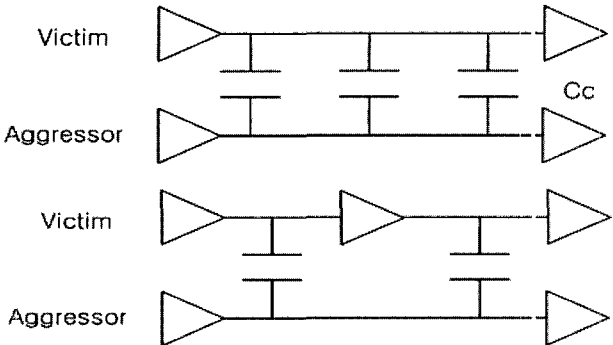


그림 4. 버퍼를 삽입할 경우의 coupling capacitance의 변화
Fig. 4. Capacitance change due to buffer insertion.

표 3. 버퍼를 삽입 할 경우 crosstalk
Table 3. Crosstalk with buffer inserted.

길이(um)	Voltage(v)	
	1 buffer	2 buffers
700	0.087	
1000	0.098	
1200	0.1	
1500	0.11	
2000	0.124	0.071
2500	0.133	0.082

본 연구에서 정한 허용범위는 최소 크기 인버터의 입력과 출력 전압 비의 곡선에서의 기울기가 -1인 지점인 0.18v로 정하였다^[4]. 표 2에서 신호선의 길이에 따른 far-end crosstalk 을 보면, 신호선이 700 μ m이상의 길이에 대한 값들은 허용범위를 벗어나게 된다. 이런 경우 victim line의 사이에 버퍼를 하나 더 삽입하여 누화잡음을 감소시키는 방향으로 진행하였다.

그림 3과 같이 버퍼를 삽입을 할 경우에는 그림 2의 경우보다 신호선의 저항과 커패시턴스, 그리고 coupling capacitance가 줄어들기 때문에 누화잡음도 작아진다.

그림 4에서 보면 알 수 있듯이 victim line 중간에 버퍼를 삽입하여 coupling capacitance의 양을 줄이면 victim line의 far-end crosstalk은 감소된다.

다음의 표 3은 victim line중간에 버퍼를 삽입한 후 far-end crosstalk을 계산한 결과이다. 표 3은 지연시간을 최소로 하는 버퍼 위치인 중간 길이에 버퍼를 삽입

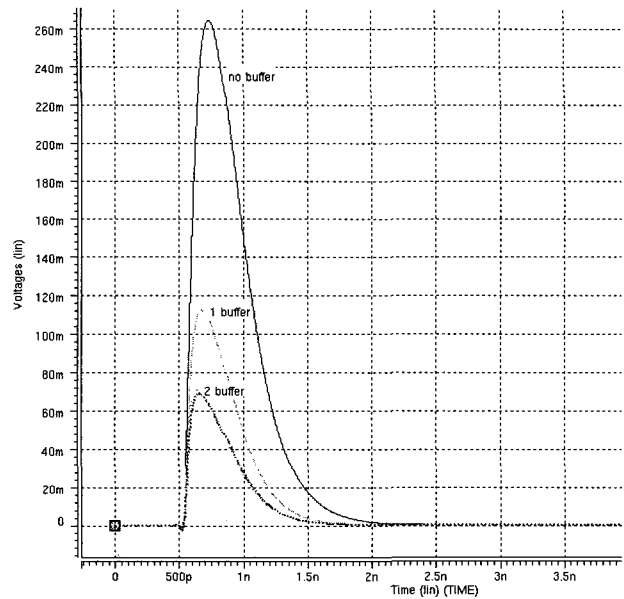


그림 5. Line 1500um일 때 far-end crosstalk
Fig. 5. Far-end crosstalk when line length is 1500um.

을 했을 때, 발생하는 far-end crosstalk을 계산한 것이다.

그림 5는 신호선의 길이가 1500um일 때 버퍼 삽입 전과 버퍼 삽입 후의 far-end crosstalk 노이즈의 Hspice 결과 파형이다. 노이즈는 버퍼를 넣었을 때 점점 줄어드는 것을 볼 수 있다.

표 3을 분석해 보면 500 μ m, 600 μ m일 경우에는 허용범위 안에 들어오므로 버퍼 삽입이 필요 없다. 700 μ m일 경우에는 전압값이 0.192V로 허용범위를 벗어나게 되어 버퍼를 삽입하게 되는데, victim line길이의 반인 350 μ m 지점이 되는 거리에 버퍼를 삽입하여 실험한 결과이다. 길이가 2000 μ m이상 되는 경우에는 최적의 지연시간을 갖는 버퍼 개수가 2개 이상 필요하게 된다. 그림 5는 1500um에서 2개의 버퍼를 삽입했을 때 노이즈 변화를 나타낸다.

3. 버퍼 삽입

지연시간 제약을 만족하기 위해 버퍼를 삽입할 경우 대부분의 경우에 공간적인 제약을 많이 받게 된다. 회로에 n 개의 신호선에 삽입 될 m개의 버퍼가 있을 때, 우리는 우선 버퍼 삽입을 위한 FR(feasible region)들을 정의한다. 이 버퍼 삽입 문제는 FR > m 인 경우, 최대 지연시간을 최소화하는 FR에 m 개의 버퍼를 삽입하는 방법을 제안한다. 우리는 이 문제를 각 버퍼와 FR 사이에서 확률적인 값(force)을 조정하여 최적의 버퍼 위치

(1,1)	(1,2)	(1,3)	(1,4) $\frac{1}{5}$	(1,5)	(1,6)	(1,7)	(1,8) Sink of n_1
(2,1) $\frac{1}{5}$				$\frac{1}{4} + \frac{1}{5}$			
(3,1)	$\frac{1}{4} + \frac{1}{5}$				$\frac{1}{4} + \frac{1}{5}$		
(4,1)		$\frac{1}{3} + \frac{1}{4} + \frac{1}{5}$				$\frac{1}{2} + \frac{1}{4} + \frac{1}{5}$	
(5,1)			$\frac{1}{3} + \frac{1}{4} + \frac{1}{5}$				$\frac{1}{2} + \frac{1}{4} + \frac{1}{5}$
(6,1) Source of n_1				$\frac{1}{3} + \frac{1}{4} + \frac{1}{5}$			

그림 6. 초기 force map
Fig. 6. Initial force map.

를 할당하여 해결한다. 우리는 이 방법을 각 2개의 버퍼를 갖는 3개의 신호선의 예제를 이용해서 설명한다. 예제는 그림 6에 나타난다.

우리는 전달지연시간의 중요 순위에 따라 버퍼를 할당한다. 3개의 신호선은 모두 버퍼 삽입에 같은 중요성을 갖는다. 이를 바탕으로 그림 6과 같이 force map을 만든다. n_1 신호선의 첫 번째 버퍼는 출력단자에서 입력단자까지의 신호선에 지연시간 값이 최소가 되는 거리인 (4,3), (5,4), (6,5) 위치 중에 한곳에 위치 될 수 있다고 가정한다. 그리고 첫 번째 버퍼가 위치 할 수 있는 지역이 3곳이므로, 이 세 지역의 force를 $\frac{1}{3}$ 로 할당한다. 같은 방법으로 n_1 의 두 번째 버퍼 위치 후보는 (4,7), (5,8)이며 각각 $\frac{1}{2}$ 의 force 값을 갖게 된다. 같은 방법으로 n_2 와 n_3 의 신호선에 force를 할당한다. 각 신호선에 force를 할당한 결과는 그림 6에 있다.

가장 큰 total force를 갖는 위치는 각 신호선들의 버퍼 삽입이 가장 필요한 위치이다. 예를 들어, (5,4) 위치에 경우 3개의 이 버퍼 삽입을 위해 사용될 가능성이 가장 높은 위치이다. 우리는 이들 total force를 조정하여 버퍼를 할당하게 된다. 그리고 total force의 값이 같은 지역이 하나 이상 있을 경우는 임의의 위치를 선택하게 된다. 예제에서는 (5,8) 위치가 가장 큰 total force를 갖고 3개의 신호선 중 n_1 의 신호선이 가장 큰 force 값인 $\frac{1}{2}$ 을 갖게 된다. 그러므로 (5,8) 위치에 n_1 신호선의 두 번째 버퍼를 할당한다. (5,8)에 n_1 신호선을 위한 두 번째 버퍼를 삽입 한 후 각 force는 이미 버퍼를 삽입 한 위치를 제외하여 재조정한다.

즉, n_2 와 n_3 신호선은 두 번째 버퍼 위치 force가 $\frac{1}{3}$ 과 $\frac{1}{4}$ 로 변하게 된다. n_1 신호선의 첫 번째 버퍼

(1,1)	(1,2)	(1,3)	(1,4) $\frac{1}{4}$	(1,5)	(1,6)	(1,7)	(1,8) Sink of n_1
(2,1) $\frac{1}{5}$				$\frac{1}{3} + \frac{1}{4}$			
(3,1)	$\frac{1}{4} + \frac{1}{5}$				$\frac{1}{3} + \frac{1}{4}$		
(4,1)		$\frac{1}{4} + \frac{1}{5}$				$\frac{1}{3} + \frac{1}{4}$	
(5,1)			$\frac{1}{2} + \frac{1}{4} + \frac{1}{5}$				1(n_1)
(6,1) Source of n_1				$\frac{1}{2} + \frac{1}{4} + \frac{1}{5}$			

그림 7. n_1 신호선 두 번째 버퍼 삽입 후

Fig. 7. After buffer insertion on n_1 signal line.

위치는 n_1 의 두 번째 위치가 결정 된 상태에서 초기에 얻은 위치 (4,3), (5,4), (6,5) 중에 path의 우회를 갖지 않은 (5,4), (6,5) 두 위치 중 한 곳에 위치하게 된다. 위와 같은 과정을 반복하여 n_2 와 n_3 신호선에 버퍼를 삽입하게 된다. n_1 신호선에 버퍼 삽입 후의 결과는 그림 7에 나타난다.

가. 버퍼 삽입을 위한 알고리즘은 다음과 같다.

1. Find the nets N_b , for which buffers are to be inserted.
2. Compute the number of buffers for each net in N_b .
3. Determine available regions for buffer insertion.
4. Assign forces for each buffer to feasible regions for unprocessed most critical nets such that the total forces assigned for a buffer become 1.
5. Find sum of all forces assigned for each feasible buffer region.
6. Buffer assignment
 - a. To the region with the highest total force, assign buffer with the highest force.
 - b. Update forces after the assignment.
 - c. If forces can not be distributed for the given buffer locations, find a nearby available buffer region, if there exists one. Otherwise, exit with failure.
 - d. Go to step4, and repeat the iteration, until all nets are processed.

5. Multiple Fan-out Nets를 위한 버퍼 삽입

기존의 많은 연구가 하나의 fan-out을 갖는 신호를 최적화 하지만^{[1]-[4]}, 실제 회로에서는 하나의 출력단자(Source)에서 여러 개의 fan-out이 연결된 신호선이 많

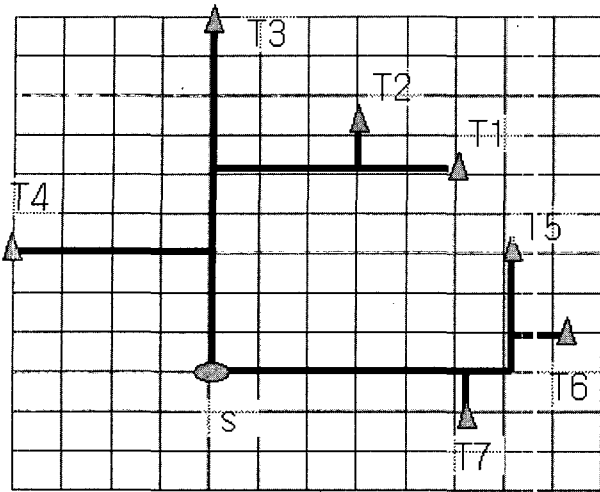


그림 8. 7개의 fan-out을 갖은 net
Fig. 8. A net with 7 fan-outs.

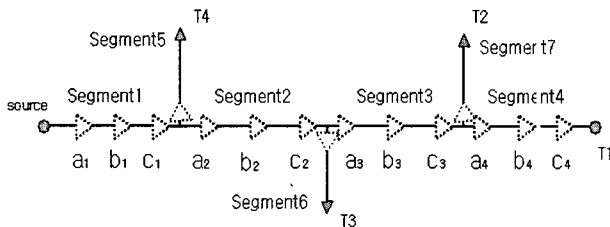
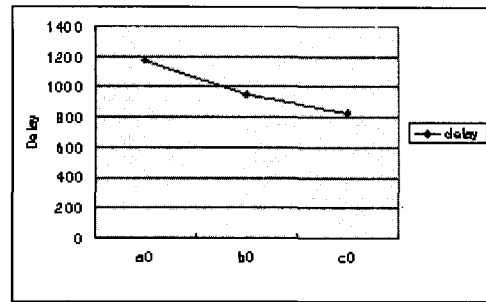


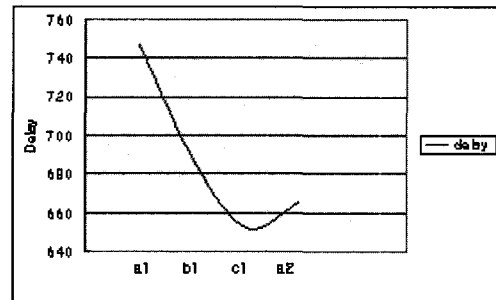
그림 9. Critical path에 Source부터 T1까지의 버퍼 삽입 후보지
Fig. 9. A proposed site about buffer insertion from source to T1 on critical path.

다. 이들 fan-out의 delay는 net 길이의 제곱에 비례 할 뿐만 아니라 critical path에서 분기되는 branch에도 아주 큰 영향을 받는다. Delay 문제를 해결하기 위한 버퍼 삽입이 critical path 뿐만 아니라 critical path에서 분기되는 branch에도 될 수 있기 때문에 버퍼 삽입 과정이 더욱 복잡해진다. 설계 과정에서 우리는 critical path delay에 허용 범위를 정하고, 그 허용 범위 안에 critical path delay가 들어오게 하기 위해 버퍼를 삽입한다. Path에 버퍼를 삽입 할 때, path의 branch는 지연 시간에 큰 영향을 주기 때문에 critical path 상에 버퍼를 삽입 할 때와 branch에 버퍼를 삽입 할 때의 지연 시간 감소 효율을 비교하여 더 효율적인 버퍼 위치를 결정하고, critical path delay가 미리 정한 허용 범위 안에 들어오게 하는데 필요한 최적의 버퍼 수를 결정하여야 한다.

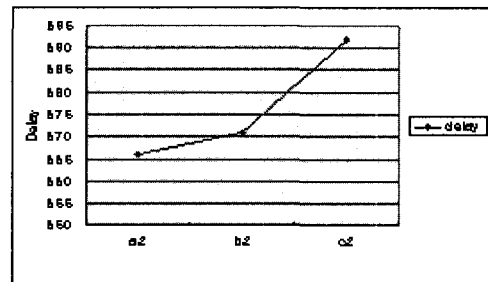
우리는 source(S)와 7개의 입력단자(T1, T2, ..., T7)를 갖은 그림 8의 예제를 이용하여 multiple fan-out에 버퍼를 삽입하는 방법을 설명한다. 예제에서 fan-out이 T1에서 T7까지 있고 critical path는 출력단자에서 T1



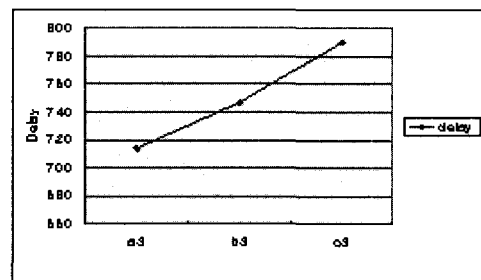
(a) Segment1 buffer place



(b) Segment2 buffer place



(c) Segment3 buffer place



(d) Segment4 buffer place

그림 10. 후보지역에 버퍼 삽입 후 지연시간 변화
Fig. 10. Delay changes after buffer insertion.

까지의 path이다. Source에서 sink T1까지의 critical path는 0.18um 공정^[12]를 사용하여 H-spice로 구하면 908ps의 지연시간을 갖는다. 허용 지연시간은 600ps로 가정한다. Source에서 T1까지의 path는 허용 지연시간 600ps보다 크므로 버퍼를 삽입하여 critical path delay

을 허용 범위 안에 들어오게 해야 한다.

최적의 버퍼위치를 정하기 위해 segment1부터 segment4까지의 critical path 상에 segment들은 각 세 지점(a_i, b_i, c_i)의 버퍼를 삽입 할 후보 지역을 갖게 된다. 예로써 그림9에서, segment4은 세 지점(a_4, b_4, c_4)의 후보지를 갖게 된다. b_4 은 segment 4의 중간지점이고, a_4 (c_4)은 source로부터 가장 가까운(먼) 지점이다. 그리고 segment 5에서 segment 7까지의 branch path들은 critical path에서 바로 분기되는 부분의 한 곳에 버퍼 삽입 후보 지점을 갖게 된다.

Segment1에서는 후보지에 버퍼 삽입을 source쪽에서 sink쪽으로 옮겨 갈수록 그림 10(a)과 같이 지연시간이 단조 감소를 하고, segment3과 segment4에서는 source 쪽에서 sink쪽으로 버퍼 삽입을 했을 때 그림 10(c),(d)와 같이 지연시간은 단조 증가한다. 그림 10(b)에서 보이는 것처럼 segment2에 버퍼를 삽입했을 때 최소 지연시간(652ps)을 갖는다. Segment5,6,7에 버퍼를 삽입한 지연시간 결과는 699ps, 657ps 그리고 762ps이다. 이를 비교해 보면, segment2에서 최소의 지연시간을 갖는다.

Segment2에서의 지연시간은 그림 10(b)과 식 (11)으로 나타낸 것처럼 2차 곡선으로 근사화 하였다.

$$A x^2 + Bx + C = f(x) \tag{11}$$

식 (11)에 그림 10(b)의 a_1, b_1, c_1 값을 대입하여 계수(A, B, C)를 결정하고 2차식의 최소값을 계산할 수 있다. 이 값이 최소 지연시간을 갖는 버퍼 위치이다. 이 위치와 branch에 버퍼를 삽입 할 때의 지연시간 감소량을 비교하여 감소가 큰 쪽에 버퍼를 삽입한다.

첫 번째 버퍼 삽입으로 지연시간이 허용 범위 안에 있지 않으면 두 번째 버퍼 삽입을 하게 된다. 첫 번째 버퍼 위치인 segment3을 제외한 나머지 segment에 대해서 첫 번째 버퍼 삽입 방법을 반복하여 critical path delay가 최소가 되는 segment를 결정한다. 그러나 두 번째 버퍼 위치가 결정된 후에도 첫 번째 버퍼 위치는 최적의 위치가 아닐 수 있다. 따라서 첫 번째 버퍼 위치를 다시 최적화시킨다. 이와 같은 위치 조정을 반복하면 critical path delay가 더 이상 줄지 않은 segment들이 결정된다.

결정된 두개의 버퍼 위치는 그림 11과 같이 segment 2와 segment3에 위치한다. 이 예제에서 segment 2의

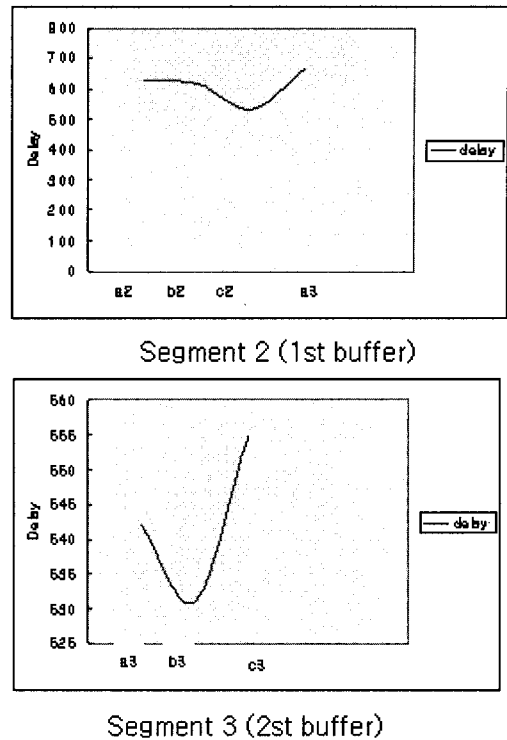


그림 11. 후보지역에 두 개의 버퍼를 삽입
Fig. 11. 2 buffer inserted a proposed site.

값(a_2, b_2, c_2)과 segment3의 값(a_3, b_3, c_3)을 식 (12)에 대입하여 각 버퍼의 최소 지연시간을 갖는 위치를 2차 곡선으로 근사화하여 2차식의 최소값인 최적의 위치를 결정한다. 그림 11에서는 최적의 지연시간을 갖는 segment2,3의 버퍼위치를 나타낸다.

Multiple fan-out net에 k개의 버퍼를 삽입하여 지연시간이 허용 범위 안에 들어오지 않을 경우, 버퍼 하나를 더 추가하여 (k+1)개의 버퍼를 삽입하게 된다.

추가되어야 할 하나의 버퍼는 critical path 상에 삽입되거나, branch에 삽입된다. 추가된 하나의 버퍼가 critical path상에 삽입 된다면, 미리 삽입된 k개의 버퍼 위치를 다시 설정해야 한다. (k+1)개의 버퍼의 위치를 설정하기 위해서 multiple fan-out net의 커패시턴스를 균일하게 (k+2)등분으로 나눈 위치를 찾는다. 이와 같이 (k+2)등분으로 나뉜 net의 segment들 중에서 (k+1)개의 버퍼를 삽입해야 할 segment들을 결정한다. 이렇게 결정된 각 segment에는 버퍼를 삽입하기 위한 후보 위치(a_i, b_i, c_i)에 가능한 버퍼 삽입과정을 반복(iteration)으로 최적의 버퍼위치가 결정되고, (k+1)개의 버퍼 위치가 그림 11과 같은 (k+1)개의 2차 곡선으로 근사화한다.

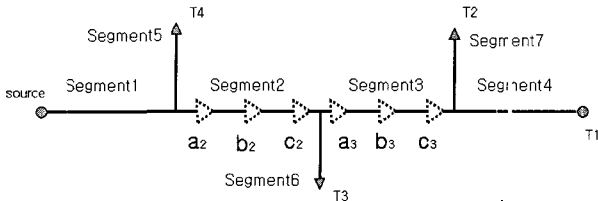


그림 12. Critical path의 커패시턴스를 3등분 했을 때, Source부터 T1까지의 buffer 삽입 후보지
 Fig. 12. A proposed site about buffer insertion when separate critical path into 3 parts.

이를 그림 8의 예제에 적용하면 그림 12와 같이 나타낼 수 있다. 예제에서는 하나의 버퍼 삽입으로 지연시간이 허용범위 안에 있지 않으므로, 일반적인 (k+1)의 버퍼 삽입 중에 k=1인 두 개의 버퍼를 삽입하게 된다. 두개의 버퍼가 삽입 가능한 위치를 찾기 위해 critical path net의 커패시턴스를 3등분하면 segment 2와 segment 3에 가능한 버퍼 삽입 위치를 선정할 수 있다. 선정된 segment 2와 segment 3의 후보 위치 (a₂, b₂, c₂)와 (a₃, b₃, c₃)에 두 버퍼를 삽입과정을 반복하면 그림 11과 같은 2차 곡선을 근사화할 수 있고, 최소 지연시간을 갖는 버퍼 위치도 찾을 수 있다.

추가된 하나의 버퍼가 branch에 삽입된다면, 총 (k+1)의 버퍼 중 추가된 하나의 버퍼가 branch부분에 삽입된다. 추가로 삽입된 하나의 버퍼는 버퍼가 삽입된 branch 부분의 커패시턴스를 차폐하여 critical path net의 총 커패시턴스에서 branch 부분의 커패시턴스 부분을 제외시킨다. Branch에 추가된 하나의 버퍼를 제외한 나머지 k개의 버퍼는 위의 critical path 상에 버퍼를 삽입하는 방법으로 지연시간이 최적이 되는 위치를 결정한다.

III. 실험 결과

버퍼의 효과를 실험하기 위하여 0.18um공정을 이용하였다^[12].

신호선의 지연시간 모델은 RC π 모델을 사용하였다. 버퍼에 대한 트랜지스터 파라미터 값은 [13]에서 제공하는 값을 사용하였다. 실험은 SUN Sparc Ultra 80 워크스테이션에서 star-Hspice를 사용하여 수행하였다.

표 4에서는 버퍼 삽입으로 노이즈 감소를 나타낸다. 본 실험에서 정한 허용범위는 최소 크기 인버터의 입력과 출력 전압 비의 곡선에서의 기울기가 -1인 지점인

표 4. 지연시간의 허용 범위를 정했을 때 필요한 버퍼 수
 Table 4. Necessary number of buffers to meet delay bound.

지연시간의 허용범위	650ps	700ps
필요한 버퍼 수	99	49

표 5. 버퍼 삽입으로 인한 crosstalk 노이즈 감소
 Table 5. Crosstalk noise reduction due to buffer insertion.

Length (um)	Voltage(v)			
	0 buffer	1 buffer	2 buffers	3 buffers
700	0.192	0.087		
1000	0.224	0.098		
1200	0.242	0.1		
1500	0.265	0.11		
2000	0.295	0.124	0.07	
2500	0.317	0.113	0.082	
3000	0.336	0.14	0.086	0.065

표 6. 버퍼 삽입 후 지연시간 감소
 Table 6. Delay reduction after buffer insertion.

	Max. delay(ps)	버퍼 수	지연시간 개선율(%)
버퍼 삽입 전	1090	0	0
버퍼 삽입 후	640	188	41

0.18v로 잡았다[14]. 표 4를 보면, crosstalk 노이즈는 버퍼 삽입으로 충분히 줄어드는 것을 볼 수 있다. 예를 들어, 신호선의 길이가 3000um의 노이즈는 0.336V에서 버퍼 삽입 후 0.065V로 줄어 80.6%의 노이즈 개선을 할 수 있었다.

표 5는 예제 회로에서 critical nets에 버퍼들을 삽입하면 지연시간이 감소됨을 보여준다. 실험에서 사용된 예제는 11개의 module과 83 개의 nets를 갖는 예제이다. 이를 4-1장의 알고리즘에 적용하여 버퍼를 삽입했을 때, 예제 회로에 188개의 버퍼를 삽입하였을 때 최대지연시간이 1090ps에서 640ps까지 줄어들었다.

표 6은 회로의 최대지연시간의 허용 범위를 주었을 때 버퍼 수를 비교한 것이다. 예를 들어, 허용된 최대 지연시간이 700ps이면 49개의 버퍼가 필요하게 된다.

표 7은 multiple fan-out net에 버퍼 삽입 결과를 보인다. 이 실험은 critical path의 허용된 최대지연시간을 600ps로 정하고 수행한 결과이다. C4의 경우, 원래의 critical path의 지연시간은 1099ps이고, 7개의 fan-out(sink)중 5개의 sink가 허용 범위를 넘는 예제이다. 이 예제C4에서는 critical path delay를 허용 지연시간

표 7. 버퍼 삽입 결과

Table 7. Results of buffer insertion.

	원래의 critical path delay(ps)	Sink 수	허용 지연시간을 넘은 sink 수	삽입 된 버퍼 수	버퍼 삽입 후 지연시간(ps)
C1	668	7	2	1	543
C2	908	7	3	2	536
C3	890	9	5	4	586
C4	1099	7	5	4	596

내에 들어오도록 하기 위해서는 4개의 버퍼가 필요하였다.

IV. 결 론

본 논문에서는 crosstalk 노이즈와 지연시간을 줄이기 위한 효율적 버퍼 삽입 방법에 대해 제안하였다. 이 방법을 통해 빠른 시간 안에 최적의 버퍼 개수와 버퍼 삽입 위치를 정할 수 있으며 특히, 여러 개의 critical net의 지연시간을 최적화 하기위한 버퍼 위치를 동시에 고려할 수 있다. 기존의 연구가 하나의 fan-out을 고려한데 비하여 본 연구에서는 multiple fan-out net에 대해 효율적인 버퍼 삽입방법을 개발하였다. 실험 결과는 버퍼 삽입으로 지연시간과 노이즈를 효과적으로 줄일 수 있음을 보여 준다.

참 고 문 헌

[1] L. P. P. van Ginneken, "Buffer placement in distributed RC-tree net works for minimal Elmore delay," in Proc, IEEE Int. Symp. Circuits and Systems, May 1990, pp. 865-868

[2] J. Lillis, C. K. Cheng, and T. T. Y. Lin, "Optimal wire sizing and buffer insertion for low power and a generalize delay model," in Proc. Int. Conf. Computer-Aided Design, Nov. 1995 , pp. 138-143

[3] T. Okamoto and J. Cong, "Interconnect layout optimization by simultaneous Steiner tree construction and buffer insertion."in Proc. ACM/SIGDA Physical Design Workshop, Apr. 1996, pp. 1-6

[4] C. C. N. Chu and D. F. Wong, "Closed form solution to simultaneous buffer insertion/sizing and wire sizing,"in Proc. Int. Symp. Physical Design, Apr. 1997, pp. 192-197

[5] L. Huang, M. Lai, D. F. Wong, Y. Gao, "Maze routing with Buffer Insertion Under Transition Time Constraints", Proceedings of the 2002 Design, Automation and Test in Europe Conference and Exhibition, pp. 702-707

[6] H. Zhou, D. F. Wong, I. Liu, and A. Aziz, "Simultaneous Routing and Buffer Insertion with Restrictions on Buffer Locations," IEEE transaction on computer aided design of integrated circuits and systems, vol. 19, NO. 7, July 2000. pp. 819-824

[7] J. Cong, and Z. pan, "Buffer Block Planning for Interconnect Planning and Prediction," IEEE transaction on very large scale integration (VLSI) systems, vol. 9, NO. 6, December 2001, pp. 929-937

[8] P. Sarkar and C. koh "Routability-Driven Repeater Block Planning for Interconnect-Centric Floorplanning". IEEE Transaction on Computer-aided Design of Integrated Circuits and Systems, vol. 20, NO.5, May 2001

[9] Dubey, S. and Jorgenson, J, "Crosstalk Reduction Using Buffer Insertion", Electromagnetic Compatibility, 2002 IEEE International Symposium on , Volume: 2 , 2002 pp. 639-642

[10] C. Alpert and A. Devgan "Wire Segmenting for Improved Buffer Insertion", Design Automation Conference, 1997. Proceedings of the 34th pp. 588-593

[11] Semiconductor Industry Association, National Technology Roadmap for Semiconductors. San Jose, CA : SIA, 1997

[12] <http://www-device.eecs.berkeley.edu/~ptm/interconnect.html>

[13] <http://www-device.eecs.berkeley.edu/~ptm/mosfet.html>

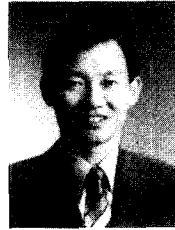
[14] Wayne Wolf, Modern VLSI Design, Prentice-Hall, 1998, pp. 119-121

— 저 자 소 개 —



유 만 성(정회원)
 2002년 한양대학교 전자컴퓨터
 공학부 학사.
 2004년 한양대학교 전자전기 제어
 계측공학과 석사.
 2004년~현재 LG전자 디지털
 미디어 연구소 연구원.

<주관심분야: CAD&VLSI, 반도체>



신 현 철(정회원)
 1978년 서울대학교 전자공학과
 학사.
 1980년 한국과학기술원 전기 및
 전자공학 석사.
 1983년~1987년 U.C. Berkeley
 Ph.D

1983년~1987년 Fulbright scholarship
 1987년~1989년 MTS, AT&T Bell Lab's,
 Murray Hill N.J., USA

1989년~현재 한양대학교 교수
 1997년~현재 IDEC 한양대학교 지역센터 센터장
 <주관심분야: CAD&VLSI, 통신용 반도체 설계,
 저전력설계>