

논문 2004-41SD-6-11

범용 회로 시뮬레이터를 위한 손실을 반영한 PCB 평판 모형 (PCB Plane Model Including Frequency-Dependent Losses for Generic Circuit Simulators)

백종흠*, 정용진*, 김석윤**

(Jonghumn Baek, Yongjin Jeong, and Seokyeon Kim)

요약

본 논문은 일반적인 SPICE 시뮬레이터에서 사용 가능한 PCB 평판 해석 모형을 제안한다. 제안된 모형은 주파수에 따라 증가하는 두 가지 손실, 즉, 표피 손실과 유전 손실의 영향을 반영한다. 평판은 메시(mesh) 구조로 조각을 낸 후, 각각의 단위 모형은 전송선 소자와 손실 모형을 이용하여 모형화된다. 손실 모형은 DC 손실을 위해서 하나의 저항이 요구되고, 표피 손실을 위해 직렬 RL ladder 회로, 유전 손실을 위해서 직렬 RC ladder 회로가 요구된다. 제안된 모형의 검증을 위해 주파수 가변 저항을 사용한 SPICE ac 해석결과를 통해 비교하고, 전형적인 데스크탑 PC용 FR4 4층 PCB 적층 구조를 만들어 VNA 측정치와도 비교할 것이다. 이 모형은 RLGC 수동 소자들만으로 구성되므로 주파수 영역 및 시간 영역에서도 다양한 선형/비선형 소자들과 결합하여 과도 해석이 가능하다.

Abstract

This paper proposes a PCB plane model for generic SPICE circuit simulators. The proposed model reflects two frequency-dependent losses, namely skin and dielectric losses. After power/ground plane pair is divided into arrays of unit-cells, each unit-cell is modeled using a transmission line and two loss models. The loss model is composed of a resistor for DC loss, series RL ladder circuit for skin loss and series RC ladder circuit for dielectric loss. To verify the validity of the proposed model, it is compared with SPICE ac analysis using frequency-dependent resistors. Also, we show that the estimation results using the proposed model have a good correlation with that of VNA measurement for the typical PCB stack-up structure of general desktop PCs. With the proposed model, not only ac analysis but also transient analysis can be easily done for circuits including various non-linear/linear devices since the model consists of passive elements only.

Keywords : PCB plane modeling, SPICE simulation, skin effect, dielectric effect, ac los

I. 서론

현재 고속 디지털 시스템 설계에서 떠오르는 심각한 문제 중의 하나는 각각의 IC에 전력을 안정적으로 공급할 수 있는 전력 배분망을 설계하는 것이다. 주파수 증가로 인한 클럭 신호의 천이 시간 감소와 공급 전압의 감소 경향은 IC 내부에서 순간적으로 요구하는 과도 전

류로 인해 발생하는 잡음을 더욱 악화시켰고, 이러한 잡음은 신호의 왜곡과 전자기파 방사 문제를 자주 야기시키므로 많은 설계자들의 관심 대상이 되어왔다. 설계자들은 시스템의 한계 영역 주파수 내에서 전력 배분망의 임피던스를 낮추기 위해 많은 노력을 기울였고, 그 결과 적절한 양의 커패시터와 평판(plane)을 이용하는 방식을 고안하였으며 이러한 방식은 전력 배분망을 설계하는 일반적인 방법이 되었다. 평판 이용 방식은 임피던스를 낮추는 장점 이외에 EMI 방사 및 열전도 측면등에서도 다양한 효과를 가지고 있으나, 전력 배분망 설계 시 임의의 모양을 가진 평판의 전기적 특성을 정확하게 예측하기가 쉽지는 않다. [1]에 따르면 대략

* 정희원, 광운대학교 해동 ITS 기술센터
(Haedong ITS Tech. Center, Kwangwoon University)

** 정희원, 숭실대학교 컴퓨터학부
(Department of computer, Soongsil University)
접수일자: 2004년2월5일, 수정완료일: 2004년5월28일

100MHz 이상에서 평판은 전력 배분망에 상당한 영향을 미치기 시작하며, [2]에서는 평판 간격이 가까울수록 디커플링 커패시터의 영향보다 평판의 영향이 점점 증가함을 보이고 있다. 결국, 시스템의 고속/고집적화 경향은 전력 배분망에서 평판에 대한 해석 요구를 증가시켰고, 그에 관한 많은 연구가 이루어졌다. 평판에 대한 여러 가지 해석 방법들의 소개, 최근 연구에 대한 장단점 및 고려해야 할 사항에 대해서는 [3]의 서론에 잘 언급되어 있다.

여러 가지 해석 방법 중에서 SPICE를 이용하여 해석하는 방법을 살펴보면, 해석이 이루어지는 영역에 따라 주파수영역과 시간 영역으로 나눌 수 있는데, 평판의 손실 특성을 반영하기 위한 주파수 영역의 SPICE 모형은 잘 정립되어 있다^[4]. 그러나, 과도 응답(Transient response)을 보기 위해서 일반적인 SPICE 시뮬레이터에서 사용 가능한 회로 모형은 존재하지 않는다. 따라서, 본 논문에서는 비록 복잡도는 증가할지라도 여러 가지 선형/비선형 회로들과 결합될 수 있고, 일반적인 SPICE 시뮬레이터에서 사용 가능한 시간 영역의 평판 모형을 제안하고, 범용 FR4 PCB 구조에 적용한 실험결과를 보이고자 한다. 제안한 평판 모형은 표피 손실을 반영하기 위해 직렬 RL 회로를 이용하였으며, 유전 손실 모형을 위해서는 직렬 RC 회로의 특성을 이용하였다.

본 논문은 서론을 제외하고 세 개의 절로 구성되어 있다. II 절에서는 두개의 소절로 나누어 표피 손실 및 유전 손실 모형의 유도 과정에 대하여 설명한다. 먼저, II.1 절에서는 기존의 연구 결과를 분석한 후 모형의 차수를 최소한으로 유지하면서 표피 손실 효과를 반영하는 모형을 설명한다. II.2 절에서는 두 개의 직렬 RC 회로를 이용하여 간단한 유전 손실 모형을 합성하는 과정을 보인다. III 절에서는 앞에서 유도한 모형을 범용 데스크탑 PC의 FR4 4층 PCB 구조에 적용한 SPICE 시뮬레이션 및 측정 결과를 보이며, IV 절에서는 결론을 맺는다.

II. 평판의 손실을 반영한 전력 배분망 모형

메쉬 구조로 모형화되는 전력 배분망의 주파수 영역 평판 모형은 그림 1과 같이 DC 손실과 ac 손실로 나눌 수 있다^[4]. 서론에서 언급하였듯이 각주파수, 에 따라 변화되는 평판의 ac 손실은 두 가지로 분류되고, 일반적으로 아래 식들처럼 간략하게 표현할 수 있다. 먼

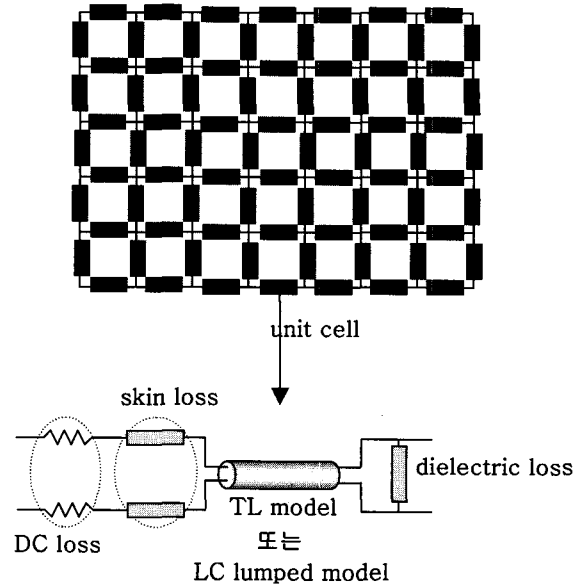


그림 1. 손실을 고려한 Power/ground의 평판 모형
Fig. 1. Lossy model for power/ground plane pair.

저, 도체의 표피 효과로 인해 발생하는 손실은

$$R_s = R_{ac} \sqrt{\omega} \quad (1)$$

로 표현할 수 있고, 여기서, R_{ac} 는 도체의 전도율 (conductivity)과 진공 상태의 투자율(permeability) 값을 이용하여 구할 수 있다. 또한, 유전체로 인해 발생하는 손실은

$$G_d = G_{ac} \omega \quad (2)$$

로 나타낼 수 있고, 여기서, G_{ac} 는 유전체의 손실 계수(loss tangent) 값과 평판의 기하구조에 따른 커패시턴스 값을 이용하여 얻을 수 있다. 뿐만 아니라, 그림 2.1의 단위 모형(unit cell)에 사용되는 모든 등가 회로 성분들은 쉽게 유도되고, 전송선(Transmission Line TL) 모형 부분은 LC 집중 소자로도 모형화 가능하다^[4]. 그러나, 이렇게 주파수 가변적인 저항을 사용한 모형은 시간영역에서 직접 사용할 수는 없다. 따라서, 본 논문에서는 적절한 RL 직렬 회로와 RC 직렬 회로를 이용하여 시간 영역에서도 사용 가능한 모형을 구현하고자 한다.

1. 표피 손실을 위한 모형화

표피 효과로 인해 발생하는 손실은 직렬 RL 회로들의 병렬화로 구현 가능하다는 것은 [5]에 잘 나타나 있고, 그 모형은 그림 2와 같다. 그림 2의 RL 사다리 회로의 차수(branch 수)가 결정되면, 회로 내의 저항과 인

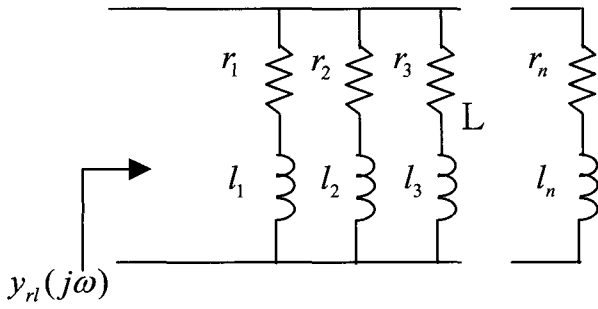


그림 2. 직렬RL n차 사다리 회로
Fig. 2. n-order series R-L ladder circuit.

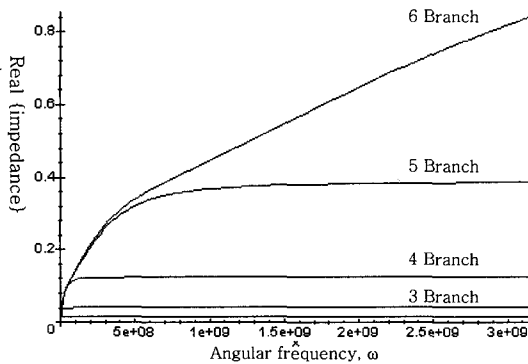


그림 3. 참고문헌 [5]의 표 1을 적용한 회로의 주파수 응답
Fig. 3. Frequency response of circuit synthesized with Table 1 in ref. [5]

덕턴스 값들은 식 (3)의 관계를 만족해야 하므로, 이 모형을 사용하기 위해서는 적절한 비례상수, x, 초기 저항 r₁ 및 인덕턴스 l₁ 값을 결정해야 한다

$$\frac{r_{i+1}}{r_i} = \frac{l_i}{l_{i+1}} = x \quad (i=1, 2, L, n) \tag{3}$$

먼저 초기값들을 계산하기 위해 n차 RL 사다리 회로의 어드미턴스, y_{rl}를 표현하면 식 (4)와 같다.

$$y_{rl}(j\omega) = \sum_{i=1}^n g_{rl}^i(\omega) + j \sum_{i=1}^n s_{rl}^i(\omega) \\ = \sum_{i=1}^n \frac{\gamma_i}{(\omega^2 + \gamma_i^2)l_i} - j \sum_{i=1}^n \frac{\omega}{(\omega^2 + \gamma_i^2)l_i} \\ \gamma_i = \frac{r_i}{l_i} = \frac{r_1}{l_1} x^{2(i-1)} \tag{4}$$

DC 상태에서 식 (4)는 직류 성분에서의 저항, R_{dc}와 일치하므로, r₁은

$$r_1 = R_{dc} \frac{1-x^{-n}}{1-x^{-1}} \tag{5}$$

표 1. 표피 손실 모형을 위한 초기 branch
Table 1. Parameters for the initial branch of skin-loss model.

Branch 수	r ₁	l ₁
2	1.31622R _{dc}	1.6793L _{int}
3	1.41622R _{dc}	1.9423L _{int}
4	1.4478R _{dc}	2.0300L _{int}
5	1.4478R _{dc}	2.0440L _{int}
6	1.4478R _{dc}	2.04848L _{int}

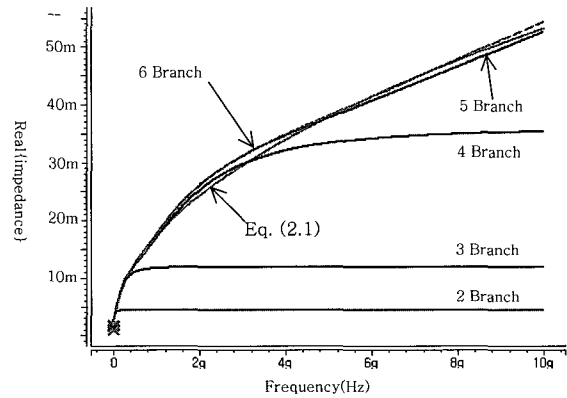


그림 4. 표 1을 이용해 합성된 회로와 식 (1)과의 비교
Fig. 4. Comparison between circuit synthesized with Table 1 and eq. (1)

이 되고, l₁은 낮은 주파수에서의 위상값을 이용한 식 (2.6)의 해로부터 얻어진다.

$$\sum_{i=1}^n g_{rl}^i = \frac{R_{dc}}{L_{int}} \sum_{i=1}^n s_{rl}^i \tag{6}$$

식 (5)의 R_{dc}는 평판의 기하 구조를 이용하여 쉽게 유도되고, 낮은 주파수에서의 인덕턴스 (L_{int})는 3D field solver나 curve fitting을 통하여 얻을 수 있다. [5]에서는 원형 도체를 위한 L_{int} 값으로 50nH/m를 사용하였고, 그 결과를 그림 3에 나타내었다. 그림 3에서 보듯이 RL 사다리 회로모형의 차수가 증가할수록 사용 가능한 한계 영역 주파수가 증가함을 볼 수 있고, 한계 영역 주파수 내에서는 식 (1)과 같은 비선형 특성을 잘 반영하고 있음을 알 수 있다. 표 1은 III장에서 사용될 단위 모형에서 요구되는 초기 값들을 정리한 것이고, 이 표를 적용하여 합성된 회로와 식 (1)의 임피던스를 비교한 것이 그림 4이다. 그림 4에서 보듯이 n이 4보다 큰 경우에는 1GHz 범위 내에서 식 (1)과 거의 유사한 특성 보임을 알 수 있다.

2 유전체 손실을 위한 모형화

유전체 손실을 위한 시간 영역 모형을 구하기 위해

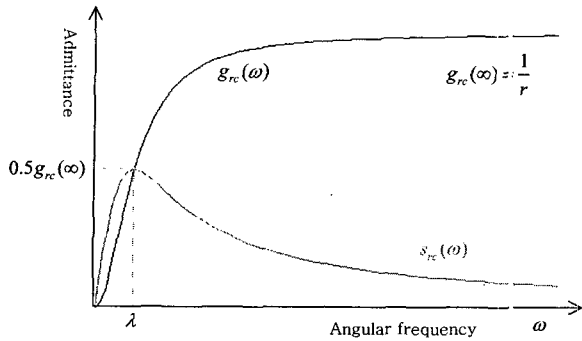


그림 5. RC 직렬회로의 주파수 특성
Fig. 5. Frequency response of series RC circuit.

먼저 하나의 RC 직렬 회로의 주파수 특성을 파악하면 아래의 그림 5와 같고, n 개를 병렬 연결한 회로의 어드미턴스는

$$y(j\omega) = \sum_{i=1}^n g_{rc}^i(\omega) + j \sum_{i=1}^n s_{rc}^i(\omega) \quad (7)$$

로 표현된다^[6]

여기서, 식(7)에 보이는 하나의 직렬 RC 회로에 대한 conductance와 susceptance는

$$g_{rc}^i(\omega) = \frac{\omega^2}{r_i(\omega^2 + \lambda_i^2)}$$

$$s_{rc}^i(\omega) = \frac{\omega\lambda_i}{r_i(\omega^2 + \lambda_i^2)}$$

$$\lambda_i = \frac{1}{r_i c_i} \quad (8)$$

이 되고, 각각의 주파수 특성이 그림 5에 나타나있다. 각주파수, $\omega < \lambda_i$ 인 구간에서의 회로 특성을 이용하여 식 (2)를 그림 6의 (b)와 같이 합성하고자 한다. 그림 6에서 근사화 된 회로의 conductance를 다시 표현하면

$$g_a(\omega) = \frac{\omega^2}{r_1(\omega^2 + \lambda_1^2)} + \frac{\omega^2}{r_2(\omega^2 + \lambda_2^2)}$$

$$\lambda_1 = \frac{1}{r_1 c_1}, \lambda_2 = \frac{1}{r_2 c_2} \quad (9)$$

이 되고, 결국, 회로의 합성 문제는 $r_1, r_2, \lambda_1, \lambda_2$ 를 구하는 문제로 귀결된다.

본 논문에서는 이 값들을 구하기 위해 그림 7의 변환 방법을 이용한다. 그림 7에서 Ω -domain이란 Ω 와 admit

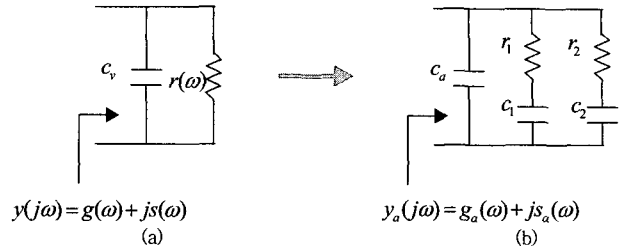


그림 6. 유전손실을 반영하기 위한 모형화
(a) Frequency-dependent RC model (b) Lumped RC model.

Fig. 6. Modeling included dielectric loss.
(a) Frequency-dependent RC model (b) Lumped RC model.

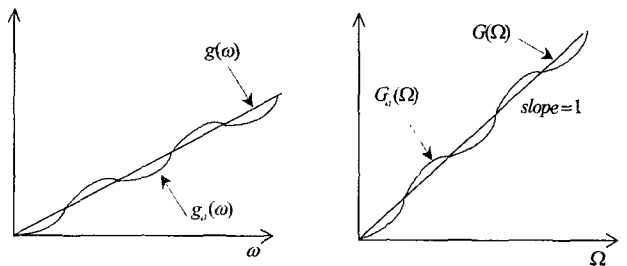


그림 7. Domain 변환: (a) ω -domain (b) Ω -domain

Fig. 7. Domain transformation: (a) ω -domain (b) Ω -domain.

tance 값이 같도록 각주파수,를 정규화한 domain을 말한다. 이렇게 하면, ω -domain에서 g_a 를 구하기 위해서는 Ω -domain에서 G_a 를 구한 후 그 값들을 ω -domain으로 역변환하면 된다. 또한, Ω -domain에서 G_a 를 쉽게 예측하기 위해 식 (10)에 보이는 $G_{a/3}$ 의 $R_1, R_2, \Lambda_1, \Lambda_2$ 를 구해 이 값들을 이용하여 $r_1, r_2, \lambda_1, \lambda_2$ 을 유도하였고, r_i, λ_i 는 식 (11)의 관계를 만족한다

$$G_{a/3}(\Omega) = G_a(\Omega)/3 = G_{a/3}^1(\Omega) + G_{a/3}^2(\Omega)$$

$$= \frac{\Omega^2}{R_1(\Omega^2 + \Lambda_1^2)} + \frac{\Omega^2}{R_2(\Omega^2 + \Lambda_2^2)}$$

$$\text{where, } \Lambda_1 = \frac{1}{R_1 C_1}, \Lambda_2 = \frac{1}{R_2 C_2} \quad (10)$$

$$\lambda_i = \frac{\Lambda_i}{C_v \tan \delta}, r_i = \frac{R_i}{3} \quad (11)$$

식 (10)에서 Λ_1 는 RC회로의 특성을 이용하여 Ω -domain에서의 한계 주파수 Ω_{ref} 로 정의하고, R_1 은 Ω_{ref} 의 25%와 75% 부근의 두 값을 이용하여 근사화하였다. Λ_2, R_2 는 Λ_1 값을 이용하여 쉽게 얻을 수 있고, 그 결과를 식 (12)에 정리하였다.

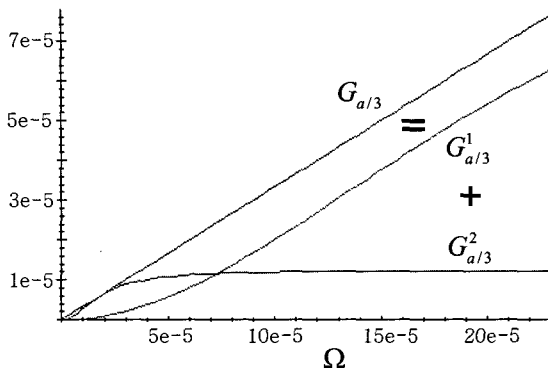


그림 8. 식 (10)의 $G_{a/3}$ 의 도식
Fig. 8. Graphical representation for equation (10).

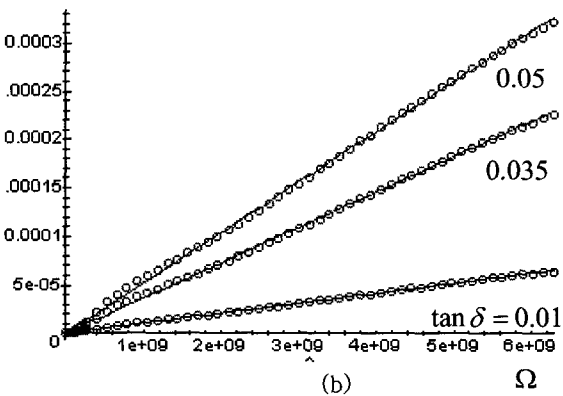
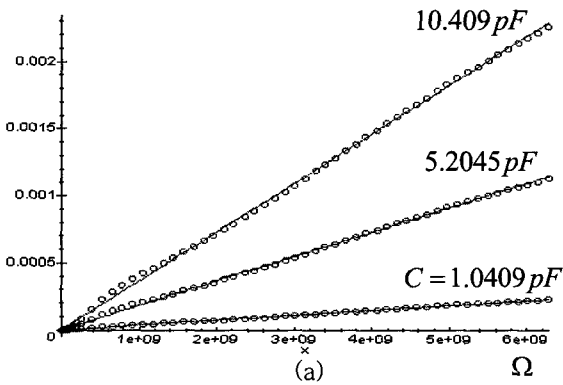


그림 9. $G(\Omega)$ 와 $G_a(\Omega)$ 의 주파수 특성
(a) 커패시턴스 값 변화, loss tangent=0.035
(b) Loss tangent 값의 변화, $C=1.0409\text{pF}$
Fig. 9. Frequency responses of $G(\Omega)$ and $G_a(\Omega)$
(a) as varying with the value of capacitance, when loss tangent=0.035 (b) as varying with the value of loss tangent, when $C=1.0409\text{pF}$

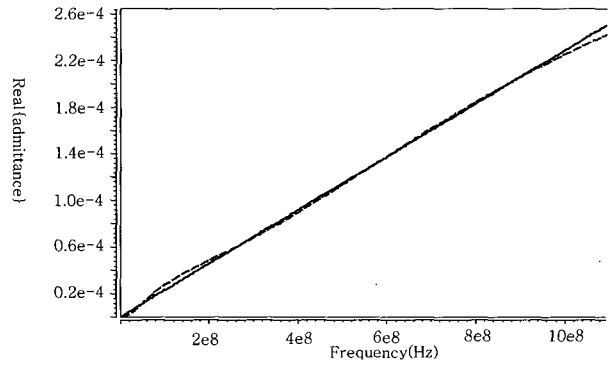


그림 10. $g_a(\omega)$ 의 주파수 특성, 식 (2.2)와의 비교
Fig. 10. Frequency response comparison between $g_a(\omega)$ and equation (2.2).

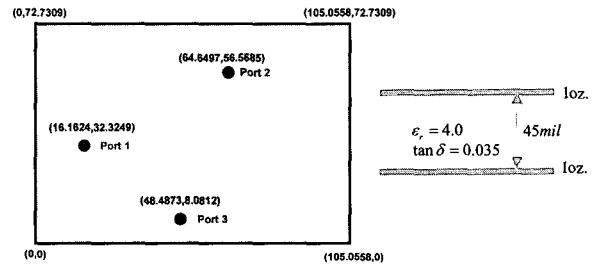


그림 11. 평판의 구조 및 물질 정보
Fig. 11. Geometry structure and material values for a plane.

그림 8은 $R1, R2, \Lambda1, \Lambda2$ 을 유도하는 과정을 도식화한 것으로, 식 (10)을 나타낸 것이다. 그림 9는 loss tangent와 커패시턴스 변화에 대하여 G (실선)와 G_a (o 표시)를 나타낸 것이고, 여기서 loss tangent 값은 주파수에 변함없는 상수로 가정하였다. 그림에서 보듯이 근사화된 G_a 가 G 에 따라 선형적으로 증가함을 볼 수 있고, 두 파형이 거의 유사함을 알 수 있다. 그림 10은 다음 절에서 이용할 평판의 단위 모형에 대한 결과를 나타낸 것이다. 그림 6(b)와 같이 합성된 회로와 주파수 가변 저항(frequency-dependent resistor)을 이용한 회로, 식 (2)와 비교한 것이고, 전자는 점선으로, 후자는 실선으로 각각 표시되었다.

이 과정에서 그림 6의 $c_a (=cv-0.3(c1+c2))$ 는 손실 모형에서 추가된 커패시턴스로 인해 cv 에서 이 성분을 적당히 제거해 주어야 한다

III. 시뮬레이션 및 측정 결과

본 절에서는 II 절에서 제안한 평판 모형에 대한 검증 결과를 보인다. 그림 11과 같이 FR4와 copper로 만들어진 범용 desktop PCB(1.6t)의 적층 구조에 대하여

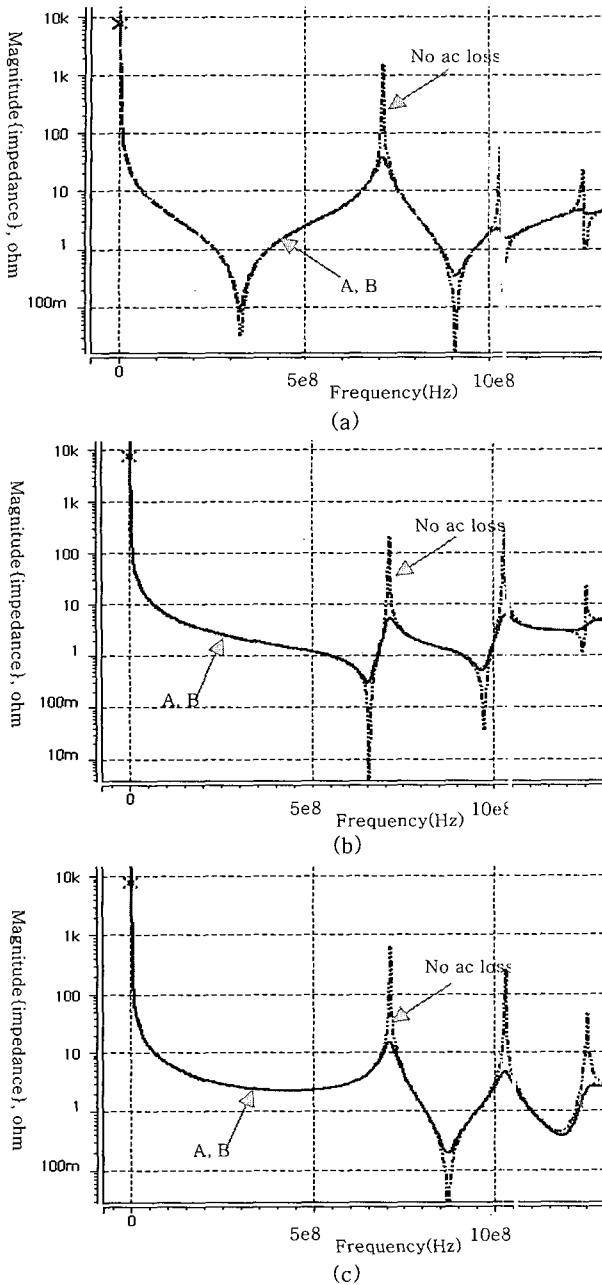


그림 12. 주파수 손실 유무에 따른 임피던스 특성 : (a) Z_{11} (b) Z_{12} (c) Z_{13}

Fig. 12. Impedance characteristics for lossless and lossy model: (a) Z_{11} (b) Z_{12} (c) Z_{13} .

본 논문에서 제안한 평판 모형을 통한 시뮬레이션 결과 및 측정 결과를 보일 것이다.

측정 위치 및 평판 정보는 그림 3.1에 나타낸 바와 같고, 좌표의 단위는 mm이다. 1GHz 근방까지의 시뮬레이션을 수행하기 위해 그림 11은 13행 9열의 mesh 구조로 나누어 모형화하였다

그림 12는 위의 평판 구조에 대하여 두 가지 주파수 손실을 모두 고려했을 경우와 고려하지 않았을 경우의 모형에 대한 z-parameter의 크기를 보인 것이다. Z_{11} 은

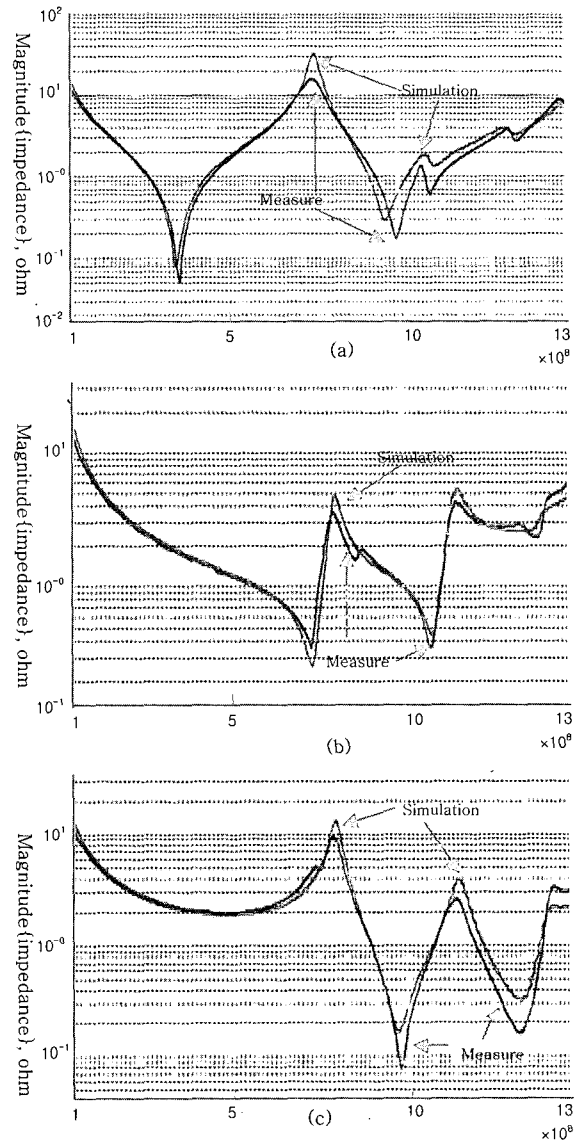
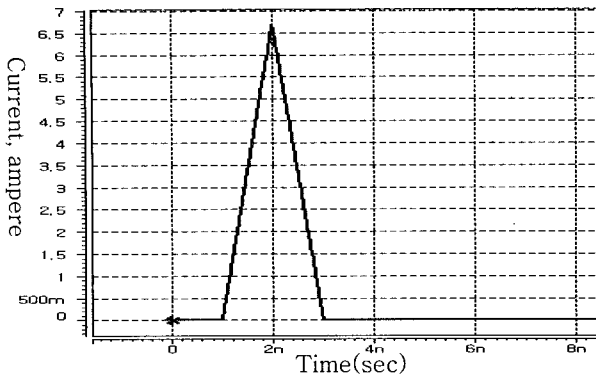
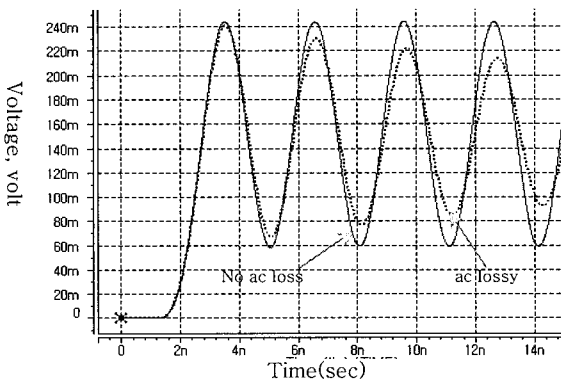


그림 13. VNA 측정치와의 비교 : (a) Z_{11} (b) Z_{12} (c) Z_{13} .
Fig. 13. Comparison between VNA measurements and proposed model (a) Z_{11} (b) Z_{12} (c) Z_{13}

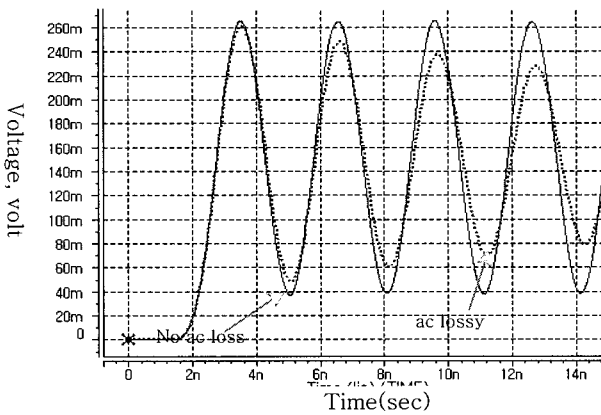
port 1에서의 입력 임피던스, Z_{12} 와 Z_{13} 는 port 1과 port 2, port 3 사이의 전달 임피던스를 각각 나타낸다. 그림 내에서 a는 주파수 손실을 고려한 경우 주파수 가변 저항을 사용한 모형(symbolic simulation)의 ac 해석 결과를 의미하고, b는 II장에서 제시한 손실 모형을 이용한 해석 결과를 나타내는 것이다. 그림 12의 (a), (b), (c) 모두에서 보듯이 평판 손실의 영향은 주로 공진점에서 나타나고, 주파수 손실을 고려하지 않았을 경우 공진점에서 상당한 차이가 발생함을 알 수 있다. 또한, 그림 내의 A와 B 파형이 거의 유사하므로 제안한 평판 모형이 symbolic simulation 결과와 같이 주파수 손실로 인한 영향을 잘 반영하고 있음을 알 수 있다. 그림 13은 [7]을 참조하여 VNA 측정치와 제안한 평판 모형



(a)



(b)



(c)

그림 14. 잡음원에 대한 평판의 과도 응답(transient response) (a) 입력 전류원의 파형 (b) port 2에서의 전압 파형 (c) port 3에서의 전압 파형

Fig. 14. Transient response for plane applied by noise source:(a) Waveform of input current source (b) Voltage waveforms at port 2 (c) Voltage waveforms at port 3.

을 이용해 시뮬레이션한 결과를 비교한 것으로 두 데이터 사이에 좋은 상관관계가 있음을 알 수 있다.

그림 14는 제안한 평판 모형을 이용해 시간 영역에서의 시뮬레이션을 보인 것으로서, 잡음원의 모형 및 수치는 [8]을 참조하였다. 즉, 하나의 전류원과 44nF의 커패시턴스를 가진 잡음원을 이용하였고, 잡음원의 동작

주파수는 500MHz, 공급 전압은 1.5V이다. port 1에 그림 14(a)와 같은 전류원을 인가하고 port 2 및 3에서 측정된 전압 파형이 각각 그림 14의 (b)와 (c)이다. 실선은 주파수 의존 손실이 고려되지 않은 경우이고, 점선은 제안된 모형을 이용한 경우이다. 그림에서 보듯이 높은 Q값으로 인해 전이가 끝난 후에도 전압이 여전히 진동함을 볼 수 있다. 또한, 시간이 경과할수록 주파수 손실을 고려할 때와 고려하지 않을 경우의 차이가 점점 커짐을 볼 수 있다.

IV. 결 론

본 논문에서는 전력 배분망 내의 평판을 해석할 때 요구되는 평판의 모형에 대하여 제안하였다. 제안된 모형은 DC 손실 외에 주파수에 따라 변화하는 손실, 즉 표피 손실과 유전 손실의 영향을 반영한다. 표피 손실의 영향은 RL 직렬회로의 병렬로 구현하였으며, 유전 손실의 영향은 RC 직렬 회로의 병렬로 구현하였다.

각각의 손실 모형에 대해 주파수 가변 저항을 이용한 ac 모형과 비교하여 주파수 영역에서 유사한 결과가 나옴을 보였다. 또한, 제안된 모형을 전형적인 데스크탑 PC용 FR4 4층 PCB의 평판 구조에 적용하여 주파수 가변 저항을 사용한 모형과 비교하였으며 거의 유사한 주파수 응답을 가짐을 확인하였다. 시뮬레이션 외에도 VNA 측정을 통해 제안된 모형이 하드웨어 측정과 좋은 상관 관계가 있음을 보였다. 제안된 평판 모형은 RLC 집중 소자들만으로 이루어져 있으므로, 주파수 영역뿐만 아니라 시간 영역의 해석에서도 사용 가능하다. 이러한 평판 모형은 다양한 선형/비선형 회로들과 결합하여 SPICE 과도 해석을 수행할 때 평판의 손실로 인한 영향을 확인할 수 있게 할 것이다.

참 고 문 헌

[1] L. Smith, R. E. Raymond, D.W.Forehand, T.J. Pelc, T.Roy, "Power Distribution System Design Methodology and Capacitor Selection for Modern CMOS Technology,"IEEE Transactions on Advanced Packaging, Vol.22, No. 3, pp. 284-291, August 1999.
 [2] T.Hubing, J.Drewniak, T.Van Doren, D.Hockanson, "Power Bus Decoupling on Multilayer Printed Circuit Boards," IEEE Transactions on Elec

tromagnetic Compatibility, Vol. 37, No. 2, pp. 155-166, May 1995.

[3] J. Kim, M. Swaminathan, " Modeling of Multilayered Power Distribution Planes Using Transmission Matrix Method," IEEE Transactions on Advanced Packaging, Vol.25, No. 2, pp. 189-198 May 2002.

[4] L. Smith, R. Raymond, and T. Roy, "Power Plane Spice models and Simulated Performance for Materials and Geometries," IEEE Transactions Advanced Packaging, Vol. 24, pp. 277-287, Aug. 2001.

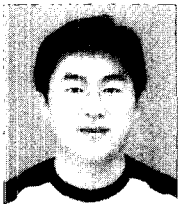
[5] B. Sen, R. Wheeler, " Skin Effects Models for Transmission Line Structures using Generic SPICE Circuit Simulators," Proc. IEEE 7th Topical Meeting on Electrical Performance of Electronic Packaging, pp. 128-131, Oct. 1998.

[6] G. A. Hjellen, " Including Dielectric Loss in Printed Circuit Models for Improved EMI/EMC Predictions," IEEE Transactions on Electromagnetic Compatibility, Vol. 39, No. 3, pp. 236-246, August 1997.

[7] I. Novak, "Measuring Milliohms and PicoHenrys in Power Distribution Networks," Design Con 2000.

[8] Brian Young, Digital Signal Integrity Modeling and Simulation with Interconnects and Packages, Prentice-Hall, 2000, ch. 1

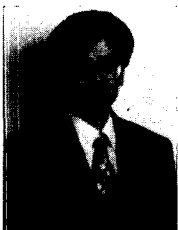
— 저 자 소 개 —



백 종 흠(정회원)
 1996년 2월 수원대학교 전자계산학과 학사.
 1998년 2월 숭실대학교 컴퓨터학과 석사.
 2001년 8월 숭실대학교 컴퓨터학과 박사.
 2001년 9월~2002년 11월 삼성전자 컴퓨터 선임연구원.
 2002년 11월~현재 광운대학교 해동 ITS 센터 연구교수
 <주관심분야: 설계 자동화, VLSI 회로 해석 및 설계, 고속 PCB 해석 및 설계>



정 용 진(정회원)
 1983년 2월 서울대학교 제어계측 공학과 졸업.
 1983년 3월~1989년 9월 한국전자통신 연구원.
 1995년 2월 미국 UMASS 전기 전산공학과 박사.
 1995년 4월~1999년 2월 삼성전자 반도체 수석연구원
 1999년 3월~현재 광운대학교 전자공학부 부교수.
 2004년 1월~현재 광운대학교 해동 ITS 연구센터 센터장
 <주관심분야: 컴퓨터 연산 알고리즘, SoC 설계, 무선 통신, 정보보호, 고속 PCB>



김 석 윤(정회원)
 1980년 서울대학교 공대 전기공학과 학사.
 1990년 University of Texas at Austin 전기, 컴퓨터학과 석사.
 1983년 University of Texas at Austin 전기, 컴퓨터학과 박사.
 1982년~1987년 한국전자통신연구소 연구원.
 1993년~1995년 Motorola Inc., Senior Staff Engineer.
 1995년~현재 숭실대학교 컴퓨터학부 교수.
 <주관심분야: 설계자동화, VLSI 회로해석 및 설계, 통신 시스템>