

소스 궤환 저항을 이용한 직교 신호 발생 CMOS 전압제어 발진기 설계

Design of Quadrature CMOS VCO using Source Degeneration Resistor

문 성 모 · 이 문 규 · 김 병 성*

Seong-Mo Moon · Moon-Que Lee · Byung-Sung Kim*

요 약

본 논문에서는 직교신호를 발생할 수 있는 새로운 구조의 전압제어 발진기를 설계 제작하였다. 정확한 직교 신호 특성과 낮은 위상잡음 특성을 동시에 얻기 위하여 결합 증폭기의 source 단자에 저항 궤환을 이용하여 차동 발진기를 결합시켰다. 발진기는 0.18 μm 표준 CMOS 공정을 이용하여 제작하였다. 제작한 발진기의 위상잡음 특성은 $-120 \text{ dBc/Hz @ 1 MHz}$, $0 \sim 1.8 \text{ V}$ 전압을 가변하였을 때, $2.34 \text{ GHz} \sim 2.55 \text{ GHz}$ 의 210 MHz 주파수 가변을 얻었다. 또한 낮은 IF 주파수 혼합기와 결합하여 측정한 결과 직교신호의 위상 오차는 0.5도, 진폭 오차는 0.2 dB 이하를 보였다. 바이어스 전류는 1.8 V 공급전압에 대해 전압제어발진기의 Core 부분 5 mA를 포함하여 전체적으로는 19 mA를 요구한다.

Abstract

A new schematic of quadrature voltage controlled oscillator(QVCO) is designed and fabricated. To obtain quadrature characteristic and low phase noise simultaneously, two differential VCOs are forced to run in quadrature mode by using coupling amplifier with a source degeneration resistor, which is optimized to obtain quadrature accuracy with minimum phase noise degradation. The designed QVCO was fabricated in standard CMOS technology. The measured performance showed the phase noise of below -120 dBc/Hz at 1 MHz frequency offset, tuning bandwidth of 210 MHz from 2.34 GHz to 2.55 GHz with a tuning voltage varying from 0 to 1.8 V. Quadrature error of 0.5 degree and amplitude error of 0.2 dB was measured with conjunction with low-IF mixer. The fabricated QVCO requires 19 mA including 5 mA in the VCO core part from a 1.8 V supply.

Key words : Quadrature VCO, Source Degeneration Resistor, Phase Error, Phase Noise

I. 서 론

현재 무선 통신 송수신 구조는 저가형, 낮은 소비 전력, 회로의 소형 화면에서 장점을 가지고 있는 직 변환 구조(direct conversion system architecture)로 가는 추세이다. 직변환 구조는 영상 제거 필터(image rejection)나 IF SAW 채널 선택 필터를 사용하지 않

기 때문에 회로가 간단해지고, SoC(system one chip)의 one-chip 구현에 큰 장점을 가지고 있으나, 영상 제거 필터의 사용으로 인해 정확한 I-Q 직교신호를 갖는 국부 발진기를 요구한다. 따라서 직변환 구조에서 사용되는 LO에서 가장 중요한 요소는 위상과 진폭 특성이 정확한 IQ 신호를 얻는 것이다. 지금까지 얻어낸 직교 신호를 얻는 방법은 다음과 같다.

「본 논문은 2003년도 학술진흥재단의 신진교수연구과제 지원에 의하여 연구되었음(KRF-2003-003-D00302).」

서울시립대학교 전자전기컴퓨터공학부(Department of Electrical & Computer Engineering, University of Seoul)

*성균관대학교 전기전자 및 컴퓨터공학과(School of Information and Communication Engineering, Sungkyunkwan University)

· 논문 번호 : 20041004-131

· 수정완료일자 : 2004년 11월 30일

- 1) $2f_0$ 주파수에서 동작하는 차동 VCO를 설계한 후 뒷단에 주파수 분배기(Divider)를 사용하는 방법^[1]
- 2) VCO 뒷단에 수동 RC complex filter를 이용하는 방법^[2]
- 3) 결합 트랜지스터를 이용하여 두 개의 차동 VCO를 결합시켜 Quadrature 신호를 얻는 방법^[3]
- 4) Transformer나 능동 소자를 이용하여 두 개의 차동 VCO에 존재하는 2차 고조파 성분을 서로 결합시키는 방법(Super harmonic coupling)이^{[4]~[6]} 있다.

직교 신호를 얻는 방법은 위에서 제시한 바와 같이 크게 4가지로 나눌 수 있으며, 지금까지 발표된 논문에서 의하면 3), 4) 방식을 적용한 구조가 다른 구조들에 비하여 낮은 위상 잡음 특성과 낮은 소비전력을 갖는 것으로 알려져 있다. 또한 3), 4)의 구조에서도 위상잡음 특성이나 위상 오차를 개선하기 위해 보안 변형된 방법들이 알려져 있으나 현재까지 발표되어진 구조들은 서로 다른 장단점이 있다^{[7],[8]}.

본 논문에서는 QVCO를 발생하는 방법 중 3번째 방법인 결합 트랜지스터를 이용하여 두 개의 차동 발진기를 주입 동기시키는 방법을 적용하였다. 이 구조는 전류원이 두 개의 차동 발진기를 연결하는 결합 트랜지스터에 직접 연결되어 있기 때문에 DC 전원에서 발생하는 $1/f$ 노이즈가 발진기에 직접 영향을 주어 위상 잡음 특성이 다른 구조에 비하여 나쁘다는 단점을 가지고 있다. 위와 같은 구조의 단점을 보완하기 위한 방법으로 결합 트랜지스터를 발진기의 부성 저항을 주는 트랜지스터와 cascode 형태로 연결하

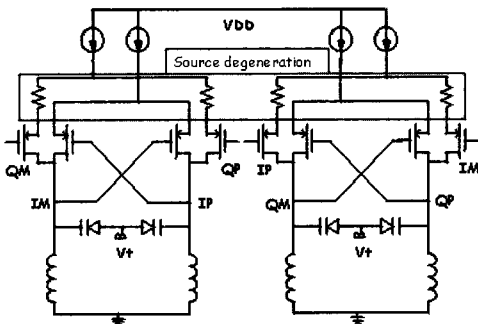


그림 1. 제안된 직교 신호 발생 전압제어 발진기의 구조
Fig. 1. Proposed schematic for quadrature VCO.

는 방법이 있으나 이 구조는 낮은 전원 전압을 요구하는 구조에는 적용하기 어려운 단점이 있다^[8].

본 논문에서는 위에서 제시한 문제점인 낮은 공급 전원을 유지하면서도 병렬 결합 트랜지스터에 연결되는 바이어스 회로의 직접적인 노이즈 특성을 줄이기 위하여 결합 트랜지스터에 source 케환(또는 source degeneration) 저항을 이용하였다(그림 1).

II. Source 케환저항을 이용한 직교 신호 발생 전압 제어 발진기

일반적으로 증폭기나 체배기와 같은 능동 회로에서 선형성을 개선하기 위한 방법으로 source 케환 저항을 이용한다. Source 케환 저항을 이용함으로써 트랜지스터의 선형성을 개선할 수 있으나, 전력 이득이 낮아지는 단점을 가지고 있다.

직교 신호 발생 전압 제어 발진기는 두 개의 차동 발진기를 서로 결합시켜 주는 4개의 결합 트랜지스터가 한쪽 발진기에서 출력을 다른 발진기에 주입 동기시키는 역할을 하기 때문에 결합 트랜지스터의 이득보다는 트랜지스터의 선형성과 바이어스 회로에서 들어오는 노이즈의 억압에 중점을 두어야 한다.

본 논문에서는 결합 트랜지스터에 source 케환 저항을 이용하여 불필요한 이득을 줄이며 바이어스 회로에서 직접 인가되는 $1/f$ 노이즈를 억제하여 직교 신호 발생 전압 제어 발진기의 위상 잡음 특성을 개

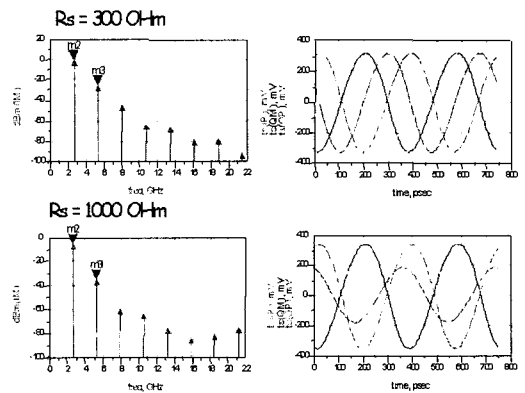


그림 2. Source 케환 저항 값에 대한 전력 스펙트럼 및 직교신호 위상 파형
Fig. 2. Waveform of output voltage and power spectrum with respect to the values of source feedback resistor.

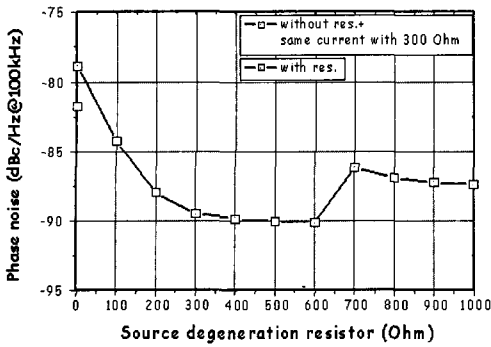


그림 3. Source 케환 저항 값에 대한 위상잡음 특성 변화

Fig. 3. The variation of phase noise characteristic with respect to the values of source feedback resistor.

선할 수 있다. 그러나 source 케환 저항 값이 너무 커지면($R_s=1,000 \text{ Ohm}$) 결합 증폭기의 이득이 작아지게 되어, 그림 2의 모의실험 결과에서처럼 두 개의 차동 발진기를 결합 트랜지스터가 서로 주입 동기시키지 못하게 되어 직교 신호를 얻을 수 없게 된다. 따라서 모의실험을 통하여 적절한 저항 값을 선정해야 한다. 또한 모의실험 결과에서 저항 값이 증가함에 따라 위상잡음 특성이 좋아짐을 알 수 있으며, source 케환 저항이 일정한 값을 넘어서면 위상 잡음 특성이 일정해지는 점이 존재함을 볼 수 있다(그림 3). 또한 저항을 이용하지 않고 결합 트랜지스터의 바이어스를 $R_s=300 \text{ Ohm}$ 을 적용하였을 때와 같은 전류를 흐르게 gate finger 수를 조정하여 위상 잡음 특성을 비교하였다. 그 결과 source 케환 저항을 이용하였을 때 동일한 전류 소비에서 6 dB 이상의 위상 잡음 특성이 개선되었다. 따라서 source 케환 저항 값을 위상잡음 특성과 I-Q 직교신호의 오차를 고려하여 적절한 값을 선정함으로써 최적의 직교 신호 발생 전압 제어 발진기를 설계할 수 있다.

III. 직교 신호 발생 전압 제어 발진기 설계

제안된 구조를 바탕으로 Cadence의 spectre RF와 Virtuoso, Agilent의 ADS를 이용하여 DC, Transient, Harmonic balanced 시뮬레이션 및 레이아웃 작업을 수행하였다.

전압제어 발진기의 위상 잡음 특성을 개선하기

위하여 PMOS 트랜지스터를 이용하여 발진기의 core와 전류 거울(current mirror)을 설계하였고, 인덕터는 선폭 $10 \mu\text{m}$, 선간간격 $2 \mu\text{m}$, 권선수 4로 2.45 GHz에서 3.23 nH의 인덕턴스와 7.93의 Q 값을 갖는 인덕터를 이용하였으며, 바랙터는 0.5 pF의 커패시턴스를 갖는 PN junction을 사용하였다. Source 케환 저항 값은 공정상의 편차를 고려하여 300 Ohm을 선정함으로써 공정상의 편차에 의한 부분까지 고려하여 선정하였다.

모의실험 결과 1.8 V 전원 전압에 22 mA 전류 소비를 하였으며, control 전압 0 V~1.8 V에 250 MHz의 주파수 가변, $-122 \text{ dBc/Hz @ 1 MHz}$ 이하의 위상잡음 특성과 20 dB 이상의 고조파 억압 특성을 얻었다. 모의실험 결과 진폭은 Mixer의 입력 임피던스를 1 k Ω 을 가정하였을 때 0.6 V였다.

IV. 실험 결과

본 논문에 제시된 구조를 토대로 0.18 CMOS 공정을 이용하여 제작하였으며, 측정을 위한 패드를 제외한 QVCO 회로만 크기는 $600 \times 500 \mu\text{m}^2$ 이다(그림 4). 제작된 발진기는 Amkor사의 MLF24 패키지 하였으며, 다음 그림 5와 같이 측정을 위한 기판을 제작하였다.

측정은 Agilent E4448A 50 GHz 스펙트럼 분석기와 E3646 전원 공급기를 이용하였으며, 전원전압 1.8 V를 공급하였을 때 회로 전체에서 19 mA의 전류를 소비를 하였다(VCO: 5 mA \times 2개, buffer amp: 1.1

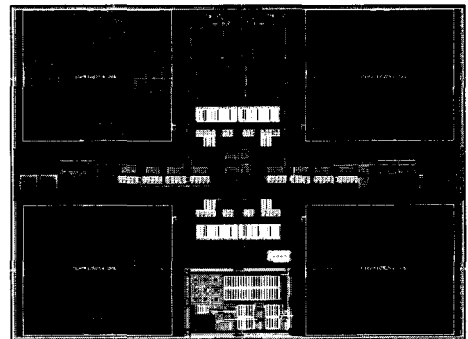


그림 4. 설계한 직교신호 발생 전압 제어 발진기의 레이아웃(chip 면적: $600 \times 500 \mu\text{m}^2$)

Fig. 4. Layout of the designed quadrature VCO(size: $600 \times 500 \mu\text{m}^2$).

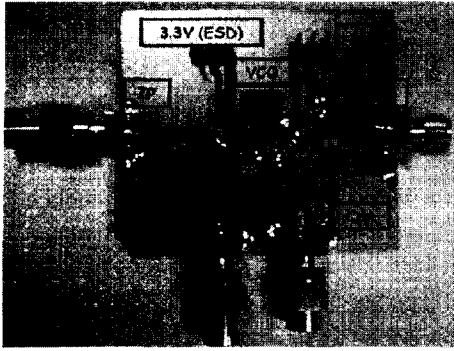


그림 5. 제작한 발진기의 특성 측정을 위한 보드
Fig. 5. Test board for the fabricated QVCO.

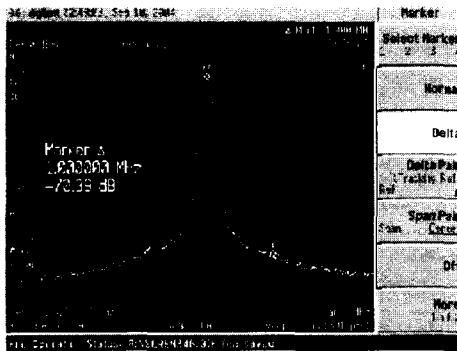


그림 6. 측정된 위상잡음 특성(-120 dBc/Hz @ 1 MHz)
Fig. 6. Measured phase noise characteristic(-120 dBc/Hz @ 1 MHz).

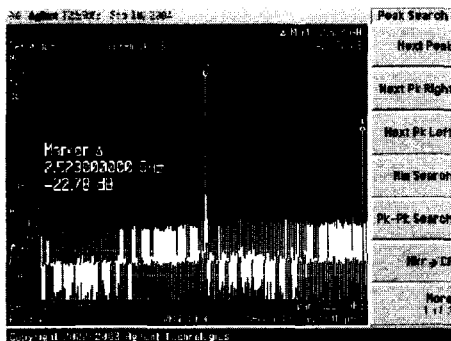


그림 7. 출력 전력 및 하모닉 특성
Fig. 7. Output spectrum & harmonic characteristics.

mA×8개). 배터리의 control 전압을 1.1 V 인가하였을 때 2.46 GHz에서 발진하였으며, 50 Ω 부하에서의 출력전력 -10 dBm, -23 dB의 고조파 억압 특성과 -120 dBc/Hz @ 1 MHz의 위상잡음 특성을 얻었다

(그림 6, 7).

다음 그림 8은 control 전압에 따른 발진주파수와 출력전력이다. Control 전압을 0 V~1.8 V 변화하였을 때, 2.34 GHz~2.55 GHz의 210 MHz 주파수 가변과 -10.5 dBm~-9 dBm의 출력 전력을 얻었다.

제작한 QVCO의 직교위상신호를 고주파 sampling oscilloscope를 이용하여 직접 측정하면 cable mismatch, high frequency, trig signal, load mismatch 등의 문제가 발생하여 정확한 위상 에러를 측정하기 어렵다. 따라서 정확한 I-Q 직교 위상 오차를 측정하기 위하여 다음 그림 8과 같이 Mixer와 연동하여 측정을 수행하였다. 신호 발생기를 이용한 RF 신호와 제작된 발진기에서 I-Q 신호를 제작된 믹서에 인가하였다. 믹서의 출력 신호를 발륄을 통과시켰으며, 통

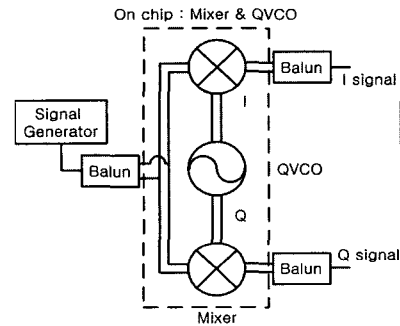


그림 8. 직교 I-Q 신호 전압파형 측정 구성도
Fig. 8. A test-setup for the measuring the quadrature waveform.

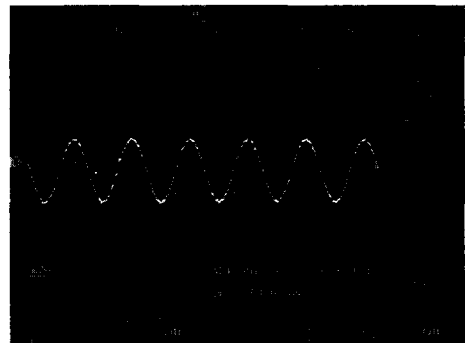


그림 9. 측정된 직교신호 발생 전압제어 발진기의 전압 파형(위상 오차 0.5도 이내, 진폭 오차 0.2 dB 이내)

Fig. 9. Measured time domain outputs of the quadrature VCO(phase errors: belows 0.5°, amplitude error: below 0.2 dB).

과된 신호의 주파수는 15 MHz이며 이 I-Q 신호를 오실로스코프를 이용하여 측정한 결과(그림 9) 0.5도 이내의 위상 오차와 0.2 dB의 진폭오차로 매우 정확한 직교 신호를 얻었다.

V. 결 론

본 논문에서는 0.18 μm 표준 CMOS 공정을 이용하여 2 GHz 대역 직변환 구조의 무선 시스템에 적용할 수 있는 직교 신호 발생 전압제어 발진기를 설계 제작하였다. 측정 결과 2.4 GHz에서 210 MHz 주파수 가변을 얻었으며, -10.5 dBm 이상의 출력 전력, 20 dB 이하의 고조파 억압 특성을 얻었다. 위상 잡음 특성은 offset 주파수 100 kHz, 1 MHz에서 각각 -96 dBc/Hz, -120 dBc/Hz로 낮은 위상 잡음 특성을 얻었다. 또한 믹서를 통한 I-Q 신호의 위상 오차는 0.5도 이내, 진폭 오차 0.2 dB로 매우 정확한 I-Q 신호를 발생하였다.

참 고 문 헌

[1] A. Mazzanti et al., "Injection locking LC dividers for low power quadrature generation", *Custom Integrated Circuits Conference, 2003. Proceedings of the IEEE 2003*, pp. 563-566, Sep. 2003.
 [2] J. Crols, M. Steyaert, "A fully integrated 900 MHz CMOS double quadrature down converter", *IEEE Int. Solid-State Circuits Conf. Dig. Tech. Papers*,

San Francisco, CA, pp. 136-137, Feb. 1995.
 [3] A. Rofougaran et al., "A single chip 900-MHz spread-spectrum wireless transceiver in 1- μm CMOS-Part 1: Architecture and transmitter design", *IEEE J. Solid-State Circuits*, vol. 33, pp. 515-534, Apr. 1998.
 [4] J. Cabanillas et al., "A 900 MHz low phase noise CMOS quadrature oscillator", *Proc. IEEE Radio Frequency Integrated Circuits Symp.*, pp. 63-66, Jun. 2002.
 [5] L. Sander, J. Gierkink et al., "A Low phase noise 5 GHz CMOS quadrature VCO using superharmonic coupling", *IEEE Journal of Solid State Circuits*, vol. 38, no. 7, Jul. 2003.
 [6] 문성모, 김병성, 주재홍, 이문규, "능동 고조파 결합을 이용한 SiGe HBT Quadrature 전압제어발진기", *춘계 마이크로파 및 전파전파 학술대회 논문집*, 14(1), pp. 373-376, 2004년 5월.
 [7] P. Vancorenland, M. S. J. Steyaert, "A 1.57 GHz fully integrated very low-phase-noise quadrature VCO", *IEEE J. Solid-State Circuits*, vol. 37, pp. 653-656, May 2002.
 [8] P. Andreani, "A low-phase-noise low-phase-error 1.8 GHz quadrature CMOS VCO", *IEEE Solid-State Circuits Conf. Dig. Tech. Papers*, San Francisco, CA, pp. 290-291, Feb. 2002.

문 성 모



2003년 2월: 서울시립대학교 전자전기컴퓨터공학부 (공학사)
 2003년 3월~현재: 서울시립대학교 전자전기컴퓨터공학부 석사과정
 [주 관심분야] RFIC, 마이크로파/밀리미터파 능동 부품 회로 설계 (MMIC, Hybrid)

이 문 규



1992년 2월: 한국과학기술원 전기 및 전자공학과 (공학사)
 1994년 2월: 서울대학교 전자공학과 (공학석사)
 1999년 2월: 서울대학교 전기공학부 (공학박사)
 1999년 2월~2002년 2월: 한국전자통신연구원 통신위성개발센터 선임연구원
 2002년 3월~현재: 서울시립대학교 전자전기컴퓨터공학부 조교수
 [주 관심분야] 마이크로파/밀리미터파 능동(MMIC, Hybrid) 및 수동 부품회로 설계

김 병 성



1989년 2월: 서울대학교 전자공학과 (공학사)

1991년 2월: 서울대학교 전자공학과 (공학석사)

1997년 2월: 서울대학교 전자공학과 (공학박사)

1997년 9월~현재: 성균관대학교

정보통신공학부 부교수

[주 관심분야] RFIC, RF 소자 모델링