

게이트를 상정한 니켈 실리사이드 박막의 물성과 미세구조 변화

정영순[†] · 송오성 · 김상엽 · 최용윤* · 김종준*

서울시립대학교 신소재공학과
*서울대학교 반도체공동연구소

Property and Microstructure Evolution of Nickel Silicides for Poly-silicon Gates

Youngsoon Jung, Ohsung Song, Sangyob Kim, Yongyun Choi* and Chongjun Kim*

Department of materials science and engineering, University of Seoul
*Inter-university Semiconductor Research Center, Seoul National University

(2005년 3월 2일 받음, 2005년 5월 9일 최종수정본 받음)

Abstract We fabricated nickel silicide layers on whole non-patterned wafers from p-Si(100)/SiO₂(200 nm)/poly-Si(70 nm)/Ni(40 nm) structure by 40 sec rapid thermal annealing of 500~900°C. The sheet resistance, cross-sectional microstructure, surface roughness, and phase analysis were investigated by a four point probe, a field emission scanning electron microscope, a scanning probe microscope, and an X-ray diffractometer, respectively. Sheet resistance was as small as 7 Ω/sq. even at the elevated temperature of 900°C. The silicide thickness and surface roughness increased as silicidation temperature increased. We confirmed the nickel silicides from thin nickel/poly-silicon structures would be a mixture of NiSi and NiSi₂ even at the NiSi₂ stable temperature region.

Keywords nickel mono silicide, gate silicide, silicides, silicide, gate oxide.

1. 서 론

현대의 일반적인 반도체 소자는 MOSFET(metal oxide silicon field effect transistor)이 주로 채용되고 있으며 소오스와 드레인 사이에 Fig. 1과 같이 구조적으로 튀어나온 게이트에 전압이 인가되면 채널을 형성시켜 동작되도록 만들어져 있다. MOSFET의 주요 구성 요소 중 특히 게이트는 채널 형성의 주요 역할을 담당하게 되고, 게이트의 선폭이 반도체 소자공정 중에서 가장 미세 가공이 요구되는 난공정이다.

기존의 게이트는 게이트 절연층을 만든 후 화학기상증착(chemical mechanical deposition, CVD) 공정을 사용하여 폴리실리콘 소재로 만들어 사용하여 왔다. 이후에 이를 사진식각법으로 불필요한 부분을 제거하여 최종 게이트 형상을 구현하는 공정을 사용하여 왔다.

그러나 최근에는 소자가 미세화 됨에 따라 이러한 게이트 소재층을 점점 미세식각이 용이하도록 여러 가지 부가 공정이 개발되어 오고 있다. 게이트의 상부가 실리콘 기판과 같은 평탄도가 유지되어 난반사가 방지되어야 하는 요구 조건을 만족하기 위해서 화학기계적연마(chemical

mechanical polishing, CMP) 공정이 부가된다든지,^{1,2)} 게이트 절연층과의 반응성 없는 금속과 같은 저저항 물질로 대체하려는 추세에 따라 전극을 금속층으로 대체하여 금속의 미세식각 공정을 개발하려는 노력,^{3,4)} 하부의 게이트 절연층과의 반응을 억제할 수 있는 신소재의 개발,^{5,6)} 새로운 삼차원 구조로 다중 게이트를 채용하는 연구⁷⁻⁹⁾ 등이 진행되고 있는 중이다.

이러한 배경에서 기존의 공정과 재료로 게이트의 저항을 낮추고 미세식각에 대응하기 위해 기존 폴리실리콘 게이트를 저저항 실리사이드로 채용하는 연구도 활발하다.^{10,11)} 그러나 실리사이드 층의 미세식각 공정이 완성되지 않았으므로 단기적인 방법으로는 적절한 두께의 폴리실리콘 미세 패턴을 먼저 만들고 다시 그 상부에 적절한 두께의 금속층을 성막한 후 열처리하여 폴리실리콘과 금속을 실리사이드화 반응처리 시켜 전체 층을 저저항의 실리사이드로 대체하는 것이 가능하다.

그러나 이러한 실리사이드가 최종적으로 실제 소자에 적용되기 위해서는 과연 폴리실리콘 전체가 저저항 실리사이드화 하고 그때의 두께변화는 어떤인지, 그리고 실리사이드화한 후 게이트층의 상부의 평탄도 확보, 하부 게이트 절연층과의 반응 안정도, 상변화에 의한 스트레스 발생과 게이트 선폭 변화정도 등 규명되어야 할 공

[†]E-Mail : ysjung@uos.ac.kr

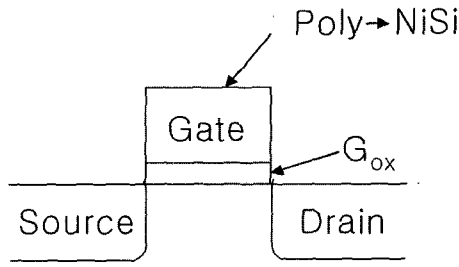


Fig. 1. Schematic illustration of MOSFET.

정에 따른 물성연구가 아직 많이 필요하다.

실리사이드는 이미 반도체 배선공정에서 Al과 같은 금속 배선층과 실리콘층과의 확산 방지를 억제하고 오믹컨택이 가능하도록 $5 \Omega/\text{sq}$ 정도의 저저항을 가진 NiSi,^{12,13)} CoSi₂^{14,15)} 및 이들의 복합실리사이드¹⁶⁾ 등이 개발되어 적절한 상변태 온도와 실리콘과 금속층의 두께 비율 등이 잘 알려진 재료이다.

따라서 본 연구에서는 200 nm의 열산화막을 가진 p-Si(100) 기판위에 70 nm 두께의 폴리실리콘을 먼저 성막하고 그 상부에 40 nm 두께의 Ni를 열증착기로 성막하고 진공에서 할로젠 램프 열원을 사용하는 패속열처리기 (rapid thermal annealer, RTA)로 500~900°C의 온도범위에서 40초간 열처리를 시행하여 전체 니켈/폴리실리콘층 모두가 실리사이드화 하는지의 여부와 상부의 표면조도, 결정구조, 조성분포, 계면에서의 미세구조를 확인하여 상기 게이트를 상정한 실리사이드화 공정의 가능성을 확인하였다.

2. 실험 방법

LPCVD(low pressure CVD)를 사용하여 폴리실리콘을 200 nm 열산화막을 입힌 p-Si(100) 기판 전면에 70 nm 두께로 성막하였다. 배치공정으로 25의 실리콘 기판을 동시에 진행하여 준비하고 엘립소미터를 써서 70 nm의 두께가 균일하게 성막 되었음을 확인하였다.

곧이어 자연산화막이 형성되기 전에 실리콘/열산화막/폴리실리콘 구조에 40 nm 두께의 니켈금속을 열증착기로 증착하여 최종적으로 Fig. 2과 같이 p-Si(100)/SiO₂(200 nm)/poly-silicon(70 nm)/Ni(40 nm) 구조의 시편들을 준비하였다.

완성된 시편은 10^{-3} torr의 진공에서 7쌍의 할로젠 램프로 구성된 RTA를 활용하여 40초간 온도를 500, 600, 650, 700, 750, 800, 850, 900°C의 8가지 조건에서 처리하여 실리사이드화를 유도하였다. RTA를 사용한 열처리는 승온속도 10초, 유지시간을 40초로 실시할 경우 오버 슈트가 100°C~150°C 정도 일어났으며 세팅한 온도까지 내려가는데 10초가 소모되었다.

열처리가 끝난 시편은 사점저항기를 사용하여 열처리

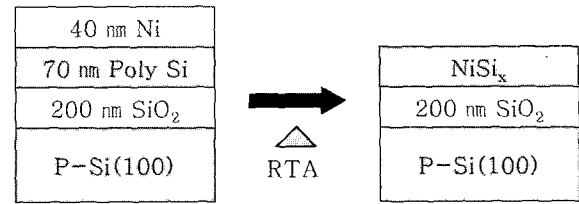


Fig. 2. A Sample structure of (a) p-Si(100)/SiO₂(200 nm)/poly-Si(70 nm)/Ni(40 nm), and (b) p-Si(100)/SiO₂(200 nm)/NiSi.

전후의 면저항 측정과, Hitachi사의 FE-SEM(field emission scanning electron microscopy)로 수직단면미세구조를 확인하였다. 또한, PSIA사의 SPM(scanning probe microscope) XE100를 사용하여 이때 x.y scan size 45 μm , scan rate 1 Hz, set point 21.43 nN, data gain -142.93E -6 $\mu\text{m}/\text{step}$ 의 조건에서 열처리 온도에 따른 각각의 표면 조도를 컨택모드로 측정하였다.

폴리실리콘과 니켈이 반응하여 생성된 상을 확인하기 위해서 X-선 회절분석(RIGAKU사)을 Cu K α ($\lambda=1.54 \text{ \AA}$) 타겟을 이용하여 2θ 를 20°에서 65° 범위에서 500, 700, 900°C에서 40초간 열처리한 시편의 상을 분석하였다. 촬영 시 하부기판인 실리콘의 peak를 선택적으로 제거하여 실리사이드상의 특성 peak의 검출이 용이하도록 하였다. 얻어진 rocking curve에서 JCPDS(joint committee powder diffraction standards) 카드를 이용하여 상을 확인하였다.

또한, AES(Auger electron spectroscopy, Perkin-Elmer 사)를 이용하여 각 어닐링 온도의 시편에 대해 153 $\text{\AA}/\text{min}$ 의 스퍼터링 속도를 유지하면서 Ni, Si, O의 조성강도를 표면부로부터 측정하여 비교하였다.

3. 결 과

Fig. 3에는 RTA 온도에 따른 면저항의 변화를 나타내었다. 알려진 바와 같이 일반적인 니켈모노실리사이드가 400~700°C에서 안정하며 750°C 이상에서 고저항 NiSi₂가 나타나야 하는 현상에 비해¹⁷⁾ 본 결과에서는 900°C까지 $7 \Omega/\text{sq}$ 의 저저항으로 나타났다. 이렇게 저저항으로 나타나는 것은 미세구조와 추후의 상의 관찰로 미루어 보아 결정립계 부분에 NiSi₂가 먼저 생성되고 결정립 내부에 NiSi 또는 방향의 상의 불균일성, 예를 들어 하부에는 NiSi₂가, 상부에는 NiSi가 형성되는 등 궁극적으로 NiSi와 NiSi₂가 병렬구조의 전기저항 회로를 구성함으로써 저저항의 패스를 통하여 측정이 저저항으로 측정되는 것이라고 예상되었다. 만약 이러한 현상이 사실이라면 사진공정 없이 자가 정렬적으로 복합상을 구성하여 복합구조의 저저항 실리사이드 게이트를 형성할 수 있다는 의미다.

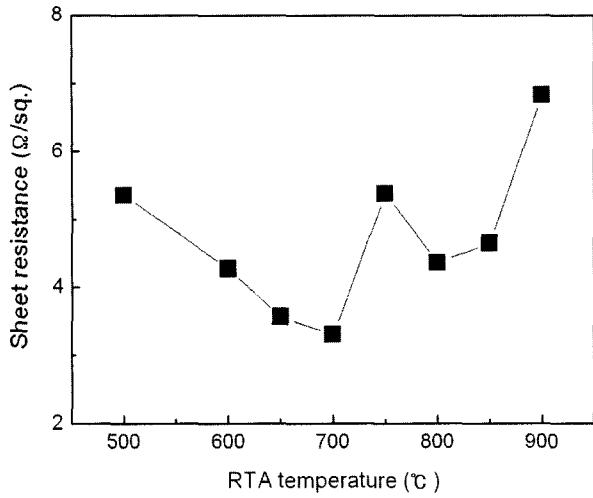


Fig. 3. Sheet resistance with silicidation temperatures.

Fig. 4에는 40 nm Ni/70 nm poly-Si 구조의 박막을 각각 500, 600, 700, 900°C에서 40 초간 진공 열처리하고 이를 광발산 주사 전자현미경을 이용하여 수직단면을 찍은 이미지를 나타내고 있다. 먼저 두께를 살펴보면 총 100 nm의 박막이 실리사이드화하여 2.1~2.5배 정도로 변화하여 일단 상변화에 따라 결정질의 주상조직이 발달하였음을 알 수 있다. 표면조도의 변화는 FE-SEM 이미지

로는 확인할 수 없었지만 일단 열처리 온도가 증가하면 주상정의 폭이 50, 70, 100, 150 nm 정도로 급격히 성장하였음을 알 수 있었다.

표면조도의 변화를 보다 상세하게 알아보기 위해서 Fig. 5에 SPM을 사용하여 측정한 표면 topography를 나타내었다. 900°C에는 NiSi₂가 발달될 것으로 예상되었는데 일단 과도한 부피팽창으로 인해서 실리콘과의 계면에 많은 단차가 생성되었음을 알 수 있다.

Fig. 5는 500, 700, 900°C로 급속열처리 후 SPM을 사용하여 측정한 후 XE-100의 software을 이용하여 표면 topography를 나타내고 있다. 저온인 500°C의 roughness는 전체 조도의 RMS(root mean square)값이 각각 1.5 nm, 700°C에서는 1.9 nm, 900°C에서는 3.7 nm로서 실리사이드 형성시 열처리 온도가 높아짐에 따라 시편 상부의 표면조도가 높아지는 현상이 있다. 이는 실리사이드 처리온도가 높아질수록 NiSi 결정립이 조대화 되어 표면조도가 증가하는 것으로 확인되었다. (b)의 step은 스캐너의 노이즈로 측정시 보정하지 않고 표면조도를 판단하였다.

Fig. 6에는 500°C, 700°C, 900°C에서의 XRD rocking curve를 나타내었다. 500°C에서와 700°C, 900°C 군의 결과는 확실히 구분이 되는데 먼저 예상한 바와 같이 (a) 500°C에서는 34°의 강한 NiSi가 나타나며 미소하게 46°,

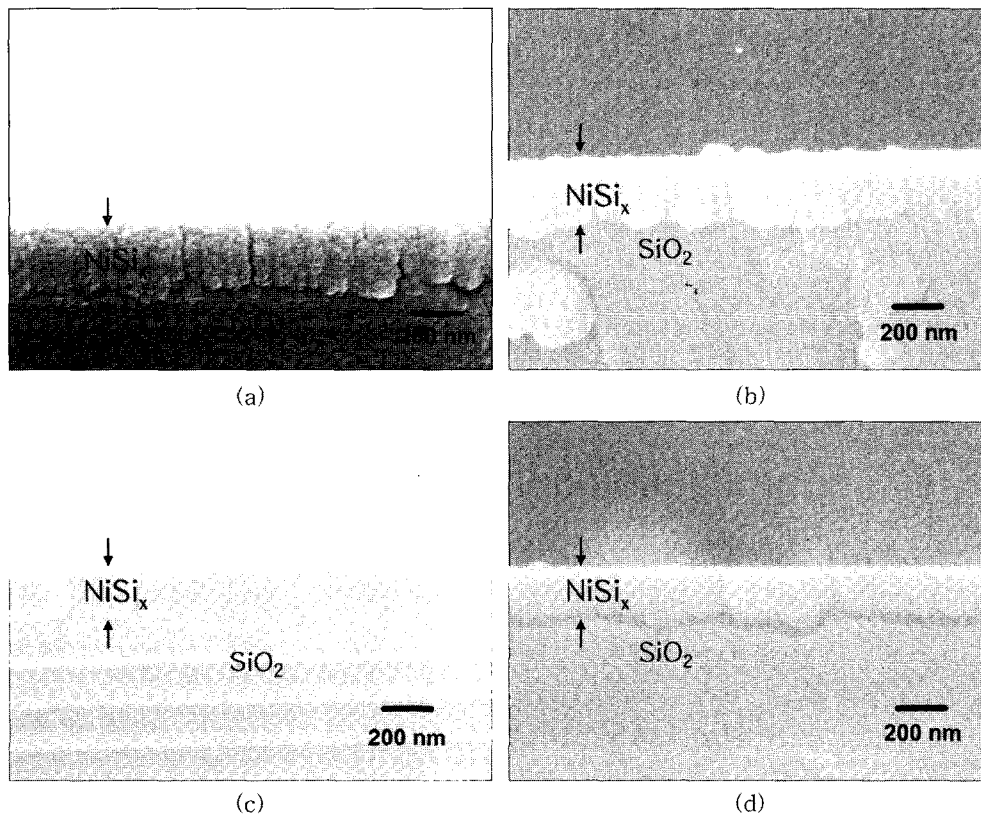


Fig. 4. FE-SEM images with silicidation temperature of (a) 500°C, (b) 600°C, (c) 700°C and (d) 900°C.

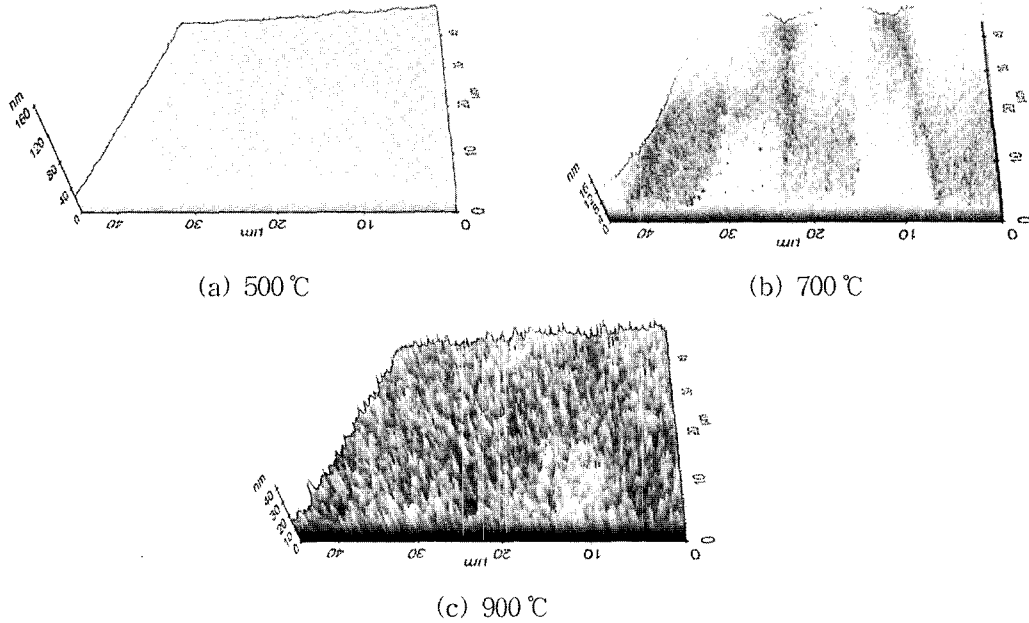


Fig. 5. Surface roughness topology images with silicidation temperatures.

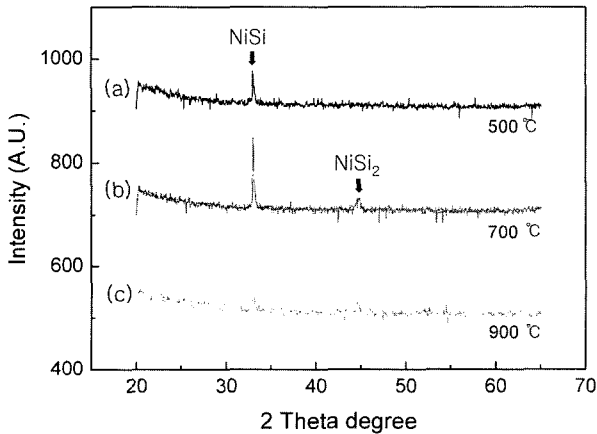


Fig. 6. XRD intensity with annealing temperature at (a) 500°C, (b) 700°C and (c) 900°C.

48°에서 NiSi₂로 추정되는 피크가 발생하였다.

(b), (c)는 거의 동일한 모습을 보이고 있는데 34°에서 NiSi가 나타나며 45.5°의 NiSi₂ 피크가 온도가 올라가면서 더 커지고 있음을 알 수 있다. 900°C에서는 통상의 Ni/Si 구조에서는 모두 NiSi₂로 변환된다고 예상하였으나 폴리실리콘과 같이 실리콘의 두께가 한정되는 경우 일단 생성된 NiSi가 완전히 NiSi₂로 변화하지 못하고 하부에만 불안정한 NiSi₂+δ가 안정되는 것으로 판단되었다.

마찬가지로 (a)의 500°C에서도 모두 NiSi가 안정하다고 예상되었으나 역시 비슷한 이유로 일단 형성된 Ni₂Si가 잔류하며 Ni의 확산속도가 커서 폴리실리콘 하부까지 급속히 이동한 후 최종 안정상을 향해서 진행되지만

일단 형성된 상이 분해하기까지는 더 많은 열에너지와 시간이 필요하다고 판단된다.

이러한 결과의 의미는 두께가 한정된 폴리실리콘으로 저저항 게이트를 만들면 완전한 단상으로 만드는 것보다 오히려 후속 이온 주입 공정시 boron penetration을 방지할 수 있는 NiSi₂ 등의 고온안정상을 자가정렬적으로 게이트절연층 계면부에 용이하게 형성시킬 수 있는 가능성을 보이고 있는 것이다.

4. 결 론

폴리 실리콘과 Ni의 실리사이드를 반응시켜 다음과 같은 결과를 얻을 수 있었다.

1. 반응된 실리사이드는 500~900°C에서 40초간 열처리하였음에도 7 Ω/sq.이하의 낮은 저저항을 나타내었다.
2. 실리사이드화가 진행함에 따라 약 2~2.5배 정도의 부피성장을 가져왔으며 상변화에 따라 결정질이 주상조직으로 성장함을 확인할 수 있었다.
3. 열처리 온도가 높아짐에 따라 생성된 실리사이드 표면조도는 증가하는 것을 확인할 수 있었고, 이와같은 현상은 미세구조에서 살펴본 결정질 성장과 잘 부합되는 것으로 나타났다.
4. 생성된 실리사이드는 통상적인 NiSi 안정 온도에서 단상의 NiSi가 아닌 NiSi₂, Ni₂Si의 복합상으로 구성되어 있는 것을 XRD로 확인하였고, 900°C의 NiSi₂ 안정온도에서도 저저항 상인 NiSi가 잔류하여 저저항으로 나타나는 것을 알 수 있었다.

따라서 한정된 나노급두께의 폴리실리콘과 반응하여 생성된 니켈실리사이드는 기존의 벌크 상태의 실리콘과의 반응과 달리 특정한 분율의 실리사이드상의 혼합상태로 생성되는 특징이 있었다.

감사의 글

본 연구는 한국과학재단의 특정기초연구(과제번호 R01-2004-000-10028-0) 지원에 의해 수행되었습니다. 이에 감사드립니다.

참고 문헌

1. Parshuram B. Zantye, Ashok Kuman and A. K. Sikder, *Materials Science and Engineering*, **R45**, 89 (2004).
2. Weidan Li, Dong Wook Shin, Minoru Tomozawa and Shyam P. Muraka, *Thin Solid Films*, **270**, 601 (1995).
3. Shiyang Zhu, H. Y. Yu, J. D. Chen, S. J. Whang, J. H. Chen, Chen Shen, Chunxiang Zhu, S. J. Lee, M. F. Li, D. D. H. Chan, W. J. Yoo, Anyan Du, C. H. Tung, Jagan Singh, Albert Chin and D. L. Kwong, *Solid-State Electronics*, **48**, 1987 (2004).
4. J. K. Efavi, M. C. Lemme, T. Mollenhauer, T. Wahlbrink, T. Bobek, D. Wang, H. D. B. Gottlob and H. Kurz, *Microelectronics Engineering*, **76**, 354 (2004).
5. Yee-Chia Yeo, *Thin Solid Films*, **462-463**, 34 (2004).
6. C. S. Park, B. J. Cho and D.-L. Kwong, *IEEE Electron Device Lett.*, **22**(9), 444 (2003).
7. S. Jagar, Navab Singh, Sohan S. Mehta, Naveen Agrawal, G. Samudra and N. Baasubramanian, *Thin Solid Films*, **462-463**, 1 (2004).
8. H. S. P. Wong, K. K. Chan and Y. Tuar, *IEDM Tech. Dig.*, IEEE, 427 (1997).
9. Semiconductor Industry Association(SIA), the international technology roadmap for semiconductors, (2001).
10. M. A. Pawlak, J. A. Kittl, O. Chamirian, A. Veloso, A. Lauwers, T. Schram, K. Maex and A. Vantomme, *Microelectronic Engineering*, **76**, 349 (2004).
11. I. De, D. Johri, A. Srivastava and C. M. Osburn, *Solid-State Electron*, **44**, 1077 (2000).
12. K. P. Liew, R. A. Bernstein and C. V. Thompson, *J. Mater. Res.*, **19**, 676 (2004).
13. Christian Rivero, Patrice, Gergaud, Olivier Thomas, Benoit Froment and Herve Jaouen, *Microelectronic Engineering*, **76**, 318 (2004).
14. J. Chen, J. P. Colinge, D. Flandre, R. Gillon, J. P. Raskin and D. Vanhoenacker, *J. Electrochem. Soc.*, **144**, 2437 (1997).
15. H. Zhang, J. Poole, R. Eller and M. Keefe, *J. Vac. Sci. Technol.*, **A17**, 1904 (1999).
16. Y. S. Jung, S. H. Cheong and O. S. Song, *Kor. J. of Mater. Res.*, **14**, 389 (2004).
17. S. P. Murarka, *J. Electrochem. Soc.*, **129**, 293 (1982).