

## Cu/Ti-capping/NiSi 전극구조 p<sup>+</sup>/n 접합의 전기적 특성

이근우 · 김주연\* · 배규식<sup>†</sup>

수원대학교 전자재료공학과

\*한양대학교 재료공학부

## Electrical Characteristics of p<sup>+</sup>/n Junctions with Cu/Ti-capping/NiSi Electrode

Keun-Yoo Lee, Ju-Youn Kim\* and Kyoo-Sik Bae<sup>†</sup>

Dept. of Electronic Materials Engineering, The University of Suwon, Suwon, 445-743, Korea

\*Division of Materials Science and Engineering, Hanyang University, Seoul, 100-791, Korea

(2005년 4월 6일 받음, 2005년 5월 13일 최종수정본 받음)

**Abstract** Ti-capped NiSi contacts were formed on p<sup>+</sup>/n junctions to improve the leakage problem and then Cu was deposited without removing the Ti-capping layer in an attempt to utilize as a diffusion barrier. The electrical characteristics of these p<sup>+</sup>/n diodes with Cu/Ti/NiSi electrodes were measured as a function of drive-in RTA(rapid-thermal annealing) and silicidation temperature and time. When drive-in annealed at 900°C, 10 sec. and silicided at 500°C, 100 sec., the diodes showed the most excellent I-V characteristics. Especially, the leakage current was 10<sup>-10</sup>A, much lower than reported data for diodes with NiSi contacts. However, when the p<sup>+</sup>/n diodes with Cu/Ti/NiSi contacts were furnace-annealed at 400°C for 40 min., the leakage current increased by 4 orders. The FESEM and AES analysis revealed that the Ti-capping layer effectively prohibited the Cu diffusion, but was ineffective against the NiSi dissociation and consequent Ni diffusion.

**Key words** Ti-capped NiSi contact, p<sup>+</sup>/n junction, I-V characteristics, thermal stability, Cu diffusion barrier.

### 1. 서 론

반도체소자의 초미세화에 따라 단채널 효과, 접촉의 크기 축소로 인한 소스/드레인에서의 기생저항 증가, 게이트에서의 RC 지연시간(RC delay time) 증가 등의 문제점이 야기되었다. 이를 해결하기 위하여 접촉 및 게이트 전극으로 TiSi<sub>2</sub>, CoSi<sub>2</sub>가 sub-micron 소자에 사용되고 있다. 하지만 TiSi<sub>2</sub>는 면저항의 선평의존성 그리고 CoSi<sub>2</sub>는 실리사이드 형성시 과도한 실리콘 소모로 인해 45 nm 이하의 차세대 MOSFET소자에의 적용에는 한계가 있다.<sup>1)</sup> 반면, NiSi는 TiSi<sub>2</sub>나 CoSi<sub>2</sub>에 비금가는 낮은 비저항(~15 μΩcm)을 가지나 이러한 문제점이 없고, 실리사이드 형성온도가 350~750°C로 열공정 온도 선평폭이 넓은 재료로서 차세대 고집적 소자,<sup>1-3)</sup> LCD용 TFT,<sup>4,5)</sup> SiGe소자<sup>6)</sup> 등에의 적용을 위해 연구되고 있다. 그러나, NiSi는 응집(agglomeration), NiSi<sub>2</sub>로의 상전이 등으로 인해 높은 누설전류와 열적불안정성을 나타내는 데, Ti 또는 TiN을 capping층으로 하여 NiSi를 형성하면 이를 줄일 수 있는 것으로 보고된 바 있다.<sup>7,8)</sup>

한편, 집적회로의 배선재료로는 Al 합금이 사용되어 왔으나, ULSI소자에는 비저항이 낮고 electromigration과 stress-migration에 대한 저항성이 높은 Cu로 대체하게 되었다. 그러나, Cu는 접하고 있는 Si와 SiO<sub>2</sub>층으로 쉽게 확산하여 전기적 특성을 저하시키므로 Ti, TiN, Ta, TaN 등의 확산방지막을 필요로 한다.<sup>9-11)</sup> 그런데, Cu배선은 소자의 상층부에서는 Si 및 SiO<sub>2</sub>와 주로 접하고 있으나, 기저층의 소스/드레인과 게이트에서는 실리사이드 접촉과 접하고 있다. 이때도, Cu와 실리사이드 사이에는 상호확산을 방지하는 방지막이 필요하다.

본 연구에서는 Ti를 capping층으로 하여 NiSi를 형성시킨 후 capping층을 제거하지 않고 그 위에 Cu 배선을 증착하여 capping층을 확산방지막으로 활용하고자 하였다. 이를 위하여 Cu/Ti-capping/NiSi 전극 구조의 다이오드를 제작하고 전기적(I-V)특성을 측정하여, 실리사이드 형성 시 capping층으로 사용한 Ti층을 확산방지막으로도 활용할 수 있는지를 확인하고자 하였다. 특별히 최적의 drive-in 열처리 공정조건과 Ti-capping 층의 확산방지 특성을 검증하는 데 관심을 집중하였다.

<sup>†</sup>E-Mail : ksbae@suwon.ac.kr

## 2. 실험 방법

기판으로 (100)방향의 결정성을 갖는 n형(5~20 Ω·cm) 4인치 실리콘 웨이퍼를 준비하였다. 유기물 제거를 위하여 아세톤, IPA, D.I water로 각각 5분간 초음파 세척을 하였으며, 자연산화막을 제거하기 위하여 1:10(HF:D.I water)의 비율로 만든 용액에 10분간 침지시켰다. 유기물과 자연산화막을 제거한 후 BF<sub>2</sub><sup>+</sup>를 1×10<sup>15</sup> dose, energy 30 keV 조건으로 이온주입 하였다. 이온주입 후 drive-in 열처리 조건이 접합의 전기적 특성에 미치는 영향을 조사하기 위해 온도는 700~900°C, 시간은 20~180 초로 변화시키며 RTA(Rapid Thermal Annealing)로 후속 열처리 하였다. 열처리 된 시편위에 D.C sputter를 이용하여 Ni (20 nm)과 Ti(20 nm)를 차례로 증착하고, 500°C에서 100초 간 급속열처리하여 NiSi를 형성시켰다. 그리고 NiSi가 형성된 시편 위에 D.C sputter로 Cu(100 nm)를 증착하였으며, I-V특성을 측정하기 위하여 5×5 mm의 크기로 절단하였다. 절단된 다이오드 중 일부는 관상로에서 400°C에서 40분간 열처리를 하고 전기적 특성을 측정하여 Cu/Ti-capping/NiSi의 열적안정성을 조사하였다. 제작된 다이오드 시편의 단면은 FESEM(Field Effect Scanning Electron Microscopy)으로 관찰하였으며 깊이에 따른 화학조성의 변화는 AES(Auger Electron Spectroscopy)로 분석하였고, 열처리 전후의 면저항은 4점 탐침기로, 그리고 다이오드의 I-V 특성은 HP4156A Parameter Analyzer로 측정하였다.

## 3. 결과 및 고찰

Fig. 1은 이온주입 후 drive-in 열처리를 하여 형성시킨 p<sup>+</sup>/n 접합위에 증착된 Cu/Ti capped NiSi 전극의 단

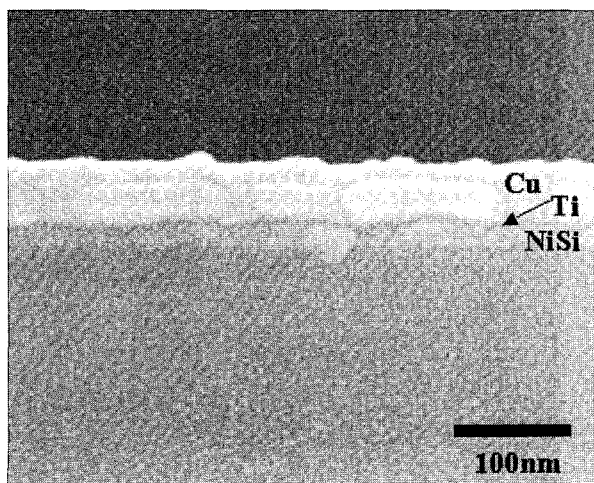
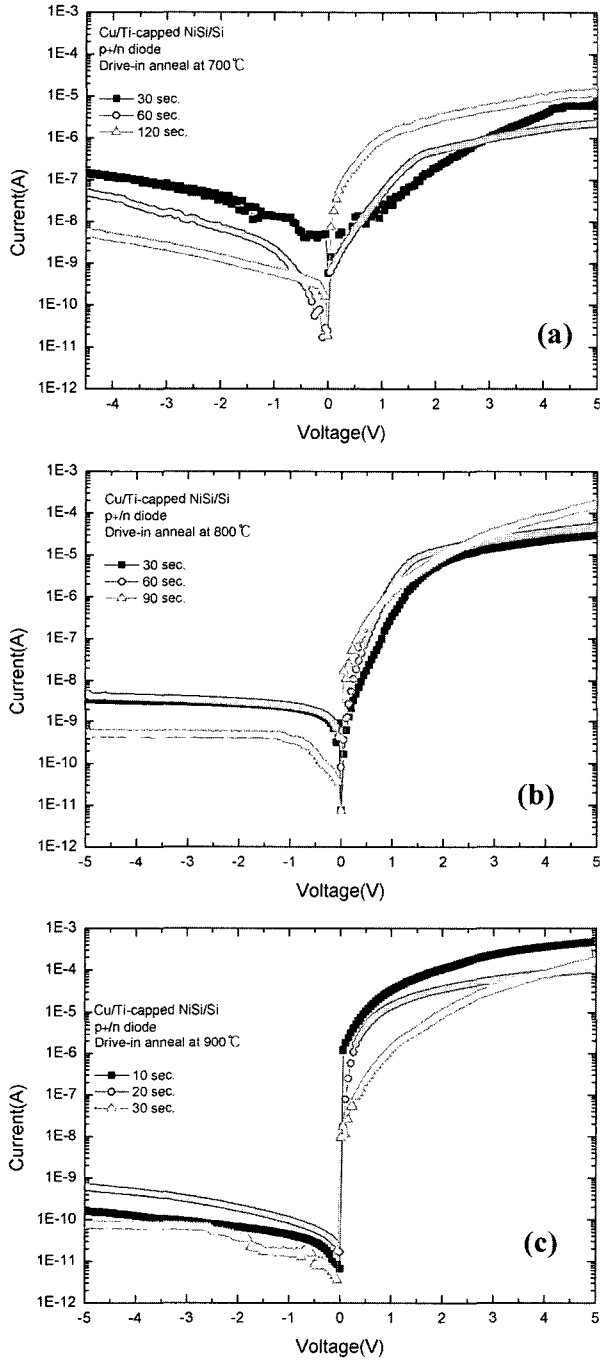


Fig. 1. Cross-sectional FESEM micrographs of Cu/Ti/NiSi p<sup>+</sup>/n junction diode(sample size=5×5 mm).

면을 FESEM으로 관찰한 것이다. 약 100 nm 두께의 Cu 층 밑에 Ti capping층과 NiSi 층이 있음을 볼 수 있다. 실리사이드화 열처리 전 Ni의 두께는 20 nm이었으나, NiSi화 할 때 1.8배로 두께가 증가하기<sup>1)</sup> 때문에 NiSi 층은 약 40 nm로 증가한 반면, Ti 층은 오히려 축소되어 있어 Ti이 Cu층 및 NiSi층으로 어느 정도 퍼져 있는 것으로 보여진다. NiSi층의 두께는 (111)마면(facet)<sup>12)</sup>으로 추정되는 돌출부의 형성을 제외하면 비교적 균일하며 Si 기판과의 계면도 평탄하다. 이는 Ti capping층이 자연산화막을 환원시키고 Ni의 확산을 지연시키기 때문으로 알려져 있다.<sup>3,7,8)</sup> 위의 각 공정별로 면저항을 측정 한 결과 BF<sub>2</sub><sup>+</sup> 이온주입 후에는 170~210 Ω/°C 이었고, Ti/Ni 증착 직후에는 20~25 Ω/°C, 실리사이드 열처리 후에는 8~10 Ω/°C으로 낮아져 NiSi가 형성되었음을 간접적으로 확인할 수 있고, Cu 증착 후에는 0.5~1.2 Ω/°C 정도의 면저항 값을 나타내었다.

p<sup>+</sup>/n 접합을 형성하기 위하여 이온주입을 하고 drive-in 열처리를 하며, 그 후 NiSi 형성을 위해 급속열처리를 한다. 이때 drive-in 열처리는 물론 NiSi 형성 열처리도 이온의 활성화에 영향을 미친다. Fig. 2는 BF<sub>2</sub><sup>+</sup>를 이온주입 한 후 drive-in 열처리 온도와 시간을 변화시키면서 p<sup>+</sup>/n 접합을 형성한 후, NiSi 형성 열처리 조건은 500°C, 100초로 고정하고 diode를 만들어 I-V 특성 변화를 측정 한 결과이다. Drive-in 온도 700°C에서 30~120초 동안 열처리한 경우(Fig. 2(a)), 활성화가 잘 이루어지지 않은 낮은 온도로 인하여 순방향 전류가 낮았으며 역방향의 누설전류는 매우 높아, 열처리 시간에 상관없이 Schottky 다이오드 곡선과 유사하게 나타났다. 특히 30초일 때 불규칙한 I-V 곡선은 계면의 불안정 및 낮은 활성화로 인하여 pn 접합의 형성이 잘 이루어지지 않음을 보여주었다. 시간을 120초로 늘리면 비교적 정상적인 I-V 특성을 나타내었고 누설전류 값도 -5 V일 때 8×10<sup>-9</sup>(A)로 낮게 나타났다. Drive-in 열처리 온도를 800°C로 올리면(Fig. 2(b)), 순방향으로 1 V일 때 거의 최대 전류 값을 나타내고 그 값도 ~10<sup>-4</sup>(A)로 매우 높게 나타났다. 또한 역방향의 전류도 10<sup>-8</sup>(A)이하로 나타나면서 전형적인 pn 접합 다이오드의 특성을 나타내었다. 특히 열처리 시간을 90초로 증가시켰을 때 가장 우수한 I-V 특성을 나타내었다. Drive-in 열처리 온도를 900°C로 올린 경우(Fig. 2(c)), 10초간 짧은 열처리 시 순방향의 전류는 1 V보다 훨씬 낮은 전압에 최대 값에 이르고 그 값도 10<sup>-3</sup>(A)에 근접하게 나타나 충분한 불순물의 활성화가 이루어졌음을 나타내었다. 역방향의 전류도 10<sup>-10</sup>(A)로 더 낮아져 이상적인 다이오드 특성을 나타내었다.<sup>13)</sup> 가장 낮은 누설전류 값은 30초일 때 9×10<sup>-11</sup>(A)로 측정되었으며, 이때 누설전류밀도는 3.6×10<sup>-10</sup>(A/cm<sup>2</sup>)으로 환산되어 다른 연구자들의 결과<sup>7)</sup>보다 1~2order 낮은 값을 나타내었다. 그

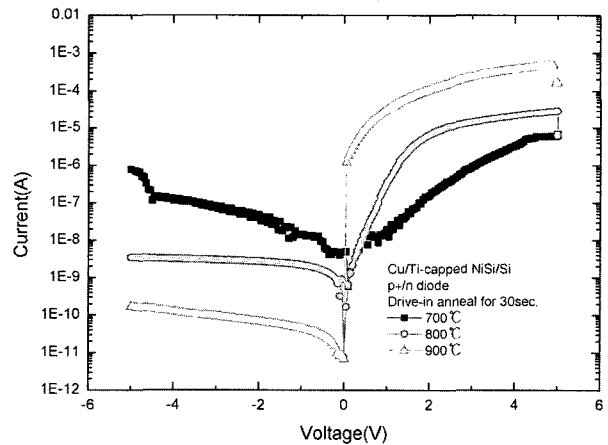
러나, 시간을 10초 이상으로 증가하면 순방향 전류 값이 약간 낮아졌다. 이상의 결과에서 800°C까지는 열처리 시간을 90초 정도까지 길게 하는 것이 좋지만, 900°C에서는 10초 정도로 짧게 하는 것이 유리한 것으로 나타났다. 전체적으로, 900°C에서 10초 drive-in 열처리하고 Ti-capped NiSi를 형성하는 것이 가장 우수한 I-V 특성을 나타내는 것으로 나타났다.



**Fig. 2.** Comparison of I-V characteristics of p<sup>+</sup>n junction diode as a function of drive-in annealing time. Temperature at (a) 700°C, (b) 800°C and (c) 900°C.

Drive-in 열처리 시간을 일정하게 하고 온도만의 영향을 비교하기 위하여, Fig. 2의 결과 중 급속열처리 시간이 30초인 경우의 I-V 특성을 Fig. 3에 나타내었다. 온도가 낮을수록 누설전류는 수 order 이상 높았으며, 이는 낮은 온도에서는 B의 충분한 활성화가 이루어지지 않아 pn 접합의 형성이 고르지 않았기 때문이다. 특히 700°C에서의 I-V 특성 곡선은 이와 같은 현상이 뚜렷하며 또한 noise 현상도 나타났다. 열처리 온도가 700°C에서 900°C로 증가할수록 순방향 전류가 급격히 증가하였으며, 동시에 누설전류도 급격히 감소하여 점점 더 이상적인 I-V 특성을 나타내었다. 900°C의 경우 누설전류 밀도는 위에서 언급한 바와 같이  $3.6 \times 10^{-10} (\text{A}/\text{cm}^2)$ 으로 환산되어졌고,  $\pm 5 \text{ V}$ 에서 순방향과 역방향의 전류가 현저하게 차이가 나는 전형적인 다이오드 특성을 나타내었다. 이 결과는 NiSi 형성을 위한 500°C에서의 급속열처리는 B의 활성화, 즉 다이오드의 전기적 특성에는 큰 영향을 주지 않음을 의미한다.

다음으로 NiSi 형성 열처리 온도를 높였을 때 p<sup>+</sup>n 접합 다이오드의 전기적인 특성에 미치는 영향을 알아보기 위하여 drive-in 열처리 조건을 900°C, 10초로 고정하고 NiSi 형성온도를 800°C로 증가시켜 100초간 열처리 한 후에 I-V 특성을 측정하여 500°C(Fig. 2(c))의 경우와 비교하였다(Fig. 4). 800°C의 경우 순방향 5 V에서의 최대 전류 값은 미소하나마 증가하여 B의 활성화가 더 진행되었음을 보여준다. 반면, 역방향의 누설전류는 4 order나 증가하여 전극이 극심하게 손상되었음을 나타낸다. 이는 응집으로 인하여 NiSi가 접합과 실리콘 기판 속으로 뚫고 들어가 spike를 형성하고 또 Si은 상부의 전극 층으로 확산할 뿐 아니라, NiSi가 NiSi<sub>2</sub>로 상전이를 하기 때문이다.<sup>7,8)</sup> 이 결과는 실리사이드 형성 온도가 500°C 이상으로 너무 높으면 누설전류에 증가시키는 원인이 된



**Fig. 3.** Comparison of I-V characteristics of p<sup>+</sup>n junction diode as a function of drive-in annealing temperature (Time for 30 sec.).

을 확인시켜준다. 이상의 Fig. 2-4의 결과에서 drive-in 열처리는 900°C 10초, 그리고 Ti-capped NiSi 형성은 500°C 100초가 가장 좋은 조건으로 나타났다.

MOSFET 소자의 소스/드레인, 즉 p<sup>+</sup>/n 접합을 만들고 그 위에 Cu/Ti capped NiSi를 형성한 이후의 후속 열 공정을 감안하여, 900°C 30초 drive-in 열처리하고 500°C 100초 실리사이드화 열처리하여 제작한 다이오드를 관상 로에 장입하여 400°C 40분간 진공분위기(10<sup>-4</sup> torr)에서 열처리하였다. Fig. 5는 열처리 전후의 전기적 특성을 비교한 결과이다. 이는 Ti-capping층의 Cu와 NiSi의 상호 확산 방지막으로의 역할을 확인하기 위한 것이다. Fig. 5에서 순방향 5V에서의 전류 값은 큰 변화가 없으나 역방향의 누설전류는 4 order 이상 증가하여 전극이 극심하게 손상되었음을 보여준다. 그 결과 전형적인 다이오드의 특성은 사라지고 Schottky 다이오드 곡선으로 변하

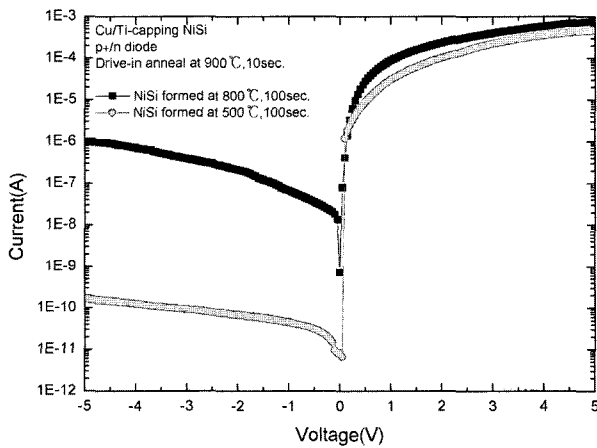


Fig. 4. Comparison of I-V characteristics of p<sup>+</sup>/n junction diode as a function of NiSi formation temperature (Time for 100 sec.).

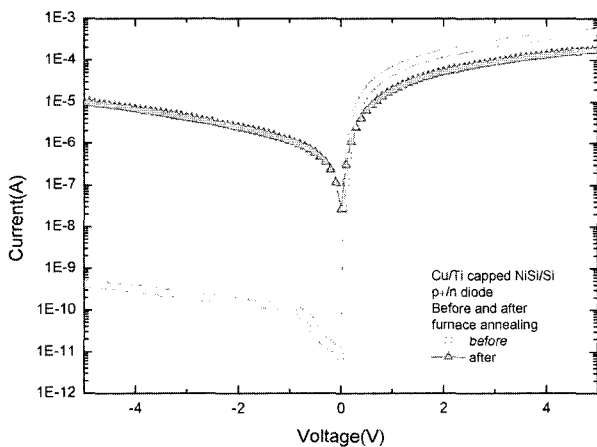


Fig. 5. Comparison of I-V characteristics of Cu/Ti/NiSi p<sup>+</sup>/n junction diode before and after furnace annealing at 400°C for 40 min..

게 되었다. 그 원인을 알아보기 위하여 노 열처리한 다이오드의 단면을 FESEM(Fig. 6)로 관찰하고 AES(Fig. 7)로 분석하였다. 장시간 열처리에 의해 NiSi가 응집되어 Si기판 쪽으로 spike를 형성하였고(Fig. 6의 우측하단) Si은 표면층이 확산된 것으로 보여 지나 Fig. 6에서는 확인되지 않았다. 또 Fig. 7의 AES 분석결과에서 Ti 중간층은 많은 양의 산소를 함유하고 Cu층과 NiSi층 사이에 남아 있고 Cu층도 하부로 확산하지 않아 Ti-capping층이 Cu의 확산은 효과적으로 방지하였음을 알 수 있다. 그러나, 상당량의 Ni이 Cu층과 Si층으로 확산하여 응집현상이 광범위하게 일어났음을 보여준다. 따라서, Fig. 5의 누설전류 증가는 NiSi가 분해하고 Ni이 Cu층과 Si 기판층으로 확산하는 응집현상에 따른 것으로 판단된다. 이는 Ti capping층이 Cu의 확산은 효과적으로 방지하였으나 Ni의 확산에는 효과적이지 않음을 의미하여, Cu/NiSi 사이에는 Cu뿐만 아니라 Ni의 확산을 막을 수 있는 확산

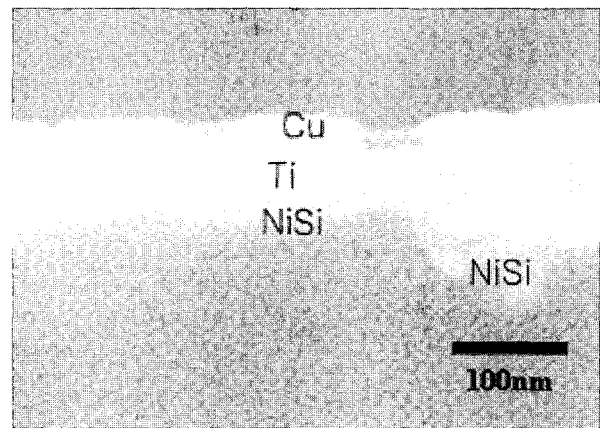


Fig. 6. Cross-sectional FESEM micrographs of Cu/Ti/NiSi p<sup>+</sup>/n junction diode after furnace annealing at 400°C for 40 min..

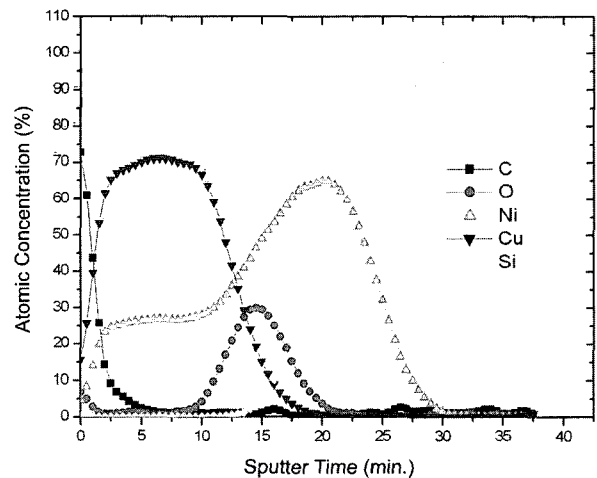


Fig. 7. AES depth profiles of Cu/Ti/NiSi p<sup>+</sup>/n junction diode after furnace annealing at 400°C for 40 min..

방지막이 필요함을 의미한다. 이를 위해서는 Ti capping 층의 두께를 20 nm 보다 훨씬 두껍게 하든지, TiN 또는 TaN 같은 다른 확산방지층을 capping층으로 사용하여야 할 것으로 판단되며 이에 대해 앞으로의 연구가 요구된다.

#### 4. 결 론

차세대 ULSI 소자의 소스 및 드레인의 접촉전극으로 NiSi를 적용할 때, Ti를 capping층으로 하여 열적안정성이 향상된 NiSi를 형성시킨 후, 이 capping층을 제거하지 않고 그 위에 Cu 배선을 증착하여 capping층을 확산방지막으로 활용하고자 하였다. 이를 위하여 이온주입 후 drive-in 급속열처리 온도를 700~900°C, 시간은 20~180초로 변화시키고, 실리사이드 형성 온도를 500 및 800°C, 100초로 하여 다이오드를 만들고 I-V특성을 측정한 결과 900°C 10초간 drive-in 열처리하고 500°C에서 100초간 NiSi를 형성할 때 가장 우수한 I-V특성을 나타내었다. 특별히 누설전류가  $10^{-10}$ (A)로 매우 낮았고, 이상적인 다이오드 특성을 나타내었다. 가장 낮은 누설전류는 900°C, 30초일 때  $9 \times 10^{-11}$ (A)이었으며, 이 값을 누설전류밀도로 환산하면  $3.6 \times 10^{-10}$ (A/cm<sup>2</sup>)으로 다른 연구자들의 결과보다 1~2order 낮은 값을 나타내었다. 따라서, Cu/Ti-capping/NiSi 전극을 소스/드레인에 적용하면 누설전류 값이 낮은 안정된 접촉을 형성할 수 있음을 확인하였다. 그러나, Cu/Ti capped NiSi 전극구조의 다이오드를 관상료에 장입하여 400°C에서 40분간 장시간 열처리한 결과, 누설전류는 4 order 이상 증가하여 전극이 극심하게 손상되어 열적불안정성을 나타내었다. 그 원인을 FESEM과 AES로 분석한 결과, Ti-capping층은 많은 양의 산소를 함유하고 Cu층과 NiSi층 사이에 남아 있고 Cu층도 하부로 확산하지 않아 Cu 확산을 효과적으로 방지하였으나, 반면 NiSi가 분해하고 상당량의 Ni이 Cu층과 Si층으로 확산하는 응집현상이 일어난 것으로 나타났다. 이는 Ti capping층이 Cu의 확산방지에는 효과적이거나, Ni의 확산에는 효과적이지 않음을 의미하여, Cu/NiSi

사이에는 Cu뿐 아니라 Ni의 확산을 막을 수 있는 확산 방지막이 필요함을 의미한다. 이를 위해서는 Ti capping 층의 두께를 늘리든지, TiN 또는 TaN 같은 다른 확산 방지층을 capping층으로 사용하여야 할 것으로 판단된다.

#### 감사의 글

본 연구는 한국과학재단 지역대학 우수과학자 지원연구비(과제번호 : R05-2000-000-00245-0(2002))로 수행되었으며 이에 감사드립니다.

#### 참 고 문 헌

1. H. Iwai, T. Ohguro and S.I. Ohmi, *Microelectronic Engineering*, **60**, 157 (2002).
2. A. Lauwers, J. A. Kittle, M. J. H. Van Dal, O. Chamirian, M. A. Pawlak, M.de Potter, R. Lindsay, T. Raymakers, X. Pages, B. Mebarki, T. Mandrekar and K. Maex, *Materials Science and Engineering B*, **114-115**, 29 (2004).
3. C. Lavoie, F.M. d'Heurle, C. Detavernier and C. Cabral Jr, *Microelectronic Engineering*, **20**, 144 (2003).
4. W. K. Kwak, B. R. Cho, S. Y. Yoon, S. J. Park and J. Jang, *IEEE-EDL*, **21**(3), 107 (2000).
5. Y. S. Kim, M. S. Kim and S. K. Joo, *Kor J. Mater. Res.*, **14**(7), 477 (2004).
6. T. H. Yang, G. Luo, E. Y. Chang, T. Y. Yang, H. C. Tseng and C. Y. Chang, *IEEE-EDL*, **24**(9), 544 (2003).
7. N. G. Toledo, P. S. Lee and K. L. Pey, *Thin Solid Films*, **462-263**, 202 (2004).
8. S. J. Park, K. W. Lee, J. Y. Kim, H. T. Jun and K. S. Bae, *Kor J. Mater. Res.*, **13**(7), 460 (2003).
9. S.-Q. Wang, *MRS Bulletin*, Aug., 30 (1994).
10. Y. Shacham-Diamond, *J. of Electronic Materials*, **30**(4), 336 (2001).
11. S. J. Hong and J. G. Lee, *Kor J. Mater. Res.*, **12**(11), 889 (2002).
12. J. S. Byun, D. H. Kim, W. S. Kim and H. J. Kim, *J. Appl. Phys.*, **78**(3), 1725 (1995).
13. V. Probst, H. Schaber, A. Mitwalsky, H. Kabza, L. V. den Hove and K. Maex, *J. Appl. Phys.*, **70**(2), 708 (1991).