

3가지 직교신호 발생 전압제어 발진기의 위상 잡음 특성비교

Comparison of Phase Noise Characteristics of Three Quadrature Voltage Controlled Oscillators

문 성 모*
(Seong-Mo Moon)

조 일 현**
(Il-Hyun Cho)

이 문 규***
(Moon-Quee Lee)

요 약

본 논문에서는 3가지 형태의 CMOS 직교 신호 발생 전압 제어 발진기를 설계 및 제작하여 위상 잡음 특성을 비교하였다. 첫 번째 구조는 PMOS를 이용하여 두개의 Colpitts 발진기를 구성한 후 이를 상호 결합시킨 구조이다. 두 번째와 세 번째 구조는 각각 일반적인 LC VCO와 평형 콜피츠 구조에 주파수 2분주기를 연결하여 직교신호를 얻는 구조이다. 모의 실험 결과 콜피츠 구조를 사용한 구조가 LC 발진기를 사용하였을 때에 비해 위상 잡음 특성이 6 dB 이상 개선되었다.

Abstract

Various CMOS quadrature-voltage-controlled oscillators(QVCOs) are designed and fabricated for the comparison of the phase noise characteristic. The first one is that the QVCO is composed of two Colpitts oscillators cross-coupled with PMOS coupling transistors. The second and third ones are the conventional LC VCO and the balanced Colpitts VCO followed by the frequency-divide-by-two, respectively. The simulation result demonstrate that Colpitts schemes show better phase noise performance by 6 dB than that of a conventional scheme in which LC VCO is followed by the frequency-divide-by-two.

Key Words : CMOS, quadrature-voltage-controlled oscillators(QVCOs), phase noise, Colpitts type, RFIC

I. 서 론

현재 무선통신 시스템은 원칩 (one chip) 구현에 장점을 가지고 있는 직변환 구조나 Low IF 구조를 이용한 시스템을 요구하고 있으며, 이를 수행하기 위한 연구 중 LO신호에서 직교신호(Quadrature signal)를 발생하기 위한 방법에 대한 연구가 계속되어 오고 있다. 그러나 현재까지도 GSM이나 CDMA와 같

은 송수신 시스템의 LO에서 요구되는 사양이 높기 때문에 전압제어 발진기를 CMOS공정으로 구현하기에는 부족한 점이 많다. 따라서 LO의 주요 성능 중 위상잡음 특성을 개선하는 방법이 SoC solution을 위한 가장 중요한 요소이다. 본 논문에서는 직교신호를 가지면서 기존의 구조보다 우수한 위상잡음 특성을 얻을 수 있는 전압제어 발진기의 구조에 대하여 기존의 구조와 비교, 검증하고자 한다.

* 주저자 : 서울시립대학교 전자전기 컴퓨터공학부 박사과정, 인티그란트 테크놀로지스 (주) 선임연구원

** 공저자 : 서울 시립대학교 전자전기 컴퓨터공학부 석사과정

*** 공저자 : 서울 시립대학교 전자전기 컴퓨터공학부 조교수

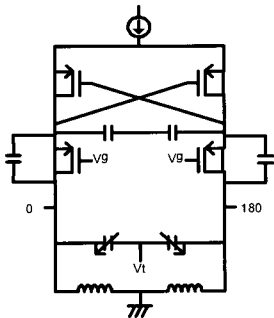
† 논문접수일 : 2005년 6월 21일

평형(Balanced) VCO 구조가 차동(differential) LC VCO구조에 비하여 위상잠음 특성이 우수하다는 점은 기존의 발표된 논문들에서 검증되었다[1-3]. 특히 Hajimiri는 Colpitts Type의 평형(balanced) 전압제어 발진기가 차동(differential) 구조에 비하여 더 좋은 cyclostationary 잠음 특성을 갖는다는 점을 이론적으로 분석하였으며, 이 후 발표된 다른 논문들에서도 평형(balanced) 구조가 차동(differential) 구조보다 우수한 위상잠음 특성을 갖는다는 것에 대한 검증을 하였다[2]. 따라서 본 논문에서는 CMOS 공정에서 Colpitts 방식의 평형 구조를 이용함으로써 기존의 RFIC에서 일반적인 차동 구조에서 보다 우수한 위상잠음 특성을 얻을 수 있는지 같은 공정을 통하여 비교하였다. 또한 2 분주기(Divide by two) 회로를 이용하는 방법과 직접 직교신호를 발생하는 방법에 대한 비교를 수행하였다 [4,5]. 본 논문에서는 앞에서 제시한 각각의 회로들을 한 공정을 이용하여 구조에 대한 장단점을 제작 비교하고자 한다.

II. 직교신호 발생 발진기의 구조

1. 콜피츠 발진기를 결합한 차동 발진기

<그림 1>은 Colpitts 방식을 이용한 차동 발진기 회로이다. <그림 1>에서 Colpitts 구조 차동 발진기의 한쪽 면을 보면 게이트 단을 AC 접지시켜



<그림 1> 콜피츠 발진기를 결합한 차동 발진기
<Fig. 1> Differential VCO combined with Colpitts oscillators

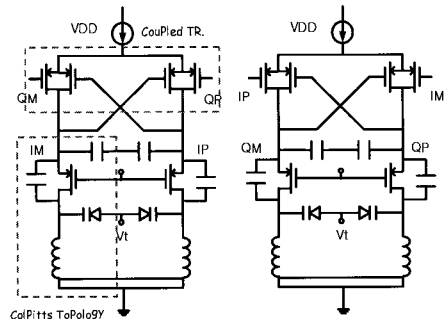
구성된 단일 Colpitts 구조가 된다. 이 Colpitts 구조의 가상 접지(Virtual Ground)면을 이용하여 두 개의 전압제어 발진기를 서로 대칭으로 연결하여 가상 접지(Virtual Ground)를 생성하는 평형(balanced)구조로 만들었다. 또한 평형(balanced) 구조로 동작하게 하고, 전압제어 발진기 회로에 전류를 공급하고, 평형 발진기의 위상차가 180도 갖는 것을 보정하기 위한 구조로 상호 결합 (cross coupled) 트랜지스터를 이용하였다.

1) 상호 결합 구조에 의한 직교신호 발생 전압제어 발진기

<그림 2>는 콜피츠 발진기를 결합한 차동 발진기에 결합 트랜지스터를 상호 결합하여 직교 신호를 얻는 구조를 보여주고 있다. 두 차동 발진기간의 결합 트랜지스터의 역할은 차동발진기에서 발생된 발진 신호가 인접한 차동 발진기에 주입 동기 (injection locking) 되어 직교신호를 발생하게 한다.[6]

2) 주파수 분주기를 이용한 직교신호 발생 전압제어 발진기

2 분주기 회로를 이용하여 직교신호를 발생하는 방법은 <그림 3>과 같다. 부 궤한 피드백을 갖는 두 개의 D flip-flop 래치(latch)를 이용하여 분주기 회로를 구현한 것이다. <그림 3>, (a)는 일반적인 래치이고, 이 구조에서 트랜지스터의 크기(gate width)



<그림 2> 콜피츠 발진구조를 기본으로 하는 결합 직교 신호 발생 전압제어 발진기의 구조
<Fig 2> Topology of a cross-coupled QVCO based on Colpitts oscillators

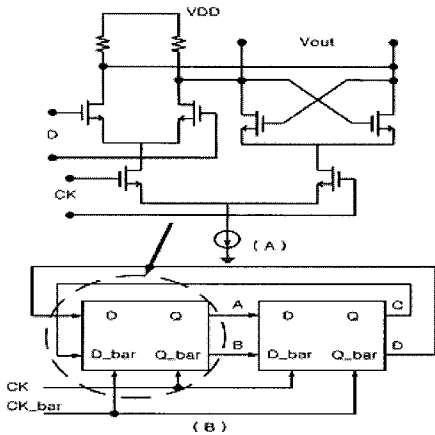
III. 모의 실험

위의 구조를 Agilent사의 ADS를 이용하여 Small signal 해석을 통해 소신호 발진조건을 찾았으며, harmonic balance와 Transient simulation을 이용하여 위상잡음, 위상오차 특성을 최적화 하였다.

1. 콜피츠 구조와 결합 트랜지스터를 이용한 직교신호 발생 전압제어 발진기

Colpitts구조와 상호 결합 트랜지스터를 이용한 직교신호 발생 전압제어 발진기의 구성은 다음과 같다. 위상잡음 특성을 개선하기 위하여 PMOS 트랜지스터를 이용하여 발진기의 core와 전류거울(current mirror)을 설계하였고, 인덕터는 선폭 10 um, 선간간격 2 um, 권선수 2.5 인 인덕터를 이용하였으며, 바랙터는 트랜지스터의 drain과 source를 연결해 커패시턴스를 갖는 PN junction을 사용하였다(그림 1). 모의실험 결과 1.8 V 전원 전압에 core에 4 mA 전류 소비를 하였으며, 발진 주파수 2.05 GHz, control 전압 0 V - 1.8 V에 250 MHz의 주파수 가변, 30 dB이상의 고조파 억압특성, -123 dBc/Hz @ 1 MHz 이하의 위상잡음 특성을 얻었다(그림 4, 그림 5).

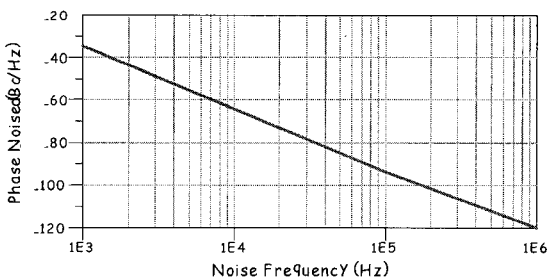
레이아웃은 Cadence 사의 Virtuoso를 이용하였다. Layout 상에 나타나는 위상오차를 최소화하기 위해 다음 <그림 6>과 같이 회로를 상하 좌우 대칭이 되도록 레이아웃 하였으며, 전체 회로의 크기는 $1000 \times 1400 \mu\text{m}^2$ 이다.



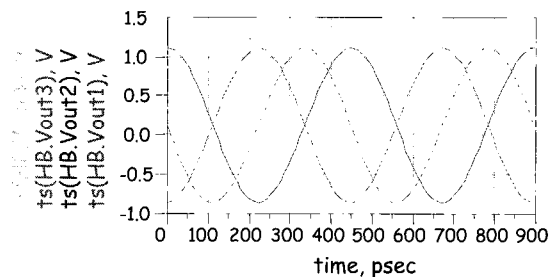
<그림 3> (a) 래치 (b) 2 분주기
<Fig. 3>(a) Latch (b) Divide-by-two

를 이용하여 GHz 대역에서 분배기의 속도와 전력 관계를 조절할 수 있다.

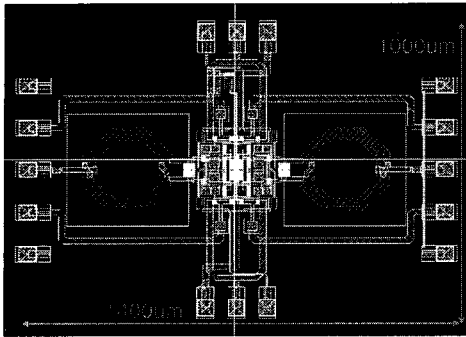
<그림 3>, (b)는 2 분주기(divider) 구조이다. 만일 두개의 래치(latch)가 잘 정합되어 있고, 두개의 클럭(clock) 신호에 $2f_0$ 에서 발진 하는 차동 신호를 인가하였을 때 분주기(divider)의 출력인 A, B, C, D에서 직교신호가 발생한다. 일반적으로 이러한 구조의 방식에서 위상 오차는 1도 정도이나, 만일 클럭 신호에 들어가는 차동 발진기의 위상 오차가 커지면 분주기(divider)를 통한 직교신호의 위상 오차도 더욱 커지게 된다. 본 논문에서는 4 GHz에서 동작하는 차동(differential) 구조의 VCO와 차동 Colpitts구조를 갖는 VCO를 설계하여 동일한 2 분주기(divide by two)회로를 통한 출력신호인 직교신호의 위상 잡음 특성과 위상오차 특성을 비교하였다.



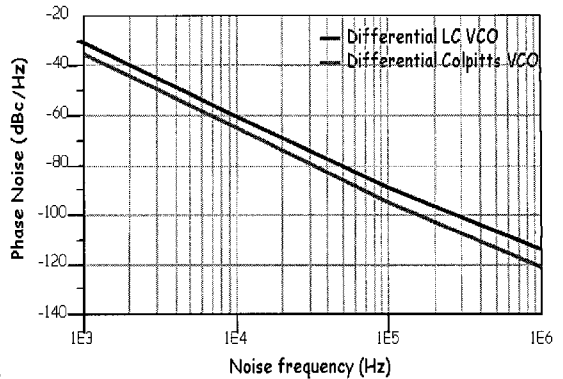
<그림 4> 모의 실험된 위상 잡음 특성
<Fig. 4> Simulated phase noise characteristic



<그림 5> 모의 실험된 전압파형
<Fig. 5> Simulated voltage waveform



<그림 6> 직교신호 발생전압제어 발진기의 레이아웃
 <Fig. 6> Layout of quadrature voltage controlled oscillator



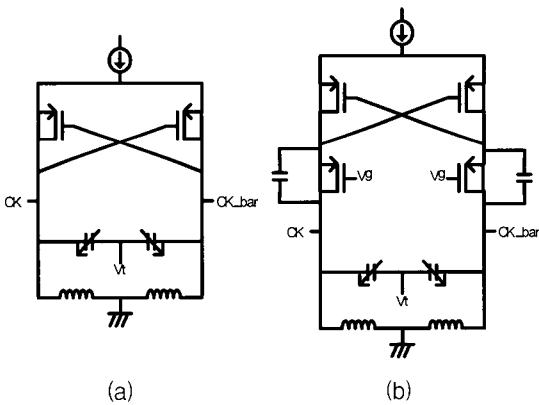
<그림 8> 위상 잡음 특성 비교
 <Fig. 8> Comparison of phase noise characteristics

2. 2분주기를 이용한 직교신호 발생 전압제어 발진기

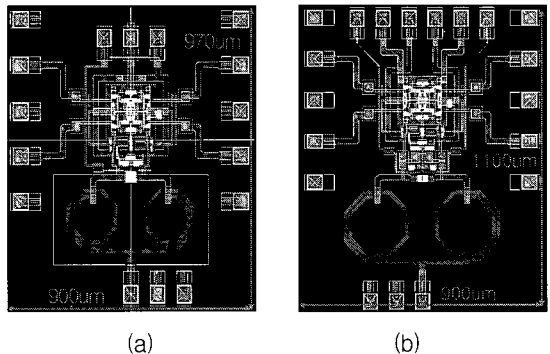
2 분주기(Divide by two)회로를 이용한 직교신호 발생 전압제어 발진기의 구성은 다음과 같다. 위상 잡음 특성을 개선하기 위하여 PMOS 트랜지스터를 이용하여 2 분주기(Divide by two)회로의 core와 전류거울(current mirror)을 설계하였고, 2GHz 대역에서 충분히 동작하기 위한 전류를 최적화 하였다. 전압제어 발진기는 두 가지 구조인 차동 Colpitts 구조와 차동(differential) LC VCO 구조로 동일한 주파수 대역에서 발진하게 설계하였으며, 각각

의 회로는 다음 과 같다(그림 7). 이는 동일한 조건에서 직교신호를 발생했을 때 두 구조의 성능을 비교하기 위함이다.

모의 실험 결과 동일한 주파수에서 발진하였을 때 차동(Differential) 구조보다 차동 Copitts 구조에서 6 dB 이상의 낮은 위상잡음 특성을 얻을 수 있었다. 즉 실험 결과 전압제어 발진기 자체의 위상잡음 특성은 차동(differential) 구조와 차동 Colpitts 구조에서 각각 -116 dBc/Hz@ 1 MHz, -121 dBc/Hz @ 1 MHz 을 얻을 수 있었다(그림 8.). 두 종류의 전압제어 발진기의 모의 실험 결과는 <표 1>에서 정리하였다. <그림 9>, (a)는 차동(differential)



<그림 7> 전압제어 발진기의 구조 (a)차동 LC VCO 구조, (b) 차동 콜피츠 구조
 <Fig. 7> Topology of voltage controlled oscillator (a) Differential LC VCO (b) Differential Colpitts VCO



<그림 9> 2분주기를 이용한 직교신호 발생 전압제어 발진기의 레이아웃, (a) 차동 LC VCO 구조, (b) 차동 콜피츠 구조
 <Fig. 9> Layout of QVCO using divide-by-two circuit (a) Differential LC VCO, (b)Differential Colpitts VCO

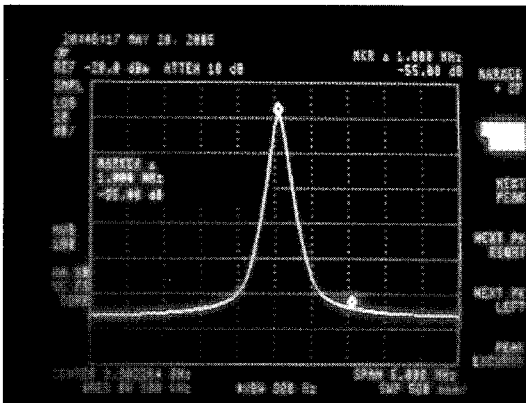
<표 1> 2분주기를 이용한 직교신호 발생 전압제어 발진기 비교
<Table. 1> Comparison of QVCOs using divide by two circuit

	Differential LC-VCO	Differential Colpitts VCO
Frequency range (GHz)	4 ~ 4.4	4 ~ 4.4'
Phase noise (dBc/Hz @ 1MHz)	< -116	< -121
2nd Harmonic Suppression (dBc/Hz)	< -25	< -25
Core Current (mA)	3.3	2.89

LC 전압제어 발진기와 2 분주기 회로를 포함한 전체 회로 사진이고, <그림 9>(b)는 차동 Colpitts 전압제어 발진기와 2 분주기 회로를 포함한 회로 사진이다. 이는 각각 Cadence 사의 Virtuoso를 이용하여 구현하였으며, 회로의 크기는 각각 900 × 970um² (차동 발진기 구조), 900 × 1100um² (평형 발진기 구조)이다.

<표 2>는 2분주기를 사용한 차동 LC VCO의 2 분주기의 출력을 모의 실험과 비교한 것이며, 위상 잡음 특성은 <그림 10>과 같다.

모의 실험 결과와 측정 결과의 차이는 설계과정에서 사용한 각 소자들의 RF modeling과 실제 소자들과의 차이가 있기 때문이다. 또, 측정 방법이



<그림 10> 위상 잡음 측정 사진

<Fig. 10> Photograph of the measured phase noise

<표 2> 모의 실험 결과와 측정 결과 비교
<Table. 2> Comparison of simulation and measurement

	Simulated results		Measured results	
	Differential LC VCO	Divide by 2	Differential LC VCO	Divide by 2
Frequency (GHz)	2.0 ~ 2.2	4.0 ~ 4.4	1.95	3.90
Phase Noise (dBc/Hz @ 1MHz)	< -122	< -116	-111	-105
2nd Harmonic Suppression (dBc/Hz)		< -25		< -10
Chip Size (um ²)	900×970		900×970	

있어 커패시터 혹은 발룬 등을 통해 출력에 추가되는 잡음을 제거할 수 있는 PCB등을 이용한 측정 방법이 아닌 on wafer 측정을 하였기 때문이다.

VI. 결 론

본 논문에서는 삼성 0.18um 표준 CMOS 공정을 이용하여 2 GHz 대역 직변환 구조의 무선 시스템에 적용할 수 있는 직교신호 발생 전압제어 발진기를 설계, 제작하였다. 본 논문에서의 전압제어 발진기의 구조는 직교 신호를 발생할 수 있는 방법에 관한 2가지 구조와 VCO회로의 구조에 관한 2가지 방법을 서로 비교하였다. Colpitts 구조를 이

<표 3> 설계한 직교 신호 발생 전압제어 발진기의 특성 요약

<Table. 3> Summary of characteristic of designed QVCOs

	QVCO	Divide by two	
		Differential LC	Differential Colpitts
Frequency range (GHz)	2.05~2.30	2.0~2.2	2.0~2.2
Phase noise (dBc/Hz @ 1MHz)	< -123	< -122	< -127
2nd Harmonic Suppression (dBc/Hz)	< -30	< -25	< -25
Chip Size(um ²)	1000*1400	900*970	900*1100

용한 차동 Colpitts 구조가 RFIC에서 기존에 많이 이용되었던 차동(differential) 구조에 비하여 우수한 위상잡음 특성을 얻을 수 있음을 알 수 있다.

또한 직교신호를 발생하기 위한 구조적인 면에서 2 분주기(Divide-by-two circuits)를 이용한 직교신호 발생 전압제어 발진기는 직접 직교신호를 발생하는 구조에 비하여 전체 회로의 크기 면에서 장점이 있다. 본 논문에서 설계한 3가지 방법에 대한 직교신호 발생 전압제어 발진기의 특성을 요약하였다(표 3.).

측정은 Probe station을 이용한 On wafer 측정을 하였으며, 2분주기의 특성을 모의 실험과 비교하였다.(표 2).

감사의 말

본 연구는 IDEC의 부분 지원을 받았습니다.

참 고 문 헌

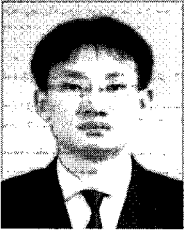
- [1] T. H. Lee, A. Hajimiri, "Oscillator phase noise : a tutorial," *IEEE Journal of Solid-State Circuits*, vol. 35, no. 3, pp. 326 - 336, March 2000.
- [2] D. H. Baek, J. G. Kim, S. Hong, "A Ku band InGaP/GaAs HBT MMIC VCO with a balanced and a differential topologies," *IEEE MTT-S Int. Microwave Symp. Dig.*, vol. 2, pp. 847-850, June 2002.
- [3] S. Ko, "An X-band CMOS quadrature balanced VCO," *IEEE MTT-S Int. Microwave Symp. Dig.*, vol. 3, pp. 2003 - 2006, 6-11, June 2004.
- [4] B. Chi and B. Shi, "Low-power CMOS VCO and its divide-by-2 dividers with quadrature outputs for 5 GHz 2.5 GHz WLAN transceivers," *IEEE MTT-S Int. Microwave Symp. Dig.*, vol. 1, pp. 525 - 528, June 2002.
- [5] E. A. Sovero, "Monolithic InP HBT W-band VCO-static divider," *IEEE MTT-S Int. Microwave Symp. Dig.*, vol. 3, pp. 1325 - 1328, June 2004.
- [6] R. Aparicio, "Noise-shifting differential Colpitts VCO," *IEEE J. Solid-State Circuits*, vol. 37, no. 12, pp. 1728 - 1736, Dec. 2002.

〈저자소개〉



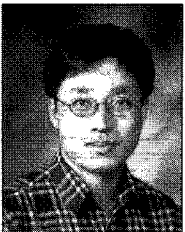
문 성 모 (Moon, Seong-Mo)

2003년 2월 서울 시립대학교 전자전기 컴퓨터공학부 (공학사)
2003년 3월 ~ 2005년 2월 : 서울 시립대학교 전자전기 컴퓨터공학부 (공학석사)
2005년 3월 ~ 현재 : 인티그란트 테크놀로지스(주) 전임연구원



조 일 현 (Cho, Il-Hyun)

2005년 2월 서울 시립대학교 전자전기 컴퓨터공학부 (공학사)
2005년 3월 ~ 현재 : 서울 시립대학교 전자전기 컴퓨터공학부 석사과정



이 문 규 (Lee, Moon-Que)

1992년 2월 한국과학기술원 전기 및 전자공학과 (공학사)
1992년 3월 ~ 1994년 2월 : 서울대학교 전자공학과 (공학석사)
1994년 3월 ~ 1999년 2월 : 서울대학교 전기공학부 (공학박사)
1999년 2월 ~ 2002년 2월 : 한국전자 통신연구원 통신위성개발센터 선임연구원
2002년 3월 ~ 현재 : 서울 시립대학교 전자전기 컴퓨터공학부 조교수