

## 상관관계에 의한 CLB구조의 CPLD 저전력 기술 매핑 알고리즘

김재진\*, 이관형\*\*

### CLB-Based CPLD Low Power Technology Mapping Algorithm for Trade-off

Jae-Jin Kim\*, Kwan-Houng Lee\*\*

#### 요약

본 논문은 상관관계(trade-off)에 의한 CLB구조의 CPLD 저전력 기술 매핑 알고리즘을 제안하였다. 제안한 저전력 기술 매핑 알고리즘은 주어진 불린 네트워크를 DAG로 구성하여 소모전력 계산을 위한 TD(Transition Density) 계산 단계와 매핑 가능 클러스터 생성, CLB 패키징 단계로 구성하였다. TD 계산 단계는 DAG를 구성하고 있는 각 노드들에 대한 스위칭 동작을 계산하여 전체 소모 전력을 계산하는 단계이다. 매핑 가능 클러스터 생성 단계는 주어진 CPLD의 CLB에 대한 입출력의 수와 OR 텀수를 고려하여 매핑 가능 클러스터를 생성하는 단계이다. 매핑 가능 클러스터를 생성하기 위하여 공통 노드 클러스터 병합과 노드 분할, 노드 복제의 방법을 이용한다. 제안된 알고리즘을 SIS에서 제공되는 벤치마크에 적용하여 실험한 결과 OR 텀수를 5로 했을 경우 기존의 CPLD 기술 매핑 알고리즘인 TEMPLA에 비해 30.73%의 소모전력이 감소되었으며, PLAmapping에 비해 17.11% 감소되었다.

#### Abstract

In this paper, a CLB-based CPLD low power technology mapping algorithm for trade-off is proposed. To perform low power technology mapping for CPLD, a given Boolean network has to be represented to DAG. The proposed algorithm consists of three step. In the first step, TD(Transition Density) calculation have to be performed. Total power consumption is obtained by calculating switching activity of each nodes in a DAG. In the second step, the feasible clusters are generated by considering the following conditions: the number of output, the number of input and the number of OR-terms for CLB within a CPLD. The common node cluster merging method, the node separation method, and the node duplication method are used to produce the feasible clusters. The proposed algorithm is examined by using benchmarks in SIS. In the case that the number of OR-terms is 5, the experiments results show reduction in the power consumption by 30.73% comparing with that of TEMPLA, and 17.11% comparing with that of PLAmapping respectively

▶ Keyword : CPLD, 저전력 기술매핑(Low power Technology Mapping), 상관관계(trade-off)

• 제1저자 : 김재진

• 접수일 : 2005.03.31, 심사완료일 : 2005.05.20

\* 극동정보대학 컴퓨터정보과 교수, \*\* 청주대학교 전자정보공학부 전임강사

## I. 서론

VLSI(Very Large Scale Integration) 제조 및 설계 기술의 발달과 더불어 최근 휴대용 전자 제품의 수요가 급증함에 따라 회로의 전력 소모를 개선하기 위한 저전력 회로의 설계가 중요한 사양으로 등장하고 있다. 전력을 소모하는 원인들중에서 가장 많은 비중을 차지하는 것은 캐피시턴스(capacitance)와 충전(charging), 방전(discharging) 과정에서 발생하는 동적 전력(dynamic power)이다[1]. 특히 저전력 회로 설계의 경우 노드의 스위치 캐피시턴스를 감소시켜 회로의 동적 전력을 줄이는데 중점을 두고 있다 [2]. 스위치 캐피시턴스의 수를 줄이기 위한 가장 효율적인 방법으로 노드의 스위칭 동작(switching activity)을 감소시켜야 하며, 소비 전력을 줄이기 위한 방법으로 여러 가지 방법들이 제안되고 있다[3][4][5].

저전력을 위한 논리 회로 설계는 주로 STG(State Transition Graph) 수준과 논리 게이트(logical gate) 및 F/F(Flip/Flop) 수준에서 이루어지고 있다. 그러나 이러한 알고리즘들은 LUT(Look-Up Table)를 기저로 하는 FPGA(Field Programmable Gate Array)에 적용 가능하도록 구성되어 있다[6][7][8][9].

최근에 발표된 저전력 기술 매핑 알고리즘으로는 분할 계산(cut enumeration) 알고리즘이 있으며 LUT 구조의 FPGA에 적용 가능하다. 노드 분할을 고려하지 않은 기존 알고리즘의 단점을 보완하여 밀도(density)와 전파 지연(propagation delay)를 고려하여 노드 분할을 수행함으로써 저전력의 그래프 분할이 가능하도록 구성되어 있다 [11][12]. 그러나 이러한 알고리즘들은 입력 변수만을 제한 조건으로 그래프 분할을 수행함으로써 LUT 구조에 적합하다. 현재 많이 사용하고 있는 CLB(Common Logic Block)를 기저로 하는 CPLD(Complexity Programmable Logic Device)의 경우 OR텀수를 고려하여 그래프 분할을 수행하여야 함으로 CPLD에 적용하기에는 어려움이 많다. 기존에 발표된 CPLD 기술 매핑 알고리즘으로는 DDMAP과 TEMPLA, TMCPLD, PLAmap등만이 제안되어 있으나 저전력과 면적, 시간의 상관 관계를 고려하지 않은 단점을 가지고 있다[10][11][12][13][14][15].

본 논문에서는 기존의 CPLD 기술 매핑 알고리즘들의 단점을 보완하여 CLB를 기저로한 CPLD의 소비 전력을 고려하여 저전력으로 회로를 구현할 수 있으며 소모 전력과 면적, 지연시간에 대한 상관 관계를 고려한 새로운 CPLD 기술 매핑 알고리즘을 제안하고자 한다.

## II. 관련 연구

FPGA 또는 CPLD를 이용한 저전력의 기술 매핑을 수행하기 위해서는 대상 소자를 구성하고 있는 구성요소인 LUT나 CLB의 구조에 맞도록 소모 전력을 고려하여 회로를 분할하여야 한다. 최근에 발표된 분할 계산 알고리즘은 LUT 구조에 맞도록 저전력의 회로를 구현할 수 있는 알고리즘이다. 분할 계산 알고리즘은 세단계로 구성되어 있다. 첫 번째 단계는 시간 요소를 고려하여 신호 변화 시간의 회수인 TD(transition density)를 계산하는 단계이다. 두 번째는 분할 계산 단계로서 임의의 값  $p$ 에 따라 매핑을 수행하는 단계이다. 세 번째 단계는 매핑 단계로서 두 번째 단계의 정보를 이용하여 최종 매핑을 수행하는 단계이다.

분할 계산은 불린 네트워크  $N$ 에 대해 저전력의 회로 분할을 수행하여야 한다. 회로 분할은 게이트의 단수( $p$ )를 설정하여 LUT 구조에 맞도록 매핑하고 LUT의 출력 에지수를 계산한다. 2개 이상의 출력 에지를 갖는 LUT를 복제(duplication)하거나 우선 매핑 한다. 그러나 분할 계산 알고리즘은 LUT의 구조에 맞도록 구성되어 있어 CPLD를 구성하고 있는 CLB의 구조에 적용하기에 어려움이 많다. 특히 제약 조건이 되는 K-매핑 가능 셋의 경우 분할 계산에서는 입력 변수의 수가 제약 조건이 되므로, OR텀수를 고려하여야 하는 CPLD의 구조에 적합하지 않은 단점이 있다. 또한 게이트의 단수를 설정하는  $p$ 의 값도 LUT에 비해 CLB의 크기가 크고 OR텀수가 제약 조건이 되므로 현실성이 부족하다. 이러한 기술 매핑을 수행하기위한 그래프 처리 단계로 팬아웃 프리 트리(fanout free tree)를 우선 구성하여야 한다. 분할 계산 알고리즘의 경우 팬 아웃 프리 트리를 생성하기 위한 방법으로 노드 복제 방법을 이용하여 팬아웃 프리 트리를 생성하였다. 이러한 방법은 전체 회로의 노드수가 증가되어 수행 시간이 길어지고 스위칭 동작이 증가하게 되는 단점도 가지고 있다.

### III. 전력 모델

조합 논리 회로는 DAG형태로 재구성한다. DAG를 구성하는 각각의 노드는 m-입력, q-출력을 갖는 게이트를 의미한다. m-입력은 In(x)로 정의되고  $(x_1, x_2, \dots, x_m)$ 으로 표현된다. q-출력은 Out(y)로 정의되고  $(y_1, y_2, \dots, y_q)$ 로 표현된다. In(x)는 초기 입력(PI)을 포함한다. 최종 출력(PO)은 1개의 출력만을 가지고 있다. 각 노드는 1 이상의 OR-팁수를 가지고 있으며 OR-팁수는 Num(k)로 정의하고  $(Num_1, Num_2, \dots, Num_k)$ 로 표현된다. 따라서 각 노드는 (식 1)과 같은비용을 갖는다.

$$C(n) = [Num(k), In(x), Out(y)] \dots\dots\dots (식 1)$$

$$Num(k) = \prod_{p=1}^n [Num(p)] \quad Num(k) = 1 \quad (식 2)$$

$$In(x) = \sum_{i=1}^m [In(x_i) - 1] \dots\dots\dots (식 3)$$

(식 2)는 노드의 OR-팁수를 계산하는 수식으로 노드의 OR-팁수가 1인 경우는 AND 연산만을 가지고 있으므로 곱으로 계산하고, 2이상인 경우는 부울식의 형태에 따라 곱과 합의 형태로 계산한다. (식 3)은 입력의 수를 계산하는 수식으로 현재 노드의 입력이 되는 자식 노드의 입력 수를 합산하여 전체 입력 노드 수를 계산한다. 소모 전력을 계산하기 위해 각 노드를 구성하고 있는 게이트에 대한 EP(equilibrium propability)와 TD를 계산하여야 한다. 노드를 구성하고 있는 게이트는 INVERTER와 AND, OR 게이트이므로 각 게이트에 대한 EP와 TD는 다음과 같다. 신호 x에 대해 EP는  $p(x)$ , TD는  $d(x)$ 로 정의한다. 또한, 게이트의 출력 수를  $out(x)$ 라고 정의한다. 출력 신호 y에 대해 다음과 같은 수식을 정의한다.

INVERTER게이트의 경우

$$p(y) = \frac{1 - p(x_1)}{out(x)} \dots\dots\dots (식 4)$$

$$d(y) = d(x_1) out(x) \dots\dots\dots (식 5)$$

AND 게이트의 경우

$$p(y) = \frac{\prod_{i=1}^m p(x_i)}{out(x)} \dots\dots\dots (식 6)$$

$$d(y) = \sum_{i=1}^m [( \prod_{j=1, j \neq i}^m p(x_j) ) d(x_i)] out(x) \quad (식 7)$$

OR 게이트의 경우

$$p(y) = \frac{1 - \prod_{i=1}^m (1 - p(x_i))}{out(x)} \dots\dots\dots (식 8)$$

$$d(y) = \sum_{i=1}^m [ ( \prod_{j=1, j \neq i}^m (1 - p(x_j)) ) d(x_i) ] out(x) \dots\dots\dots (식 9)$$

로 나타낼 수 있다.

CPLD를 구성하고 있는 CLB에 대한 소비 전력을 계산하여 전체 회로에 대한 소모 전력을 계산하여 저전력을 구현하여야 한다.

CLB로 구성되어 있는 CPLD의 소비 전력은 (식 10)과 같이 나타낼 수 있다.

$$P_{avg}(N) = \sum_{p_i} ( \frac{1}{2} C_{in} V_{dd}^2 d(p_i) ) + \sum_{C_i} ( \frac{1}{2} N_{OR} [ C_{out} + fanout(C_i) C_{in} ] V_{dd}^2 d(C_i) ) \dots\dots\dots (식 10)$$

$d(p_i)$  : 초기 입력  $p_i$ 의 TD

$fanout(C_i)$  : CLB  $C_i$ 의 출력 수

$d(C_i)$  : CLB  $C_i$ 의 TD

$N_{OR}$  : 하나의 CLB 내부에 사용된

OR 게이트의 TD

$$\text{사용된 OR게이트 수} = \frac{\text{매핑된 OR팁수}}{\text{CLB의 기본 OR팁수}} \leq \frac{\text{CLB의 최대 OR팁수}}{\text{CLB의 기본 OR팁수}}$$

## IV. 상관 관계를 고려한 CPLD 저전력 기술매핑 알고리즘

제안한 알고리즘을 수행하기 위한 초기 입력은 불린 네트워킹이다. 주어진 불린 네트워킹은 DAG로 변환한 후 알고리즘을 적용하여 저전력의 기술 매핑 결과를 얻게 된다. 저전력의 기술 매핑을 수행하기 위해서는 주어진 회로를 구현할 소자를 미리 선택하여 소자를 구성하고 있는 CLB의 정보를 이용하여 (k, m, p)의 조건을 만족하고 소모 전력이 최소가 되는 매핑 가능 클러스터들을 생성하여야 한다.

제안한 저전력 CPLD 기술 매핑 알고리즘은 세 단계로 구성된다.

첫 번째 단계는 주어진 불린 네트워킹을 DAG로 변환한 후 각각의 노드에 대한 스위칭 동작을 계산하여 분할하는 순서와 분할점(cut-point)을 찾기 위한 TD 계산 단계이다.

두 번째 단계는 선택된 CPLD를 구성하고 있는 CLB에 주어진 회로를 저전력으로 매핑할 수 있는 매핑 가능 클러스터 생성단계로서 공통 노드 클러스터 병합(common node cluster merge)과 노드 분할(node separation), 노드 복제(node duplication)의 방법을 이용하여 그래프 분할을 수행한다.

세 번째 단계는 두번째 단계에서 생성된 매핑 가능 클러스터를 CLB에 패킹(packing)하는 단계이다.

### 4.1 TD 계산 단계

저전력의 기술 매핑 결과를 얻기 위해서는 회로의 스위칭 동작을 최소화하여 회로 전체의 소모 전력이 최소화 될 수 있도록 기술 매핑을 수행하여야 한다. 따라서 소모 전력을 계산하기 위해서는 주어진 불린 네트워킹을 구성하고 있는 각 노드의 게이트에 대한 EP와 TD를 계산하여야 한다. 노드를 구성하고 있는 각 게이트에 대한 EP와 TD는 (식 9)에서 (식 14)까지의 수식을 이용하여 계산한다.

### 4.2 매핑 가능 클러스터 생성

주어진 불린 네트워킹을 구성하고 있는 각각의 노드에 대한 TD가 계산되면, 계산된 결과를 이용하여 매핑 가능

클러스터를 생성하여야 한다. 매핑 가능 클러스터는 회로를 구현할 대상 소자를 구성하고 있는 CLB에 매핑 할 수 있는 모든 클러스터들을 의미한다.

매핑 가능 클러스터를 생성하기 위해서는 선택된 CPLD를 구성하고 있는 CLB의 OR 텀수를 알아야 한다. CLB의 OR 텀수는 CLB\_OR로 정의 한다. CLB\_OR를 이용하여 매핑 가능 클러스터를 생성한다. 매핑 가능 클러스터는 노드의 비용을 계산하여 생성하여야 한다. 각각의 노드 비용은 노드가 가지고 있는 OR텀수를 노드 비용으로 정의한다.

클러스터의 전체 비용은  $CST_C$ 로 정의하고 클러스터의 전체비용은 클러스터가 생성될 때 생성되는 OR텀수의 수를 의미한다.  $CST_C$ 의 비용을 계산하는 방법은 (식 11)과 같다.

$$CST_C(n) = \begin{cases} \prod_{p=1}^n [Child\_Node(p)] & Pre\_Node(k) = 1 \\ \sum_{p=1}^n [Child\_Node(p)] & Pre\_Node(k) > 1 \end{cases}$$

..... (식 11)

$Child\_Node(p)$  : 계산하고자 하는 노드의 입력 노드들이 가지고 있는 OR 텀수

$CST_C$ 를 고려한 매핑 가능 클러스터를 생성하는 방법은 공통 노드 클러스터 병합과 노드 분할, 노드 복제의 방법을 이용하여 수행된다.

#### 4.1.1 공통 노드 클러스터 병합

주어진 불린 네트워킹을 DAG로 구성한 후 DAG를 구성하고 있는 노드들 중에서 출력 에지의 수가 가장 많은 노드를 검출한다. 출력 에지의 수가 가장 많은 노드는 (식 9)에서 (식 14)까지의 수식을 이용하여 TD를 계산하면 가장 큰 값을 가지게 된다. TD가 가장 크다는 것은 스위칭 동작이 가장 많이 발생되는 것을 의미한다. 따라서 저전력의 기술 매핑 결과를 얻기 위해서는 TD의 값이 가장 큰 노드를 포함한 매핑 가능 클러스터를 우선적으로 생성하여야 한다. 출력 에지의 수가 가장 많은 노드에 대한 매핑 가능 클러스터 생성은 출력 에지의 수가 가장 많은 노드를 포함한 서브 그래프가 상위의 노드에 병합될 수 있는가를 (식 12)를 이용하여 전체 비용을 계산하여 알아본다. 가능한 경우에는 이러한 공통 노드 클러스터 병합을 우선적으로 수행한다. 이러한 매핑 가능 클러스터의 선택은 소모 전력이 가장 큰 노드를 포함한 매핑 가능 클러스터를 생성하여 저전력의 기술 매핑 결과를 얻을 수 있기 때문이다.

### 4.1.2 노드 분할

노드 분할은 공통 노드 클러스터 병합이 불가능한 경우에 수행되는 방법으로, 출력 에지의 수가 가장 많은 노드에 대해 노드 분할을 수행하여 매핑 가능 클러스터를 생성하는 방법이다. 노드 분할은 출력의 수가 가장 많은 노드이면서 노드의 비용이 2 이상인 노드인 경우에만 수행한다. 이유는 만약 노드의 출력수가 2 이상인 모든 노드에 대해 노드 분할을 수행하게 되면 작은 크기의 서브 그래프가 형성되어 전체적으로 면적이 증가되고 소모 전력이 증가되기 때문이다. 또한 노드의 비용이 1인 노드는 AND 게이트를 의미하므로 상위 노드에 병합되도 상위 노드의  $CST_C$ 에 영향을 끼치지 않기 때문이다. 따라서 위의 조건을 모두 만족하는 노드의 경우에 한하여 노드 분할을 수행한다.

이러한 노드 분할은 기술 매핑의 수행 시간을 줄이고 회로 전체의 소모 전력을 감소시키게 된다.

### 4.1.3 노드 복제

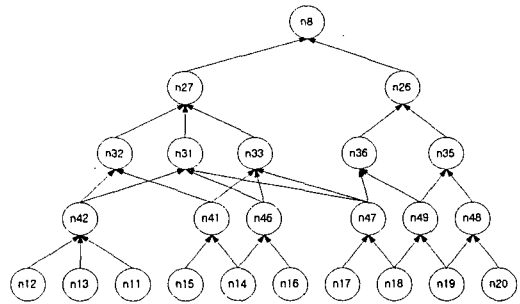
공통 노드 클러스터 병합과 노드 복제 방법을 이용하여 생성된 매핑 가능 클러스터에 포함되지 않은 노드들 중에서 출력의 수가 2이상인 노드들에 대해서는 노드 복제를 이용하여 매핑 가능 클러스터를 생성한다. 전체 노드에 대해서 노드 복제를 사용할 경우 노드의 수가 증가되어 매핑 가능 클러스터의 생성 시간이 길어지게 되는 단점을 가지게 된다. 따라서 출력의 수가 2이상이고 노드의 비용이 1인 노드에 한하여 노드 복제를 수행한다. 이러한 조건은 팬 아웃 프리 트리를 구성하고 있는 노드를 중복 사용하여 그래프 분할을 수행할 때 수행 시간이 길어지고 중복되는 노드들로 인한 스위칭 동작이 증가되는 단점을 보완하기 위한 방법이다.

## 4.3 CLB 패킹

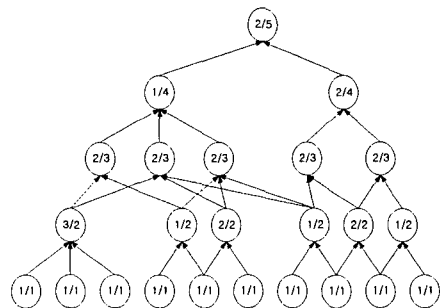
CLB 패딩 단계는 매핑 가능 클러스터 생성 단계에서 생성된 매핑 가능 클러스터를 CLB에 패킹하는 단계이다. 각각의 매핑 가능 클러스터는 CLB에 각각 패킹되어 진다. 제안한 알고리즘의 전체적인 과정에 대한 예를 (그림 1)에 나타내었다.

(그림 1)의 (a)는 SIS에서 제공되는 벤치마크들중에서 DALU의 일부분에 대한 DAG이다. (b)는 (a)의 DAG에서 노드 비용/RT를 나타낸 그림이다. (c)는 공통 노드 클러스터 병합방법을 이용하여 생성된 매핑 가능 클러스터를 나타낸 그림으로 PI에서 P까지를 모두 포함하는 매핑 가능 클러스터인 C1을 생성한 그림이다. (d)는 (c)의 공통 노드 클러스터 병합 방법으로 생성된 매핑 가능 클러스터에 포함

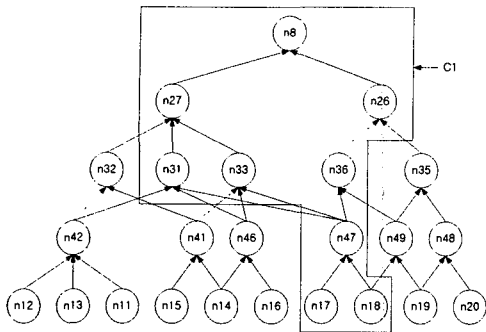
되지 않은 노드들 중에서 노드 분할의 조건을 만족하는 노드인 n35, n42, n46에 대해 노드 분할을 수행하여 매핑 가능 클러스터인 C2, C3, C4를 생성한 그림이다. (e)는 (c)와 (d)의 방법으로 생성된 매핑 가능 클러스터에 포함되지 않은 노드들중에서 노드 복제의 조건에 만족하는 노드인 n41에 대해 노드 복제의 방법으로 매핑 가능 클러스터를 생성한 그림이다. (f)는 (c)와 (d), (e)의 방법으로 생성된 매핑 가능 클러스터를 CLB에 패킹한 결과를 나타낸 그림이다. 이러한 결과는 노드 분할과 노드 복제의 방법을 제한적으로 수행하여 회로 전체의 스위칭 동작을 감소시켜 회로의 전력 소모를 최소화 한 기술 매핑 결과를 얻을 수 있음을 알 수 있다.



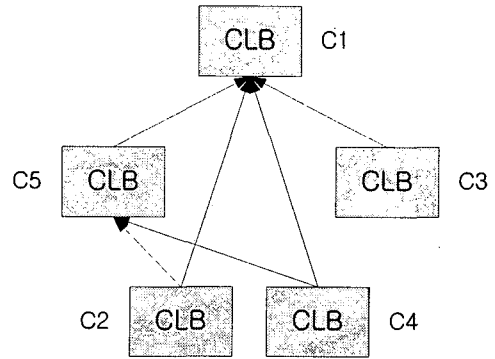
(a) DAG 표현  
(a) The DAG representation



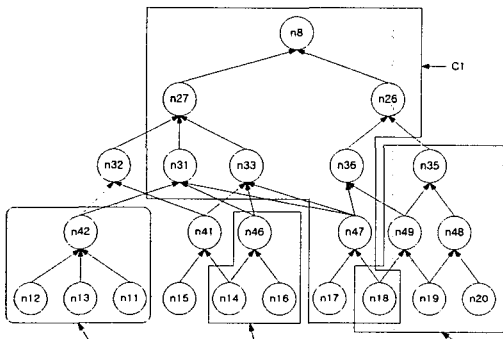
(b) 노드의 비용  
(b) Cost of nodes



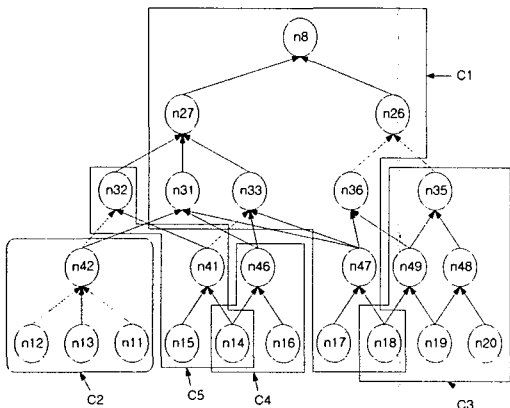
(c) 공통 노드 클러스터 병합을 이용하여 생성된 매핑 가능 클러스터 C1  
 (c) Feasible cluster generation C1 using common node cluster merge algorithm



(f) CLB 패킹  
 (f) CLB packing



(d) 노드 분할 사용하여 생성된 매핑 가능 클러스터 C2, C3, C4  
 (d) Feasible cluster generation C2, C3, C4 using node separation algorithm



(e) 노드 복제를 사용하여 생성된 매핑 가능 클러스터 C5  
 (e) Feasible cluster generation C5 using node duplication algorithm

그림 1. DALU 부분회로에 대한 제안한 알고리즘의 적용 예  
 Fig. 1 Example of a proposed algorithm for partial subcircuit of DALU

#### 4.4 소모전력/면적/지연시간을 고려한 상관관계

소모전력/면적/지연시간을 고려한 상관관계(trade-off)는 전력 소모가 가장 적은 기술 매핑을 수행하면서 면적과 지연 시간을 고려하여 최적의 기술 매핑 결과를 추출하기 위해 필요한 값이다. 매개변수는  $\rho$ 로 정의한다.  $\rho$ 는 소모 전력에 비중을 나타내는 계수이다.  $\rho$ 가 1이면 면적과 지연시간을 고려하지 않고 소모 전력만을 고려한 결과이다. 면적과 지연시간은 반비례한다. 따라서 면적과 지연 시간에 대한 매개변수의 결정은 클러스터를 생성할 때 클러스터를 구성하는 내부 노드의 수를 가지고 결정된다. 기존에 제안된 알고리즘의 실험 결과 면적과 지연 시간은 반비례하는 결과를 나타낸다. 그러나 소모 전력에 대한 고려가 없으므로 소모 전력에 대한 변수가 지정되어야 한다. 소모 전력은 면적과 지연 시간에 모두 상관 관계를 가지고 있다. 면적을 줄이기 위해 지연 시간이 증가되면 소모 전력도 증가되게 된다. 또한 지연 시간을 줄이기 위해 면적이 증가되면 소모 전력도 증가되게 된다. 따라서 소모 전력은 면적과 지연 시간 모두에게 영향을 받게 된다. 제안한 매개변수는 CLB의 출력을 1로 정의하였을 경우에 발생하는 소모 전력과 면적, 지연 시간에 대한 휴리스틱한 실험 결과를 구하여 결정된 매개변수이다.

제안한 알고리즘은 저전력을 고려한 알고리즘이므로 면적과 지연시간 외로 소모 전력을 비교하여 상관관계를 선정하여야 한다.

[정의 1] 제안한 알고리즘의 상관관계는 소모 전력/면적/지연 시간의 가중치로 정의한다. 상관관계가 1인 경우

는 면적/지연 시간을 고려하지 않고 소모 전력에만 치중했을 경우이다.

<표 1>의 (k, 5, p)에 대한 상관관계에서는 상관관계가 0.65일 경우에 가장 좋은 결과를 추출할 수 있다.

상관관계는 회로 구현의 대상 CPLD를 구성하고 있는 CLB의 크기에 따라 값이 변하게 된다. 저전력을 구현하기 위한 CLB에서 상관관계를 결정하는데 가장 중요한 요소는 OR 텀수이다. 따라서 OR 텀수에 따른 상관관계를 구하여야 한다.

<표 1>은 (k, 5, p)에 대한 상관관계를 구한 결과이다.

표 1. (k, 5, p)에 대한 상관관계  
Table. 1 The trade-off of CLB for(k, 5, p)

상관관계	소모전력의 감소율(%)	면적의 감소율(%)	깊이의 증가율(%)
0.15	10.12	18.83	24.42
0.3	14.99	15.49	21.39
0.45	18.56	12.34	19.47
0.5	23.48	10.86	18.69
0.65	39.11	10.42	13.51
0.8	39.23	4.97	6.9
1.0	46.97	0.2	3.4

## V. 실험 결과

본 논문에서 제안한 알고리즘을 벤치마크에 적용하여 전력 소모량을 측정하였다.

실험에 사용한 예제는 SIS에서 제공되는 MCNC 벤치마크 회로들의 불린 네트워크를 입력으로 사용하였다.

MCNC 벤치마크 회로들은 조합논리회로와 순서논리회로가 있으며 그 중에서 11개의 회로를 선정하여 실험에 사용하였다. 선정된 회로들에 대하여 소모 전력 감소를 수행한 결과는 <표 2>에 제시하였다. 표에 나타난 것과 같이 TEMPLA에 비해 33.57%, PLAmapping에 비해 17.14% 소모 전력이 감소된 결과를 나타내었다. 반면 면적은 TEMPLA에 비해 0.66%, PLAmapping에 비해 1.4% 증가된 결과를 얻었다.

표 2.  $CST_C \leq 5$ 일때 전력을 고려했을 경우의 결과 비교

Table 2. Comparison result of considered only power consumption assuming  $CST_C \leq 5$

	TEMPLA		PLAmapping		제한된 알고리즘	
	block	power	block	power	block	power
alu2	56	8.6	56	6.9	57	5.2
alu4	185	32.4	200	31.2	189	23.6
dalu	483	47.3	480	39.6	488	27.6
ex5p	130	26.2	132	19.3	134	12.2
duke2	68	9.8	69	8.6	71	7.3
t481	97	30.9	94	24.1	94	21.8
cps	123	31.2	118	28.9	135	26.5
apex4	141	35.6	126	31.5	129	30.5
misex3	141	33.6	141	33.6	142	30.7
psdes	127	34.8	126	34.2	127	28.4
sort	105	24.7	102	26.8	101	22.1
Total	1656	315.1	1644	284.7	1667	235.9
비교	-0.66%	+33.57%	-1.4%	+17.14%	1	1

## VI. 결론

본 논문은 상관관계에 의한 CLB 구조의 CPLD 저전력 기술 매핑 알고리즘을 제안하였다.

제안된 알고리즘은 회로를 구현할 대상 소자에 맞추어 소모 전력을 최적화할 수 있는 기술 매핑 할 수 있는 알고리즘으로서 TD 계산 단계와 매핑 가능 클러스터 생성 단계, CLB 패킹 단계로 구성되어 있다.

실험 결과 EP=0.1, TD=1000, Vdd=5, Cli=0.01  $\mu$ F, d(Ci)=100으로 선정하고 OR탐수를 5로 했을 경우는 TEMPAL에 비해 30.73%의 소모 전력이 감소되었고, PLAmapping에 비해 17.11% 감소되었다. 또한, OR탐수를 7로 했을 경우에는 TEMPLA에 비해 14.03%의 소모 전력이 감소되었고, PLAmapping에 비해 8.16% 감소하였다.

본 논문에서 제안한 알고리즘이 기존의 다른 기술 매핑 방법보다 소모 전력이 최소인 기술 매핑의 해를 구할 수 있는 방법임을 실험을 통해 입증하였다. 향후 CPLD에 대한 저전력 알고리즘으로서 순차 회로에 대한 저전력 알고리즘 개발에 대한 연구가 수행되어야 할 것으로 사료된다.

## 참고문헌

- [1] The MACH 4 Family Data Sheet, Advanced Micro Devices, 1996
- [2] S. Devadas, S. malik, "A Survey of Optimization Techniques Targeting Low Power VLSI Circuits", in Proc. 32nd DAC, pp.242-247, June 1995.
- [3] A. Chandrakasan, T. Sheng, and R. Brodersen, "Low Power CMOS Digital Design", Journal of Solid State Circuits, vol. 27, no. 4, pp. 473-484, April 1992.
- [4] S. ErColani et al., "Testability measures in pseudorandom testing", IEEE Trans. Computer-Aided Design., vol. 11, pp. 794-800, 1992, June
- [5] J. Cong and Y. Ding, "FlowMap : An `Optimal Technology Mapping Algorithm for Delay Optimization in Lookup-Table Based FPGA Designs", IEEE Transactions on Computer-Aided Design of Integrated Circuit and Systems, Vol. 13, No. 1, January 1994, pp. 1-11
- [6] R.J Francis, J. Rose and Z. Vranestic, "Chortle -crf : Fast Technology Mapping for Lookup Table-Based FPGAs", 28th ACM/IEEE Design Automation Conference, June 1991, pp.227-233.
- [7] Zhi-Hong Wang, En-Cheng Liu, Jianbang Lai, Ting-Chi Wang, "Power Minimization in LUT-Based FPGA Technology Mapping", ASP-DAC, pp.635-640, January 2001.
- [8] A. H. Farrahi and M.Sarrafzadeh, "FPGA Technology Mapping for Power Minimization", Proc. Int. Workshop on field Programmable Logic and Applications, pp. 66-77, 1994
- [9] C. -C. Wang and C. -P. Kwan, "Low Power Technology Mapping by Hiding high-Transition Paths in Invisible Edges of LUT-Based FPGAs", Proc. Int. Symp. on Circuits and Systems, pp. 1536-1539, 1997
- [10] R.J Francis, J. Rose and Z. Vranestic, "Technology Mapping of Lookup Table-Based FPGAs for Performance", 1991 IEEE Conference on Computer Aided Design, pp. 568-571
- [11] E. M. Sentovice et al., "SIS : A system for sequential Circuit Synthesis", Technical Report UCM/ERL M92/41, Electronics Research Laboratory, Department of Electrical Engineering and Computer Science, University of California, Berkeley, 1992
- [12] Jason Helge Anderson, Stephen Dean Brown, "Technology Mapping for Large Complex PLDs", Design Automation Conference, 1998, pp. 698-703
- [13] 윤충모, 김희석, "시간적 조건에서 실행 시간을 개선한 CPLD 기술 매핑 알고리즘 개발", 한국 OA 학회 논문집 vol 4권 3호, pp. 35-46, 1999



- [14] Jae-Jin Kim, Hi-Seok Kim, Chi-Ho Lin, "A New Technology Mapping for CPLD under the time constraint" ASP-DAC, pp.235-238, January 2001.
- [15] 이범근, 박남서, 김재진, "LCOS(Liquid Crystal On Silicon)를 위한 컬러 콘트롤 드라이브 설계", 한국컴퓨터정보학회 vol 8권 2호, pp. 57-63, 2003

### 저 자 소개



김 재 진

2003년 2월 청주대학교 전자공학과  
공학박사

2001년~현재 극동정보대학 컴퓨터  
정보과 조교수



이 관 형

2004년 8월 청주대학교 전자공학과  
공학박사

2005년~현재 청주대학교 전자정보  
공학부 전임강사