

논문 2005-42SD-6-1

# One-Zero 감지기와 버퍼드 기준 저항열을 가진 1.8V 6-bit 2GSPS CMOS ADC 설계

(Design of an 1.8V 6-bit 2GSPS CMOS ADC with an One-Zero  
Detecting Encoder and Buffered Reference)

박 유 진\*, 황 상 훈\*, 송 민 규\*

(Yu Jin Park, Sang Hoon Hwang, and Min Kyu Song)

## 요 약

본 논문에서는, 1.8V 6bit 2GSPS Nyquist CMOS A/D 변환기를 제안한다. 6bit의 해상도와 초고속의 샘플링과 입력 주파수를 만족시키면서 저 전력을 구현하기 위하여 Interpolation Flash type으로 설계되었다. 같은 해상도의 Flash A/D 변환기에 비해 프리앰프의 수가 반으로 줄기 때문에 작은 입력 커패시턴스를 가지며 면적과 전력소모도 작게 할 수 있다. 또한 본 연구에서는 고속 동작의 문제점들을 해결하기 위하여 새로운 구조의 One-zero Detecting Encoder, Reference Fluctuation을 보정하기 위한 회로, 비교기 자체의 Offset과 Feedthrough에 의한 오차를 최소화하기 위하여 Averaging Resistor와 SNDR을 향상시키기 위한 Track & Hold, 제안하는 Buffered Reference를 설계하여 최종적으로 2GSPS Nyquist 입력의 A/D converter 출력 결과를 얻을 수가 있었다. 본 연구에서는 1.8V의 공급전압을 가지는 0.18 $\mu$ m 1-poly 3-metal N-well CMOS 공정을 사용하였고, 소비 전력은 145mW로 Full Flash 변환기에 비해 낮음을 확인 할 수 있었다. 실제 제작된 칩은 측정결과 2GSPS에서 SNDR은 약 36.25dB로 측정되었고, Static 상태에서 INL과 DNL은 각각  $\pm 0.5$ LSB 로 나타났다. 유효 칩 면적은 977 $\mu$ m  $\times$  1040 $\mu$ m의 면적을 갖는다.

## Abstract

In this paper, CMOS A/D converter with 6bit 2GSPS Nyquist input at 1.8V is designed. In order to obtain the resolution of 6bit and the character of high-speed operation, we present an Interpolation type architecture. In order to overcome the problems of high speed operation, a novel One-zero Detecting Encoder, a circuit to reduce the Reference Fluctuation, an Averaging Resistor and a Track & Hold, a novel Buffered Reference for the improved SNR are proposed. The proposed ADC is based on 0.18 $\mu$ m 1-poly 3-metal N-well CMOS technology, and it consumes 145mW at 1.8V power supply and occupies chip area of 977 $\mu$ m  $\times$  1040 $\mu$ m. Experimental result show that SNDR is 36.25 dB when sampling frequency is 2GHz and INL/DNL is  $\pm 0.5$ LSB at static performance.

**Keywords :** 6bit 2GSPS Flash/Interpolation ADC, One-zero Detecting Encoder, Buffered Reference

## I. 서 론

반도체 공정기술의 발전에 따라 집적회로는 Mixed Mode ASIC에서 SOC(System On a Chip)으로 급속히 발전하고 있다. 다양한 기능을 조합한 멀티미디어의 최종 입출력은 인간이 보고 말하는 신호는 모두 아날로그

신호이기 때문에 모든 디지털 신호처리의 최초단계 및 마지막 단계에는 이 두 신호를 상호 바꾸어 주는 데이터 변환기가 필수적이다. 특히 아날로그-디지털 인터페이스의 기술 중에서 고속, 저 전력의 A/D 변환기는 광범위한 응용 분야를 가지며, 특히 DVD의 PRML용, Hard Disk의 Read Channel용, 디지털 샘플링 오실로스코프 등과 같은 응용 분야에서 높은 변환 속도를 갖는 A/D 변환기가 요구된다. 그림 1은 DVD의 PRML에 사용되는 ADC를 나타낸 것이다.

\* 정회원, 동국대학교 반도체과학과  
(System IC Design Lab. School of Semiconductor  
Science, Dongguk University )  
접수일자: 2004년12월17일, 수정완료일: 2005년5월17일

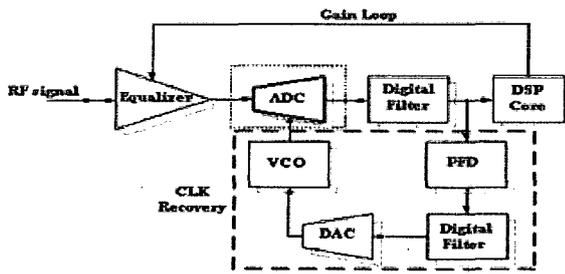


그림 1. DVD의 PRML Read channel 시스템  
Fig. 1. Block diagram of DVD PRML Read channel system.

통상 이러한 시스템의 A/D 변환기는 고속의 동작과 우수한 Dynamic 특성을 가져야 하며 동시에 시스템 특성상 SNR(Signal to Noise Ratio)의 저하나 어떠한 Spurious 또는 Distortion을 발생시켜서는 안 된다.

본 논문에서는 2GHz의 샘플링 주파수에서 6bit의 해상도를 얻기 위해 Flash 구조에 Interpolation 구조를 혼용한 형태의 Architecture를 사용하여 해상도의 증가에 따른 비교기 수의 증가와 고속의 샘플링에 의한 동작 및 전력 소모 문제를 줄일 수 있었다.<sup>[1][2]</sup> 본 논문에서 Interpolation Flash A/D 변환기는 같은 해상도의 Flash A/D 변환기에 비해 프리앰프의 수가 반으로 줄기 때문에 작은 입력 커패시턴스를 가지며 면적과 전력소모도 작다. 또한 본 연구에서는 고속 동작의 문제점들을 해결하기 위하여 새로운 구조의 encoder, Reference Fluctuation을 보정하기 위한 회로, 비교기 자체의 Offset과 Feedthrough에 의한 오차를 최소화하기 위하여 Averaging Resistor와 SNDR을 향상시키기 위한 Track & Hold와 제안하는 Buffered Reference를 설계하여 최종적으로 2GSPS Nyquist 입력의 A/D converter 출력 결과를 얻을 수가 있었다.

본 논문의 내용을 정리하면 다음과 같다. II장에서는 제안하는 A/D 변환기의 세부적인 회로설계 내용과 각 블록에 대해 기술하였다. III장에서는 Full Chip에 대한 여러 가지 모의실험 결과를 통해 성능을 평가하였다. 그리고 IV장에서는 레이아웃 및 측정결과에 대해서 기술하고, 마지막으로 V장에서는 제안하는 ADC에 대한 전체적인 내용을 요약 표를 통해 정리하였다.

## II. 6bit A/D 변환기의 설계

### 1. Interpolation A/D 변환기의 구조

Flash A/D 변환기는 고속으로 동작한다는 장점이 있

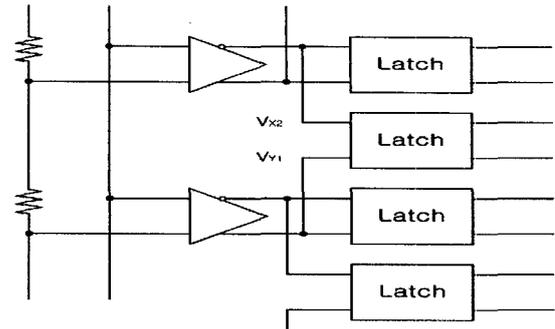


그림 2. Flash ADC에서의 Interpolation.  
Fig. 2. Interpolation in a flash ADC.

는 반면, 큰 입력 커패시턴스를 가지며, 전력소모가 크고 넓은 면적을 차지한다는 단점이 있다. 따라서 Flash A/D 변환기의 장점을 살리면서 단점을 개선하기 위해 Interpolation A/D 변환기를 사용한다. Interpolation A/D 변환기는 같은 해상도의 Flash A/D 변환기에 비해 프리앰프의 수가 줄기 때문에 작은 입력 커패시턴스를 가지며 면적과 전력소모도 작다. 그림2의 Interpolation 기법은 입력 커패시턴스와 전력소비를 줄이고 Flash 변환기의 면적을 줄이는 반면에 Flash 변환기의 기본 구조는 유지하고 있다.<sup>[3][4]</sup>

Interpolation factor 2의 기법이 가능한 것은 latch의 입력으로 인가되는 모든 신호가 동시에 한 clock내에서 처리함으로써 가능하다. 그림과 같은 구조는 유효해상도를 두 배로 가져 갈수 있다. 따라서 1.8V 6bit 2GSPS 고속 A/D 변환기의 설계를 위하여 동작속도가 빠르면서 flash A/D 변환기에 비해 면적과 전력소비가 적은 Interpolation A/D 변환기를 채택하였다.

### 2. Track and Hold 회로

본 A/D 변환기에서 사용한 T/H회로의 샘플링주파수는 2GSPS이며, 입력신호 주파수는 DC에서 nyquist 입력 주파수인 1GHz까지 이다. 입력신호의 범위는 차동 1Vpp이며, sampling clock은 1.8V이다. T/H회로의 Signal-to-Noise Distortion Ratio(SNDR)은 37 dB 이상 이여야 하고, Effective Number Of Bits(ENOB)는 6 bit 이상 이여야 한다. 설계된 A/D 변환기에서는 2GSPS의 고속 동작을 요구하기 때문에 고속 동작에 적합한 open loop 구조의 T/H를 채택하였다.<sup>[5][6]</sup> 그림 3은 구성된 T/H를 보여주고 있다.

설계된 T/H회로는 PMOS switch 와 charge injection을 방지하기 위한 Dummy switch, Hold capacitance, 비교기를 구동하기 위한 Buffer로 구성된

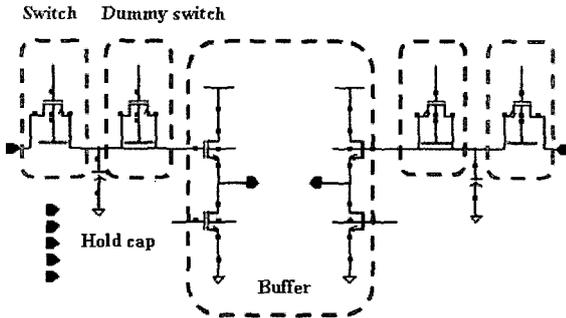


그림 3. Track and Hold 회로  
Fig. 3. Track and Hold circuit.

다. 계된 T/H회로는 6bit 이상의 해상도와 input frequency maximum 1GHz를 만족하기위해 Buffer는속도 면에서 유리한 open loop buffer를 사용했다. 또한 T/H의 ENOB를 높이기 위해 level shift 기능을 겸비한 Common drain Buffer를 사용함으로써 Vgs에 의한 switch의 Charge injection 변화를 최소화 시켰다.

3. 기준전압 흔들림 보정을 위한 저항열

커패시터와 같은 Layout 상의 큰 면적을 피하기 위해 MOS의 기생 커패시터를 이용해 같은 효과를 낼 수 있는 기준전압 보정회로를 제안한다.

그림 4는 MOS에 있는 기생 커패시터를 근사화한 그림이다.<sup>[7]</sup> 식 (1)로 MOSFET의 기생 커패시터를 근사하여 계산할 수 있다.

$$\frac{C_{gs} \times C_{gd}}{C_{gs} + C_{gd}} + \frac{C_{sb} \times C_{db}}{C_{sb} + C_{db}} + C_{gb} \quad (1)$$

그림 5는 본 연구에 사용된 기준전압 흔들림 보정을 위한 저항열 이다. 저항열은 공정상 발생할 수 있는 저항 mismatching을 고려하여 4단으로 구성하였고 Dummy Preamp 2개를 포함하여 34개의 출력을 비교기 내 Preamp에 인가한다.

기준전압 흔들림을 보정하기 위한 Transmission Gate(TG)은 VDD, VSS를 인가하여 기준전압을 통과시키고 Preamp로 인가한다. 그러면 기준전압에는 TG의 기생 parallel 커패시터의 영향을 받아 흔들림이 보정된다. MOS에 존재하는 기생 커패시터는 기준 전압의 흔들림을 보정하고 W/L로 커패시터의 크기를 쉽게 조정 할 수 있으며 layout시 면적을 크게 줄일 수 있다. 그림 6 에서 기준전압 흔들림이 1.2mV로 본 연구의 7.8mV와 비교할 때 1/6 LSB 안에 들어온다.

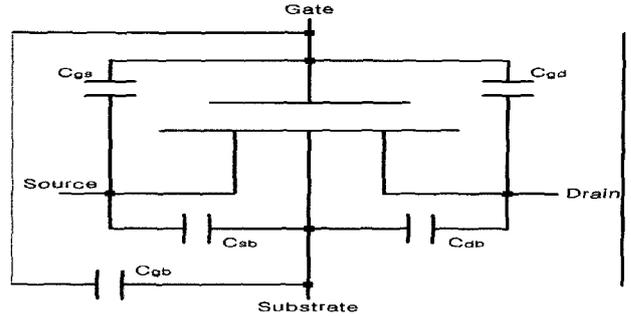


그림 4. MOSFET Capacitances.  
Fig. 4. MOSFET Capacitances.

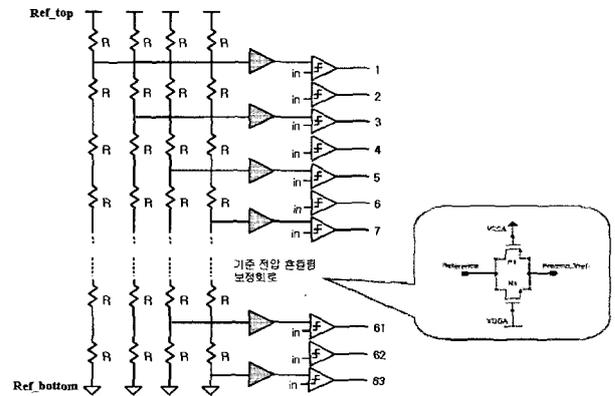


그림 5. 기준전압 흔들림 보정을 위한 저항열  
Fig. 5. A circuit for the reference fluctuation.

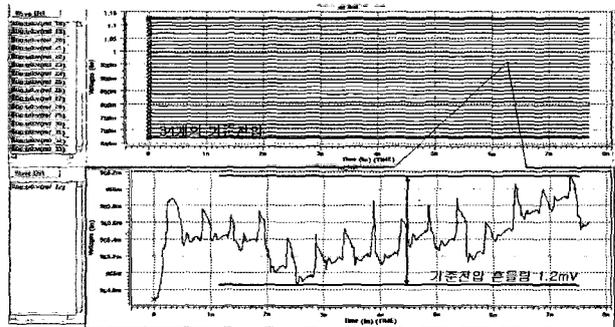


그림 6. 저항열 모의실험 결과  
Fig. 6. Resistor array simulation result.

4. 비교기의 설계

그림 7은 본 연구에서 사용된 Preamp이다. 설계된 Preamp는 고속의 성능과 Latch에서의 오동작 방지를 위해 2단 Preamp로 설계되었다.

첫 번째 단은 Double Balanced 구조의 Preamp로 차동입력과 차동기준전압을 비교하여 증폭시키고, 두 번째 단은 증폭된 신호를 다시 한번 증폭시켜 Latch에서의 오동작을 방지한다. 설계된 2단 Preamp의 성능은 2GSPS일 때 T/H내의 Hold 구간 250ps 이내에서 설계 되어야 하며, 입력 주파수 1GHz를 만족시켜야 한다. 때

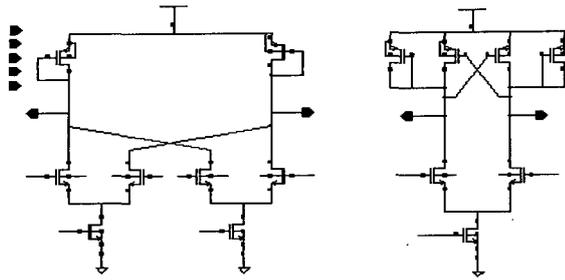


그림 7. 2단 Preamp의 회로도  
Fig. 7. 2stage Preamp circuit.

문에 Gain과 Frequency의 적절한 Trade-off가 필요했으며, Gain의 경우 1LSB와 Reference Fluctuation, Latch의 기본 성능과 kick back 현상을 고려하여 설계되어졌다. 주파수의 경우 2GHz의 Sampling 주파수에서 T/H내의 Hold 구간은 250ps이다. 따라서 입력주파수 1GHz에서 최소한의 delay time은 250ps로 제한되며, T/H의 clock feed through와 설계 margin을 고려할 때 delay time은 125ps이내에 들어야 한다. 설계된 Preamp의 주파수 특성은 입력주파수 1GHz일 때 Phase 27°, Delay time은 75ps로 설계 margin이내에 들어움을 확인했다.

5. Interpolation구조에서의 평균화 저항

그림 8은 본 연구에서 사용된 Interpolation 구조에서의 평균화 기법을 적용한 회로도이다.

그림 10에 나와 있는 Dummy Preamp는 양 끝단의 Preamp가 다른 Preamp와 동일한 조건을 갖게 하기 위한 역할을 한다. Dummy Preamp가 없으면 평균화 저항에 의해 양끝단의 Preamp는 Zero Crossing이 Shift되는 현상이 발생한다.<sup>[8]</sup> Dummy Preamp에 들어가는 기준전압은 별도의 전압을 사용하지 않고 Ref-Top과

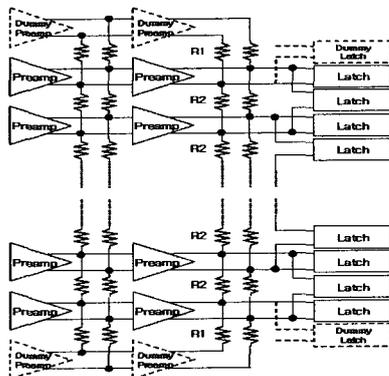


그림 8. 평균화 저항  
Fig. 8. Averaging Resistor.

Ref-Bot의 전압을 인가한다.

6. 제안하는 One-zero Detecting Encoder

고속의 샘플링과 입력을 처리함에 있어 Encoder는 각 비트별 디지털 출력의 Rising time과 falling time이 일치해야 한다. 만약 Rising time과 Falling time이 일치하지 못하면 심한 글리치와 Encoder 뒤에 오는 Data Synchronous에서의 clock 위치의 부정함으로 Error code의 주원인이 될 수 있다. 따라서 초고속의 ADC를 설계함에 있어 Encoder의 디지털 출력은 완전 병렬 구조로 가져가는 것이 유리하다. 제안하는 One-zero Detecting Encoder의 설명을 위해 4bit One-zero Detecting Encoder를 예를 든다. 그림 9는 4bit One-zero Detecting Encoder의 알고리즘이다.

비교기에서 출력된 Thermometer code는 XOR gate를 이용해 '0'과 '1'의 경계면을 '1'의 디지털 신호로 변환한다. 변환된 디지털 신호는 각 code 마다 A0, A1, A2, A3 부분에 One-zero detector를 포함하여 최종 출력을 얻게 된다. One-zero detector는 2입력 신호에서 입력이 '10'일 때만 '1'의 신호를 내보내고 '00' '11' '01'일 때는 '0'을 내보내어 '10'일 경우에만 detecting을 하는 회로이다. One-zero detector를 사용해도 출력파형

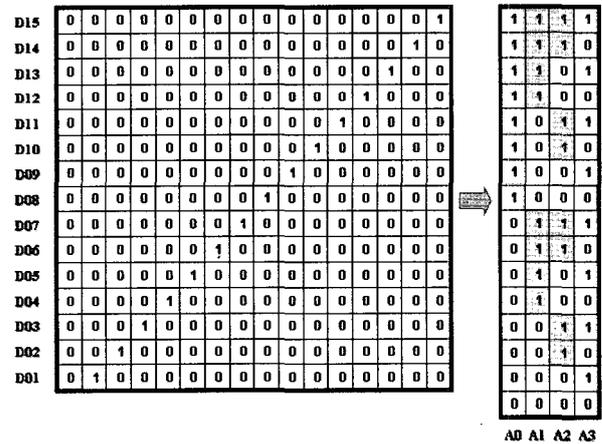


그림 9. 4bit One-zero Detecting 알고리즘  
Fig. 9. 4bit One-zero Detecting Algorithm.

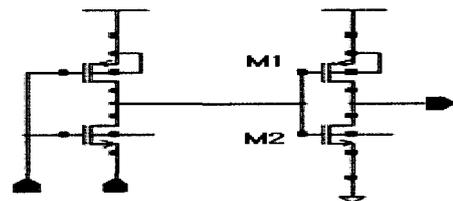


그림 10. One-zero detector의 회로도  
Fig. 10. One-zero detector circuit.

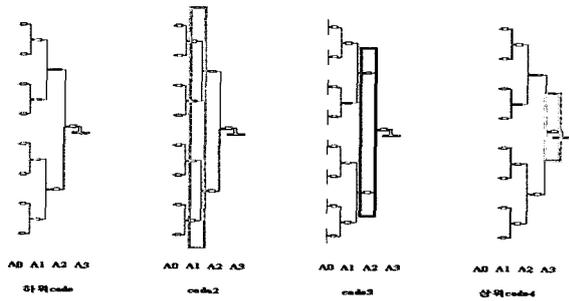


그림 11. 4bit One-zero Detecting Encoder 회로도  
 (□ : One-zero detector 부분)  
 Fig. 11. 4bit One-zero Detecting Encoder circuit.

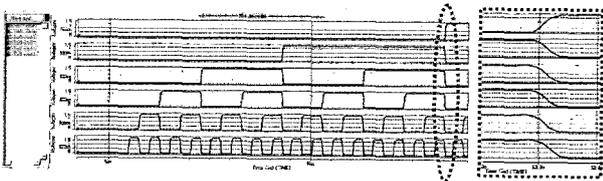


그림 12. 샘플링 주파수 4GHz에서의 모의실험 결과  
 Fig. 12. Simulated waveform of the sampling Freq. 4GHz.

을 얻을 수 있다. 그림 10은 One-zero detector 회로도이다. M1과 M2의 W/L의 비율은 duty ratio를 고려해 1:1로 가져갔다.

그림 11은 4bit One-zero Detecting Encoder의 회로도이다. 상위 code4를 예로 들어보면 A0, A1, A2 단에서 OR gate로 thermometer 출력의 1부분을 합한다. 그리고 마지막 A3단에서 One-zero detector를 사용하여 D01~D07부분은 0으로 D08~D15부분은 '1'로 구분하여 상위code를 얻을 수 있다. code3의 경우는 A0, A1단에서 OR gate로 '1'부분을 합하고 A3단에서 One-zero detector를 사용하여 code3에 해당하는 신호를 구분하여 A4단에서 OR gate로 다시 합하여 출력한다. code2와 하위code도 같은 방식으로 Encoder된 신호를 얻을 수 있다.

그림 12는 6bit One-zero Detecting Encoder 입력이 4GHz일 때의 Encoder 모의실험 결과이다. 상위code와 하위code가 만나는 교차지점에서 각 code가 정확히 일치함을 확인할 수 있다.

7. 제안하는 Buffered Reference

본 연구에서 고속 동작의 만족과 SNDR 향상을 위하여 Open loop T/H를 사용하였다. 그러나 T/H내 비교기 구동을 위한 Source Follow 형태의 버퍼는 필연적으로 공정파라미터, 파워, 온도에 민감하게 반응하여 DC offset을 발생시킨다. 발생한 DC offset은 저항열에

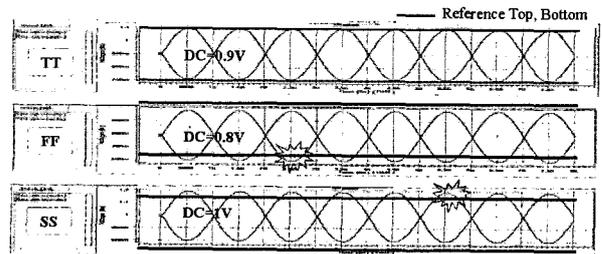


그림 13. 공정파라미터에 따른 Output DC 변화  
 Fig. 13. Varied output DC of the processor.

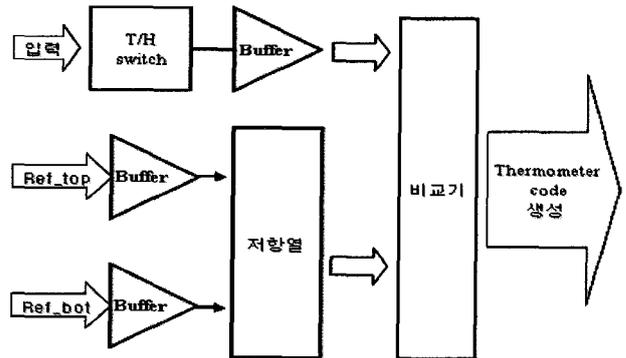


그림 14. 제안하는 Buffered Reference Block diagram  
 Fig. 14. Proposed buffered reference.

표 1. Buffered Reference를 사용하지 않은 경우  
 Table 1. Without Buffered Reference.

입력 주파수	ENOB [bit]		
	TT	FF	SS
31.25MHz	6.00	6.00	5.30
453.125MHz	5.98	5.96	5.20
953.125MHz	5.68	5.76	5.37

표 2. Buffered Reference를 사용한 경우  
 Table 2. With Buffered Reference.

입력 주파수	ENOB [bit]		
	TT	FF	SS
31.25MHz	6.00	6.00	6.00
453.125MHz	5.98	5.93	5.49
953.125MHz	5.68	5.81	5.49

의해 생성되는 Reference와 잘못된 비교를 통해 부정합을 발생시키고 ADC의 선형성을 떨어뜨리는 원인으로 작용한다. 그림 13은 공정파라미터 변화에 따른 DC offset의 변화를 나타낸다. 그림 16에서 TT기준으로 원하는 DC point가 0.9V라면 FF와 SS에서 각각 0.8V와 0.9V로 0.1V가 offset으로 발생하여 기준전압 상위와 하위부분이 비교되지 않음을 확인할 수 있다.

본 연구에서는 기준전압 Top과 Bottom안에 항상 입력신호를 비교할 수 있는 Buffered Reference를 제안한다. 그림 14는 제안하는 Buffered Reference의 Block diagram이다.

Buffered Reference는 T/H내 Buffer를 저항열에 인가되는 기준전압 Top과 Bottom에 동일한 Buffer를 통해 인가함으로써 Buffer에서 발생하는 DC offset과 같은 DC offset을 기준전압에 유발시켜 항상 입력신호와 기준전압을 동일한 범위 안에서 비교할 수 있게 한다. 표 1과 2는 Buffered Reference를 사용한 것과 사용하지 않은 6bit 2GSPS에서의 FFT 모의실험 결과를 나타낸 것이다. FF와 SS에서 Buffered Reference를 사용한 경우 ENOB가 향상됨을 확인할 수 있다.

### III. FULL chip 회로도 및 모의실험 결과

그림 15는 6bit A/D 변환기 전체 회로도이다. 모의실험은 6-bit A/D 변환기 Full code 확인과 FFT 를 통해 Schematic Level의 Pre simulation, Layout Level의 Post Simulation에 대하여 모의실험을 하였다.

표 3은 6bit A/D 변환기 FFT 모의실험 결과이다. 샘플링 주파수 2GHz에서 공정파라미터, 파워, 온도가 변할 때 각 주파수별 유효 비트수를 나타낸다. 모의실험

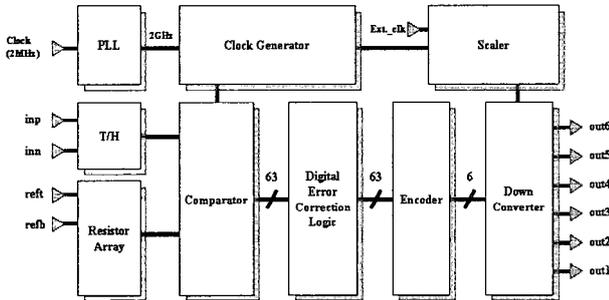


그림 15. 6bit A/D 변환기 전체 회로도  
Fig. 15. Block Diagram of the 6bit A/D converter.

표 3. 6bit A/D 변환기 FFT 모의실험 결과  
Table 3. FFT of the 6bit A/D converter.

입력주파수		ENOB [bit]					
		31.25MHz		453.125MHz		953.125MHz	
PVT		Pre	Post	Pre	Post	Pre	Post
1.8V, 25°C	TT	6.00	5.95	5.98	5.54	5.68	5.65
	FF	6.00	6.00	5.93	5.67	5.81	5.82
	SS	6.00	5.31	5.49	5.08	5.49	4.70
	FS	5.52	5.69	5.41	5.35	5.43	5.33
	SF	5.57	5.57	5.66	5.40	5.19	5.25
2V, FS, -55°C		5.82	5.46	5.56	5.14	5.32	5.65
1.6V, SF, 80°C		5.70	5.72	5.55	5.24	5.13	5.27

결과 평균 SNDR 35dB, ENOB 5.5bit로 나타났다.

### IV. 레이아웃 및 측정결과

#### 1. 레이아웃

그림 16에 PLL을 제외한 전체 ADC의 Core Layout과 제작 완료된 ADC를 나타냈다. 전체 Layout된 ADC의 Core Size는 977um × 1040 um 이다.

#### 2. 측정 결과

본 연구는 Gage社의 Compu-Scope 3200을 사용하여 측정하였다. 그림 17은 DC 측정을 통한 static INL/DNL 측정 결과이다. static 상태에서 INL과 DNL은 ±0.5LSB 이내로 측정되었다.

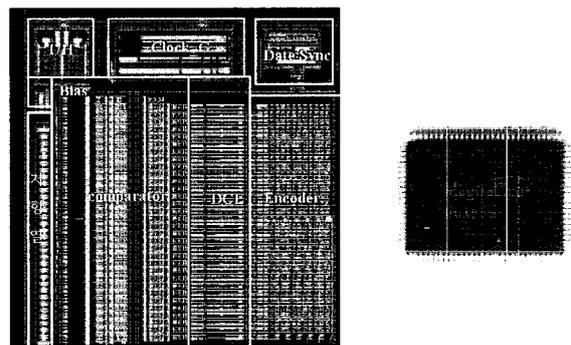


그림 16. 설계된 6bit A/D 변환기  
Fig. 16. 6bit A/D converter.

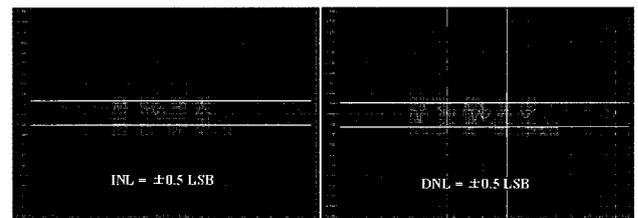


그림 17. INL / DNL 측정결과 (Static)  
Fig. 17. Measured INL / DNL (Static).

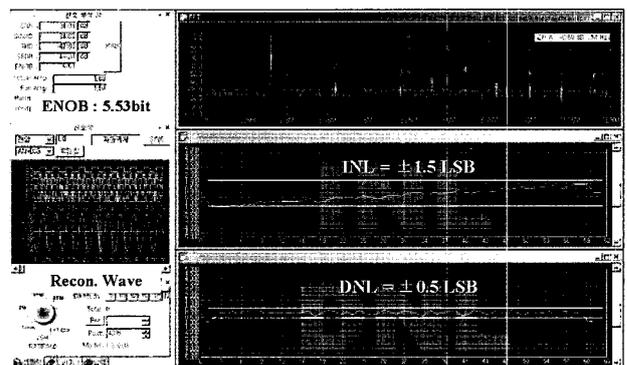


그림 18. FFT 측정결과 (fin=2MHz, fs=2GHz)  
Fig. 18. FFT at fin=2MHz and fs=2GHz.

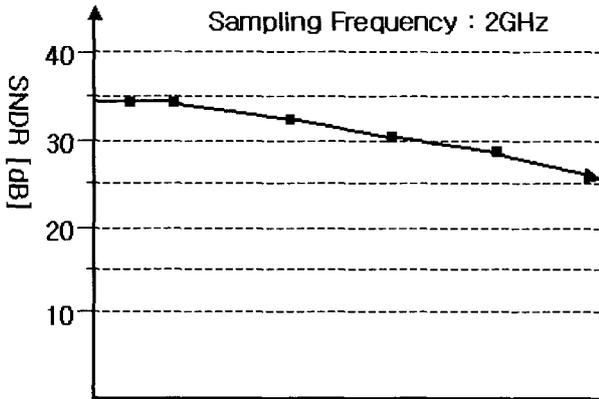


그림 19. 입력주파수별 SNDR과 ENOB  
Fig. 19. Measured SNDR and ENOB.

그림 19은 2GSPS에서 입력주파수에 따른 SNDR과 ENOB를 나타낸 결과이다. 입력주파수 250MHz이하에서 5bit 이상의 ENOB를 확인했다.

그림 18은 2GSPS에서 측정을 위해 Down Converter를 사용하여 측정한 결과이다. 측정 결과 샘플링 주파수 2GHz와 입력 주파수 2MHz에서 SNDR 34.55dB, SFDR 51.82dB, THD -47.00dB, INL ±1.5LSB, DNL ±0.5LSB 로 측정되었다.

### V. 결 론

본 연구의 목적은 고속 Interface를 위한 높은 변환 속도와 적은 전력 소모를 갖는 A/D 변환기의 개발이었다. 본 연구에서는 0.18um 1-poly 3-metal N-well CMOS 공정을 사용하여, 고속 동작을 목표로 한, 1.8V 6-bit 2GSPS CMOS A/D 변환기를 설계하였다. Interpolation A/D변환기는 같은 해상도의 Flash A/D 변환기에 비해 프리앰프의 수가 줄기 때문에 작은 입력 커패시턴스를 가지며 면적과 전력소모도 작다. 또한 고속 동작의 문제점들을 해결하기 위하여 새로운 구조의 One-zero Detecting Encoder, Reference Fluctuation을 보정하기 위한 회로를 제안하였고, 비교기 자체의 Offset과 Feedthrough에 의한 오차를 최소화하기 위하여 Averaging Resistor와 SNDR을 향상시키기 위한 Track & Hold를 설계하여 최종 결과를 얻을 수가 있었다. 또한 입력단 T/H의 PVT 조건에 따른 DC offset을 보정한 Buffered Reference를 제안하였고 설계된 칩의 모의실험 결과를 통하여 각 부분의 성능을 평가하였다. 제안한 A/D 변환기의 측정 결과 SNDR은 입력주파수 2MHz에서 34.55dB, 250MHz에서 31.5dB, 500MHz에서

표 4. 설계된 A/D 변환기 사양 및 측정 결과  
Table 4. Performance summary of the designed ADC.

분해능	6 비트
입력 주파수	Nyquist
변환속도	2GSPS
전원 전압	단일 1.8V
아날로그 입력 범위	0.5V <sub>PP</sub> (Diff.=1V <sub>PP</sub> )
DNL / INL	±0.5LSB/±0.5LSB (Static) ±0.5LSB/±1.5LSB (Dynamic)
ENOB	5bit at Input Freq 250MHz, 2GSPS
전력소모(ADC Core)	145mW
유효 칩 면적	977μm×1040μm
공정	0.18μm, 1-poly, 3-metal N-well CMOS

표 5. 최근 6bit ADC 연구동향  
Table 5. Recent research of 6bit ADC.

참고문헌	Sampling	공정[um]	전력[mW]	전원[V]	ENOB[bit]
본 논문	2GHz	0.18	145	1.8	5
IEEE '04	4GHz	0.13	990	1.5	5.5
전자공학회'04	70MHz	0.18	40	3.3	5.5
IEEE '03	2GHz	0.18	310	1.8	4.7
참고문헌 [8]	1.6GHz	0.18	328	1.8	5
IEEE '01	1.3GHz	0.35	250	3.3	5
IEEE '01	1.1GHz	0.35	300	3.3	4.5
IEEE '00	700MHz	0.25	190	3.3	4.7

28dB로 측정되었고 Static 상태에서 INL/DNL은 ±0.5LSB 이내이다. 유효 칩 면적은 977μm×1040μm으로 6bit을 Full-Flash 타입으로 A/D 변환기를 구현했을 때에 비해 작은 칩 면적을 차지하였다. 표 4은 본 연구에서 설계된 A/D 변환기의 사양 및 측정 결과를 정리한 도표이다. 표 5는 최근 6bit ADC 연구동향을 정리하였으며, 타 연구 논문과 비교해 볼 때 높은 변환속도와 적은 전력 소모를 가짐을 알 수 있다.

### 참 고 문 헌

- [1] David A. Johns and Ken Martin, "Analog Integrated Circuit Design", John Wiley & Sons Inc., 1997, pp. 463-486
- [2] 이승훈, 김범섭, 송민규, 최중호 공저, "CMOS 아날로그 / 혼성모드 집적시스템 설계", 시그마프레스, 1999.
- [3] A. Agoston, "Travelling wave sampler." U. S. Patent Number 4,647,795, Mar. 1987.
- [4] Y. Akazawa, A. Iwata, T. Wakimoto, T. Kamato, H. Nakamura, and H. Ikawa, "A

- 400MSPS 8b flash A/D conversion LSI." in International Solid State Circuits Conference, pp. 98-99, IEEE, Feb. 1987.
- [5] Behzard Razabi "Principles of Data Conversion System Design" IEEE PRESS, 1995. pp. 127-132.
- [6] Peter J. Lim and Bruce A. Wooley, "A High-Speed Sample-and-Hold Technique Using a Miller Hold Capacitance", IEEE Journal of Solid State Circuits, vol. 26, pp. 643-651, Apr. 1991.
- [7] R. Jacob Baker, Harry W. Li, David E. Boyce "CMOS circuit Design, Layout, and simulation" IEEE PRESS 1997 pp. 84-88.
- [8] Peter scholtens, Maarten Vertergt "A 6b 1.6GSample/s Flash ADC in 0.18um CMOS using Averaging Termination." in international Solid State Circuits Conference, pp. 168-169, IEEE, Feb. 2002.

---

 저 자 소 개
 

---



박 유 진(정회원)

2003년 동국대학교 반도체과학과  
학사 졸업.

2005년 동국대학교 반도체과학과  
석사 졸업.

2005년~현재 MagnaChip  
Semiconductor Ltd.  
Analog IP 개발

<주관심분야 : AD/DA변환기, PLL/Oscillator,  
DC-DC converter >



황 상 훈(정회원)

2001년 동국대학교 반도체과학과  
학사 졸업.

2003년 동국대학교 반도체과학과  
석사 졸업.

2004년~현재 동국대학교  
반도체과학과 박사 과정.

<주관심분야 : CMOS 아날로그 회로 설계, 저 전  
력 혼성모드 회로 설계 >



송 민 규(정회원)

1986년 서울대학교 전자공학과  
학사 졸업.

1988년 서울대학교 전자공학과  
석사 졸업.

1993년 서울대학교 전자공학과  
박사 졸업.

1993년~1995년 동경대학교 초빙연구원

1995년~1997년 삼성전자 ASIC 설계팀 연구원

1997년~현재 동국대학교 부교수

<주관심분야 : CMOS 아날로그 회로 설계, 저 전  
력 혼성모드 회로 설계 >