

## 코발트 니켈 복합 실리사이드 공정에서 하부 형상에 따른 잔류 금속의 형상 변화

송오성<sup>1\*</sup> · 김상엽<sup>1</sup>

### Residual Metal Evolution with Pattern Density in Cobalt Nickel Composite Silicide Process

Ohsung Song<sup>1\*</sup> and Sangyeop Kim<sup>1</sup>

**요약** 새로이 제안된 15 nm-Ni/15 nm-Co의 적층구조로부터 제조된 NiCo 복합실리사이드를 실제 디바이스에 채용하기 위해, SiO<sub>2</sub> 스페이서를 가진 폴리실리콘 게이트 선편이 0.25~1.5  $\mu\text{m}$ 까지 변화하는 테스트그룹을 이용하여 30초-RTA를 이용한 실리사이드화 온도를 700~1100°C 까지 변화시키면서 이때 cleaning 전후의 잔류금속의 생성모습을 확인하였다. RTA온도가 올라갈수록 SiO<sub>2</sub>로 구성된 필드와 스페이서 상부와, 실리사이드가 형성된 게이트 상부에 0.25  $\mu\text{m}$ 정도의 단축직경을 가진 타원형 잔류금속이 미로형 또는 게이트 방향으로 생성되는 특징이 있었고 동시에 응집이 많아지는 현상이 있었다. 응집이 많을수록 하부 절연층과의 반응도가 증가하여 절연특성이 저하될 수 있었고 과도한 습식제거 공정을 오래하여야 하므로 실험 범위 내에서 가급적 저온 실리사이드화 열처리가 바람직하였다.

**Abstract** We prepared 0.25~1.5  $\mu\text{m}$  poly silicon gate array test group with SiO<sub>2</sub> spacers in order to employ NiCo composite silicide process from 15 nm Ni/15 nm Co/poly structure. We investigate the residual metal shape evolution by varying the rapid thermal silicide anneal temperature from 700°C to 1100°C. We observed the residual metals agglomerated into maze type and line type on SiO<sub>2</sub> field and silicide gate, respectively as temperature increased. We propose that lower silicide temperature would be favorable in newly proposed NiCo silicide in order to lessen the agglomeration causing the leakage and scum formation.

**Key Words** : Residual metals, CoNi, Composite silicide, Silicidation, Wet cleaning

### 1. 서 론

반도체 소자에서 RC delay 문제를 해결하기 위한 효율적인 방법은 전체 소자에 채용되는 여러 소재의 저항을 낮추는 방안이다. 소자의 고집적화가 진행되면 같은 비저항 소재를 채용한 경우 두께와 선편이 작아지면 저항이 커질 수밖에 없고, 따라서 비저항이 작은 소재로 대체하려는 노력이 계속되고 있다[1].

반도체 전공정(front end process) 중 기존 실리콘으로 만들어진 소오스와 드레인의 활성화 영역과 게이트 상부는 금속 층과의 알루미늄으로 연결된다. 그러나 알루미늄과 실리콘은 직접 만나면 사용 중 상호확산을 일으켜서 스파이킹 현상에 의한 소자 파괴를 일으키므로

이를 방지하기 위해 이미 확산방지층 역할을 하면서도 경제적으로 만들 수 있고 전기저항이 작은 살리사이드 공정에 의한 실리사이드 물질이 개발되어 왔다.

이러한 요구조건을 만족하기 위해 이미 기존에는 TiSi[2], CoSi[3], NiSi[4]가 이미 채용되고 있다. 초기에 개발되어 널리 쓰이는 TiSi는 0.25  $\mu\text{m}$  이하의 선편에서 저저항의 TiSi로의 상변화가 일어나지 않는 선편 의존성이 있는 한계가 있고, CoSi는 실리사이드와 부피 변화가 3.3 정도로 크고 실리콘이 자연산화막이 있는 경우 실리사이드 반응이 지연되는 공정상 단점이 있다. 비교적 최근에 많이 채용되는 NiSi는 니켈과 실리콘이 1:1로 반응하므로 부피변화가 적어서 얇게 만드는데 유리하지만 실리사이드화 온도가 700°C가 넘으면 고저항의 NiSi로 상변화를 일으키므로 후속열처리 공정이 있는 경우 극히 불리한 문제가 있었다.

따라서 이러한 문제를 해결하기 위해 각 단상실리사이드의 장점만을 채용하여 복합실리사이드를 형성하려는

이 논문은 한국과학재단의 특정기초연구(과제번호 R01-2004-000-10028-0) 지원에 의하여 연구되었음.

<sup>1</sup>서울시립대학교 신소재공학과

\*교신저자: 송오성(songos@uos.ac.kr)

노력도 이어져서 송오성 등[5]이 제안한(Co<sub>x</sub>Ni<sub>1-x</sub>)Si<sub>2</sub> 실리사이드 등이 개발되는 등 기존 단상재료의 문제점을 극복한 새로운 실리사이드가 개발되고 있다.

새로운 실리사이드가 실제 양산 공정에 채택되기 위해서는 여러 가지 전후공정과의 적합성이 확인되어야 하는데 특히 살리사이드 공정에서 잔류금속의 제거성이나 절연층과의 반응성이 확인될 필요가 있다.

이런 배경에서 송오성 등이 CoNi에서의 기존 SiO<sub>2</sub> 게이트 절연층과의 게이트단자에 따라 게이트상부의 복합실리사이드를 상정하여 에치 선택비를 확인한 보고 [6]와 이러한 복합실리사이드가 1100°C 정도의 고온에서도 안정적으로 저저항을 유지할 수 있는 특성이 보고된 바 있으나 측벽 물질과의 반응 안정성[7], 고온에서 실리사이드 열처리 하는 경우 또는 장시간 열처리할 때 절연층과의 반응성의 확인 등이 미흡한 상황이다.

따라서 본 연구에서는 미세선폭을 상정하여 실리사이드를 제작하고 RTA 처리후의 잔류 금속층의 형태와 이들이 게이트상부와 트랜지스터를 분리하는 필드 영역에서의 금속층의 반응도 등을 확인하였다.

### 2. 실험방법

직경 10 cm의 p-형 실리콘(100) 기판전면에 2000Å 두께의 열산화막을 만들고, 700Å 두께의 폴리실리콘을 성장하고 그림 1에 나타낸 바와 같이 선평과 피치가 0.15~1.0 μm까지 변화하는 테스트 그룹을 사진 공정처리하고 건식식각하여 형성시켰다. 이후에 700Å 두께의 SiO<sub>2</sub> 층을 LPCVD로 형성시키고 기판 전체를 700Å 두께를 목표로 건식식각하여 게이트 어레이 양쪽에 스페이서가 형성되도록 하였다.

그림 2와 같이 완성된 게이트 어레이 기판의 전면에

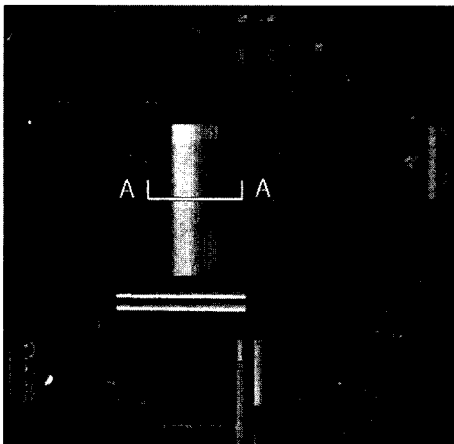


그림 1. 폴리실리콘 패턴을 위한 테스트 그룹

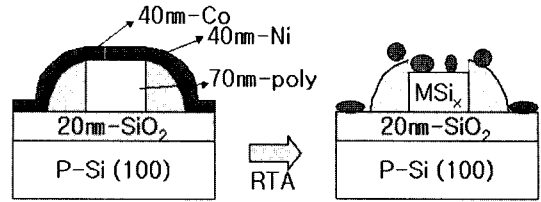


그림 2. 최종 게이트의 형상과 잔류 금속

200 Å 두께의 Co, 200Å 두께의 Ni를 연속으로 성장시킨 후 패속열처리기로 40 초 동안 700~1100°C로 변화시키며 실리사이드 공정을 진행시켰다.

각 열처리 온도 조건으로 완성된 실리사이드 게이트 어레이는 주사전자현미경을 이용하여 면방향의 선평별 확대사진과 그림 1에 A-A 표시한 부분을 절단하여 게이트 어레이의 수직단면을 찍어서 미 반응 금속의 형상을 확인하였다.

### 3. 실험 결과 및 토의

그림 3(a)-(d)에 30초간 RTA온도를 각각 700°C, 800°C, 900°C, 1100°C로 처리한 경우의 크리닝 전의 수평면의 FE-SEM 이미지를 정리하여 나타내었다. 먼저 전체적인 이미지를 보면 게이트어레이 상부에 0.20 × 0.25 μm정도의 타원형 잔류 금속이 발생한 것으로 보이며 스페이서 부분에도 연결되지 않은 미반응 금속층이 남아 있음을 알 수 있다.

특히 트랜지스터의 필드부분인 산화막위의 미반응 금속층은 0.3 × 0.35 μm<sup>2</sup> 정도의 크기로 미로와 같이 연결되어 있는 모습을 보이고 있다. 이러한 미반응 금속층의 배열은 900°C까지는 일정하다가 1000°C 이후부터는 0.50 μm정도의 박편형으로 응집하여 1100°C에서는 필드 부분에도 더 큰 미로형 잔류금속을 보이고 있다.

따라서 필드 부분이나 스페이서 부분의 절연층에 미반응 금속층은 온도가 올라갈수록 웨팅이 증가하므로 기존 실리사이드 공정과 마찬가지로 안정화를 위한 2차 실리사이드화 열처리를 하기전에 완전한 잔류 금속세정을 한 후에 열처리를 실시하는 것이 바람직하여 보인다.

한편 실리사이드층 상부 중심부에 잔류하는 금속층은 자가 정렬적으로 생겼으며, 생성원인은 게이트 측부면을 따라 확산효과가 빠르므로 Ni과 Co가 에지부에서 먼저 소진되면서 최종적으로 중앙부에 미반응 금속이 잔류하는 모습을 보인 것으로 생각된다.

따라서 만약 하부에 완전히 실리사이드화가 진행되지 않음을 고려하여 후속 열처리를 진행하면 금속원이 상부 전면에 균일하게 생성된 것이 아니므로 오히려 불

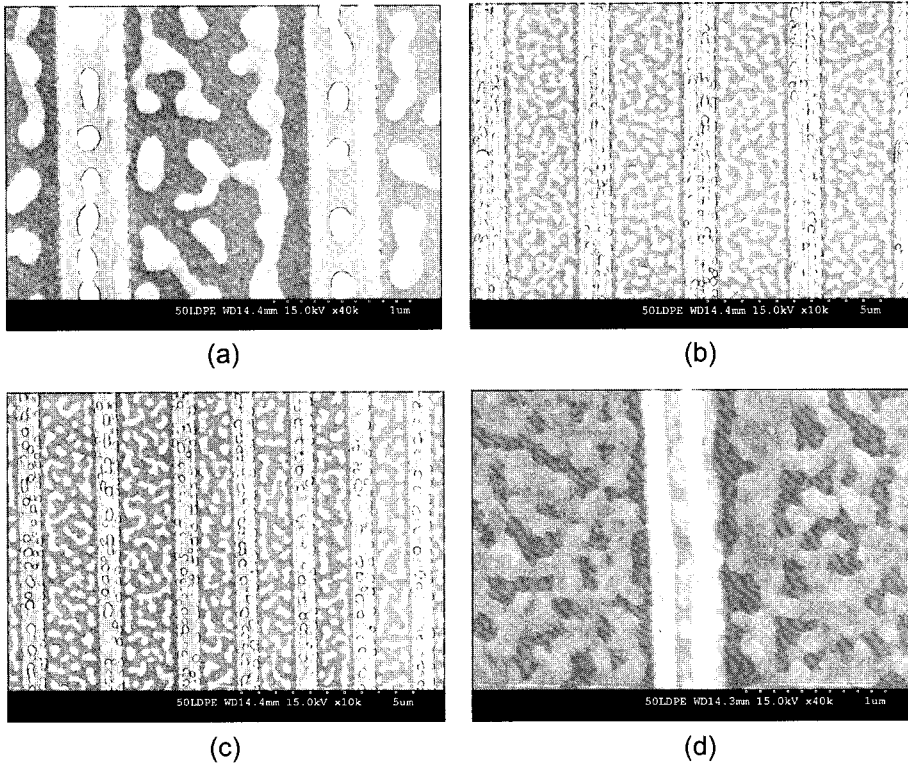


그림 3. FESEM 이미지로 본 잔류 금속의 형상. RTA온도 (a) 700°C, (b) 800°C, (c) 900°C, (d) 1100°C.

균일한 금속물질의 확산이 일어나서 전체 게이트의 균일한 저 저항을 만드는데 불리한 것으로 예상되었다.

이러한 면 방향의 FE-SEM 관찰을 통해서, 후속 열 처리는 의미가 없고 열처리 직 후 크리닝 처리가 필요하며 후속 실리사이드를 다시 크리닝 처리 후 금속을 전면에서 재증착 후 진행하는 것이 유리하다는 것을 확인하였다.

그림 4에는 그림 3 조건의 수직단면 이미지를 나타내었다. 많은 잔류금속들이 실리사이드 상부에 잔존하며 특히 실리사이드화 온도가 상승할수록 1000°C 이후에는 잔류금속 응집현상이 매우 크게 나타나서 스킴이 발생한 경우 근접 배선층과의 브릿지현상의 원인이 될 수 있음을 나타내고 있어서 역시 가능하면 실리사이드 배선층을 만들 때 저온에서 실시함이 유리함을 뒷받침하고 있다.

일반적으로 50 nm의 폴리실리콘과 30 nm의 금속이 반응하면 약 15 nm의 최종 실리사이드화 된다고 예상되었으나, 현상적으로 매우 작은 두께의 실리사이드가 형성된 것으로 보인다.

송오성 등의 보고[8]에 의하면 동일한 두께와 구조의 금속층을 소오스와 드레인을 상정한 평판형 실리콘 기

판위에 반응시키면 동일한 RTA 온도 범위에서 약 50~100 nm 두께의 실리사이드층이 형성되는 것으로 알려져 있는데 본 실험과 같이 폴리실리콘에서는 입계를 이용한 더욱 가속된 확산 반응이 예상되어 더욱 두꺼운 실리사이드 층의 형성이 예상되었으나 전 온도 범위에서 예상보다 매우 작은 두께의 실리사이드가 생성되었음을 보이고 있다.

먼저 활성화 영역과 비교하여 본 실험과 같이 실리사이드 두께가 낮아진 것은 폴리 실리콘층의 두께가 50 nm급 정도로 한정되어 있기 때문에, 완전히 실리사이드화가 일어나려면 기존의 비교적 단순한 확산기구와는 달리 각 중간상 등의 핵생성, 성장, 상변태 등 복잡한 기구가 고려되어 최종적으로 금속층의 빠른 확산에 의한 하부에 실리사이드층이 생기고 상부에 폴리실리콘이 남아있다가 박리되어 제거되는 도치(inversion)현상에 의한 기구가 가능할 것이다[9].

또 한가지의 가능한 이유로는 미세패턴의 형상효과도 고려할 수 있다. 평판 전체 기판에 비해서 본 실험은 선폭이 다른 게이트 250 nm~1000 nm 까지의 선폭을 가진 어레이를 비교한 것으로 실리사이드 반응이 일어날 때 스페이서와의 계면이 금속층의 빠른 확산이동을

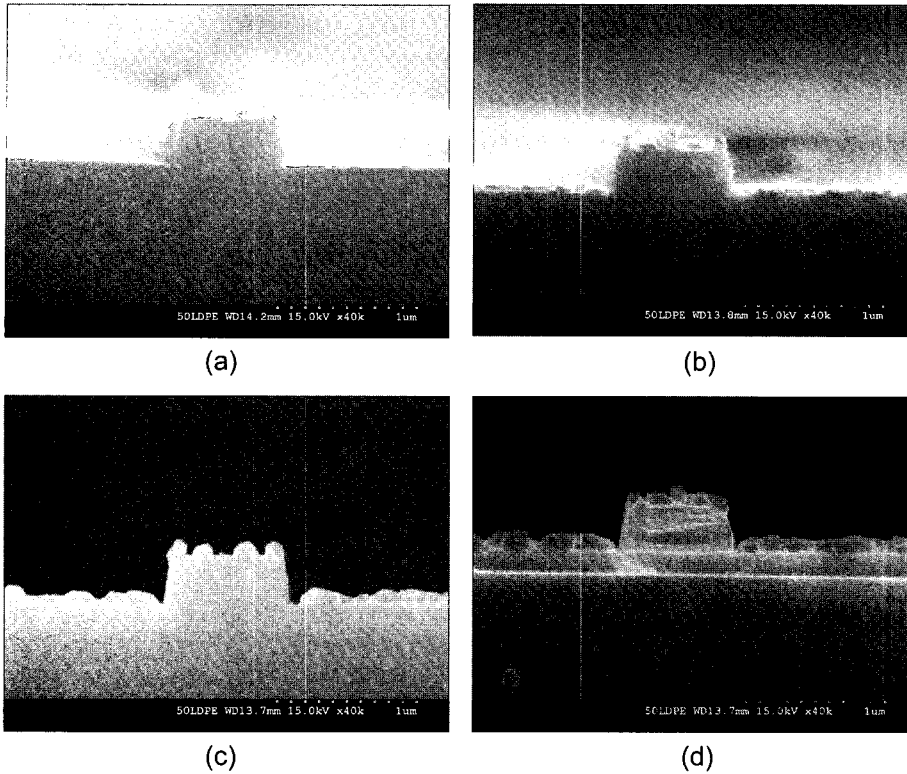


그림 4. FESEM 수직단면 이미지로 본 잔류금속의 형상과 게이트 두께. RTA온도 (a) 700°C, (b) 800°C, (c) 900°C, (d) 1100°C.

유도하며 빠른 금속도치 현상이 발생하고, 미반응 금속들이 타원형태로 더 이상 균일하게 반응하지 못하고 실리콘 상부에 응집하기 때문에 편판형과 같이 계속된 반응을 진행하지 못하는 것이라고 예상된다.

따라서 크리닝한 후에도 최종적으로 전체 게이트층이 실리콘산화 되었는지는 기존의 평판형의 동일한 구조의 폴리실리콘/금속층과의 실험에서와 달리 확인되지 못하였으며, 이는 패턴의 형성에 따라 고려해야 할 중요한 공정변수라고 할 수 있다.

실리콘이 형성된 게이트 상부의 잔류금속은 1.0 μm 이상 선평에서는 2줄로 타원형 응집이 발생하는 특징이 있었고 이는 실리콘 반응이 스페이서와 게이트 계면을 따라 먼저 급속하게 진행이 되어 발생한 때문이라고 생각되었고 1.0 μm보다 작은 선평의 게이트에서는 게이트 중앙부에 단축직경이 0.25 μm 정도인 타원형으로 1줄로 생성되는 특징이 있었다. 80°C-H<sub>2</sub>SO<sub>4</sub> 10분 처리 후에는 게이트 상부의 물질을 쉽게 제거가 가능하였다.

절연층과 CoNi 잔류금속은 단위면적당 잔류금속이 RTA온도가 더 높아질수록 wetting이 증가하면서 단위면적당 잔류니켈의 응집율이 50%(700°C)에서 70%

(1100°C)로 증가하면서 미로형을 이루면서 응집하는 현상을 보이고 있다.

따라서 RTA 실리콘산화 온도가 올라갈수록 잔류금속과 절연층과의 반응 안정성이 중요해지고 있으며 이러한 문제를 확인하기 위해서 송오성 등[10]이 보고한 실리콘 산화층과 실리콘 질화층과의 동일한 금속 적층구조로 만들어 실험한 반응안정성에 의하면 고온 RTA가 진행될수록 반응도가 커질 것이 우려되므로 가능하다면 저온 RTA처리가 유리하다고 판단된다.

#### 4. 결 론

15 nm-Ni/15 nm-Co 적층구조를 이용한 실리콘 공정에서 RTA 온도를 700~1100°C 범위에서 변화시키면서 게이트 상부와 필드, 스페이서 상부의 잔류금속의 변화를 확인하였다.

RTA 온도가 증가할수록 응집현상이 커지는 문제가 있었고 특히 게이트 상부는 선평의 모양에 따라 1 μm 이상에서는 2개줄의 타원형 잔류금속이 배열되었다. 이러한 잔류금속은 고온일수록 절연층과 반응할 가능성이 크고 이를 제거하기 위한 습식공정이 필요하므로 가능

하면 저온에서 실리사이드 공정을 진행하는 것이 유리하다고 판단되었다.

### 참고문헌

- [1] Semiconductor Industry Association(SIA), the International technology roadmap for semiconductors, 2001.
- [2] Ezoe K., Yamamoto T., Ishii K., Matsumoto S., The effect of elevated silicon substrate temperature on TiSi<sub>2</sub> formatio from a Ti film, Thin Solid Film, Vol. 369 Issues 1-2, pp. 244-247, 2000.
- [3] Zhao Q. T., Kluth P., Bay H., Mantl S., Fabrication of Schottky barrier MOSFETs using self-assembly CoSi<sub>2</sub> nanopatterning and spacer gate technologes, Microelectronic Engineering, Vol. 70, issue 2-4, pp. 186-190, 2003.
- [4] Alberti A., Cafra B., Bongiorno C., Mannino G., Privitera V., Kammler T., Feudel T., Thin nickel silicide layer formation on silicon on insulator material, Materials Science and Engineering B, Vol. 114-115, pp. 42-45, 2004.
- [5] Song Oh Sung, Cheong Seong hwee, Kim Dug Joong, Choi Toung Un, Characterizatics of Composite Silicides from Co/Ni Structure, Korean Journal of Materials Research, Vol. 14, No. 11, pp. 769-774, 2004.
- [6] Beom Seong Jin, Song Oh Sung, Lee Hye Seong, Kim Jong Jun, Dry Etching Polysilicon in HBr/O<sub>2</sub> Inductively Coupled Plasmas, Korean Institute of Electronic Material Engineering, Vol. 17, No. 1, 2004.
- [7] Ahn Young Suk, Song Oh Sung, A study of reaction stability between nickel and side-wall materials with silidication temperature, Korean Journal of Materials Research, Vol. 11, No. 2, pp. 71-75 2001.
- [8] Song Oh Sung, Cheong Seong hwee, Kim Dug Joong, Characterization of Composite Silicide obtained from NiCo-Alloy Films, The Korean Institure of Metals and Materials, 2004.
- [9] Colgan E. G., Gambino J. P., Hong Q. Z., Formation and stability of silicides on polycrystalline silicon, Materials Science and Engineering, R16, pp. 43-96, 1996.
- [10] Ahn Young Suk, Song Oh Sung, A study of reaction stability between nickel and side-wall materials with silidication temperature, Korean Journal of Materials Research, Vol. 11, No. 2, pp. 71-75, 2001.

송 오 성(Oh-Sung Song)

[정회원]



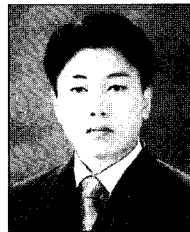
- 1987년 2월 : 서울대학교 금속공학과 (공학사)
- 1988년 2월 : 서울대학교 금속공학과 (공학석사)
- 1994년 5월 : MIT 재료공학 (공학박사)
- 1996년 3월 : NTT기초연구원
- 1997년 8월 : 삼성전자 CPU 기술팀
- 현재 : 서울시립대학교 신소재공학과

<관심분야>

반도체공정, 주열리공학, 자성재료

김 상 엽(Sang-Yeop Kim)

[준회원]



- 2005년 2월 : 서울시립대학교 신소재 공학과 (공학사)
- 2005년 2월~현재 : 서울시립대학교 신소재공학과 (석사과정)

<관심분야>

자성재료, 반도체 공정.