

A Low Power Scan Design Architecture

金 吝 洙[†] · 閔 炯 福^{**}
(Insoo Kim · Hyoung Bok Min)

Abstract - Power dissipated during test application is substantially higher than power dissipated during functional operation which can decrease the reliability and lead to yield loss. This paper presents a new technique for power minimization during test application in full scan sequential circuits. This paper shows freezing of combinational logic parts during scan shift operation in test mode. The freezing technique leads to power to minimization. Significant power reduction in the scan techniques is achieved on ISCAS 89 benchmarks.

Key Words : Scan Flipflop, Low Power, Scan Chain, Scan Shift, Test Mode, Test Operation, Shift Operation

1. 서 론

VLSI 설계 및 테스트 단계에서의 Design For Testability (DFT) 기법 또는 스캔기법(scan design)은 매우 광범위하게 사용되고 있다[1][2][3]. 이 기법을 통하여 회로내의 일반 플립플롭(flipflop)을 스캔플립플롭으로 변환한다. 이렇게 변환된 스캔플립플롭들은 마치 쉬프트레지스터와 같이 체인으로 연결되고, 입력벡터를 주입함으로써 회로내의 동작을 유발한다. 추가적으로 설치된 test mode 구분용 pin을 통하여 일반적인 회로 동작과 테스트모드 동작으로 구분하여 회로의 고장 유무를 판별한다[1][2][3]. 이와 같은 동작은 그림 1에서 표현하고 있다. 회로를 검증하기 위한 test mode 동작시의 전력소모는 결코 간과할 수 있는 수준이 아니기에 본 논문에서는 test mode 시의 전력소모를 줄이는 것에 중점을 두고자한다.

2. 기존의 스캔기법 및 스캔체인의 구조

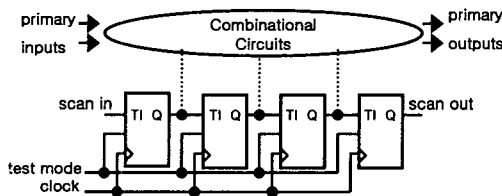


그림 1 스캔체인에 연결된 스캔셀의 모습
Fig 1. Scan Cells linked to form a scan chain

그림 1에서 보는 바와 같이 DFT 기법을 이용한 테스트 기법은 회로내의 모든 플립플롭들을 스캔플립플롭으로 대체한 후 쉬프트레지스터의 형태를 갖도록 회로의 구성을 변경한다. 그림 1에서의 test mode pin 에 0을 인가하는 동안은 스캔체인이 형성되지 않은 경우인 일반 회로로서의 동작을 수행하게 된다(normal operation). Test mode pin 에 1을 인가하는 동안(test mode operation 또는 test operation)은 스캔체인이 형성되며 scan in 단자를 통하여 회로의 테스트를 위한 패턴이 입력된다[1][2][3]. 이러한 동작을 수행하는 동안 회로는 동작 검증을 위한 테스트가 수행되며 회로의 고장유무가 판별된다. 하지만 test mode pin 이 1로 놓이는 test operation에서는 회로의 고장유무를 다양한 패턴으로 검증하는 단계를 거치게 되어 normal operation 에 비하여 급격히 많은 전력이 소모된다. 이에 본 논문은 test operation 수행과정중의 전력소모를 최소화하기 위해 기존 스캔체인의 연결 구조를 변경하고자 한다.

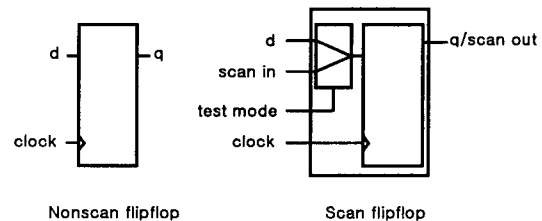


그림 2 기존 일반플립플롭과 스캔플립플롭의 모습
Fig 2. D flipflop with scan capability

[†] 교신저자, 正會員 : 성균관대학교 전기전자 및 컴퓨터 공학과 박사과정 수료

E-mail : iskim@ece.skku.ac.kr

^{*} 正會員 : 성균관대학교 정보통신공학부 교수

接受日字 : 2005年 4月 22日

最終完了 : 2005年 5月 24日

그림 2는 일반적인 D 플립플롭과 DFT 기법을 통하여 스캔플립플롭으로 변경될 때 사용되는 기존의 스캔플립플롭의 모습을 보여준다[1][2][4][5][6]. 스캔플립플롭에서 test mode 가 0 일 때는 d로 입력 값이 입력되고, test mode 가 1 일 때는 scan in 으로 입력 값이 입력된다. 출력 pin 인 q/scan

out 은 또 다른 스캔플립플롭의 scan in 으로 연결되도록 하여 결과적으로 시프트레지스터의 형태를 갖도록 구성된다. 이러한 시프트레지스터를 스캔체인 또는 스캔경로라고 부른다[7][8][9][10]. 이러한 스캔기법은 뛰어난 controllability와 observability를 이유로 여러 테스트기법들 중에서 선호되는 기법 중 하나이며 많은 장점을 가지고 있는 것이 사실이다[1][2][9][10]. 그러나 그림 1을 통하여 알 수 있듯이 기존 스캔체인 구조에서는 테스트를 위한 백터가 전체 회로 중 순차회로 내에 인가되는 동안 조합회로의 스위칭이 일어나게 된다. 즉, test mode 가 1인 상태에서 테스트를 위한 입력값이 순차회로(스캔체인)내로 인가될 때인 shift operation 과정 중에 조합회로의 스위칭은 전체 test operation 의 전력소모를 증가시키는 원인 중 하나라 판단되어 본 논문에서는 shift operation 동안의 전력소모를 최소화하기 위한 기법을 제안한다.

3. 제안하는 스캔플립플롭 및 스캔체인의 구조

기존의 스캔체인구조에서는 test mode 시의 shift operation 수행과정 중 일어나는 조합회로의 스위칭으로 인해 테스트 수행에 있어서의 전력소모가 증가하는 원인 중 하나로 지적되어왔다. 이에 shift operation 중의 전력소모를 줄이고자 하는 제안으로 그림 3과 같은 스캔플립플롭의 구조를 제안한다.

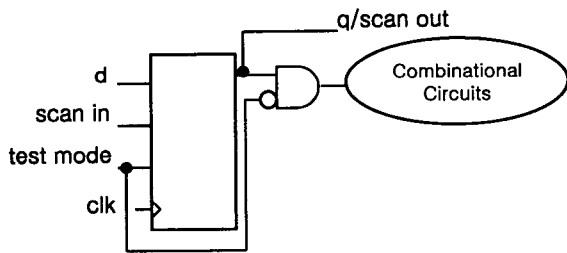
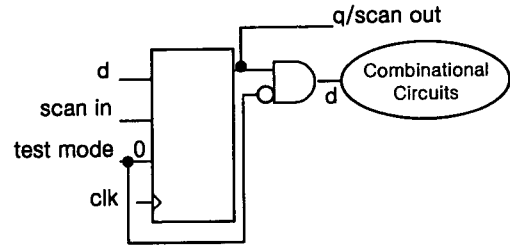


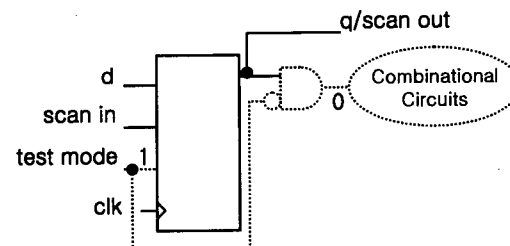
그림 3 제안된 스캔플립플롭 구조
Fig 3. Proposed scan Design

그림 3에서 제안된 스캔플립플롭은 테스트 과정에서 shift operation 이 수행되는 동안의 전력소모를 막기 위해 기존 플립플롭을 재설계한 것이다. 제안된 플립플롭의 test mode pin 이 0 인 상태는 일반 플립플롭의 동작(normal operation)과 동일하다. 그러나 test mode pin 이 1 인 경우에는 test mode 동작을 수행하게 되는 것은 기존 스캔플립플롭과 동일하지만 조합회로로 연결된 pin 이 gated logic 을 거치면서 논리적으로 0 으로 된다. 이는 결국 스캔플립플롭으로부터 조합회로로의 경로가 논리적으로 0 이 되는 효과를 갖게 되어 조합회로의 스위칭을 차단하게 된다. 스위칭을 차단함으로써 shift operation 동안의 조합회로의 동작을 최소화하게 되고, 이는 테스트 전체적인 관점에서의 전력소모를 줄이는 효과를 갖는다. 이 과정은 그림 4를 통하여 normal operation(test mode = 0), test mode operation(test mode = 1) 으로 구분하여 보여주고 있다. 스

캔체인으로부터 조합회로로 이어지는 신호선(그림 4에서의 점선으로 표시된 부분)은 논리 0으로 고정화된다. 이것은 조합회로와 주출력단의 스위칭을 감소시킨다. 그림에도 스캔체인 고유의 기능을 상실하지 않는 장점을 갖게 된다. 본 논문에서 제안된 스캔플립플롭은 test mode operation 상에서 scan shift operation 을 수행할 때 조합회로부분의 동작을 원천적으로 봉쇄하게 되고, 이는 전력소모의 감소를 가져오는 효과를 갖는다.



normal operation



test mode operation

그림 4 Normal & test mode operation
Fig 4. Normal & test mode operation

제안된 스캔플립플롭으로 구성된 스캔체인구조는 그림 5를 통하여 보여준다.

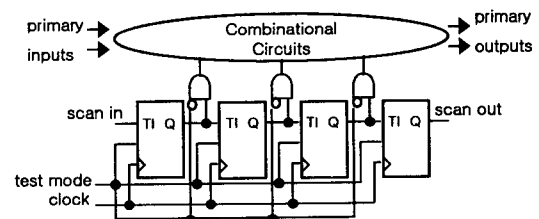


그림 5 제안된 스캔체인 구조
Fig 5. Proposed scan chain architecture

그림 5에서도 알 수 있듯이 스캔체인으로부터 조합회로로 이어지는 신호선(그림 4에서의 점선으로 표시된 부분)은 논리 0으로 고정화된다. 이것은 조합회로와 주출력단의 스위칭을 감소시키게 되고 이것은 테스트의 전체적인 관점에서 보았을 때 전력소모의 감소라는 이득을 가져온다. 그렇지만

스캔체인 고유의 기능은 전혀 상실하지 않는다.

4. 실험결과

본 논문에서 제안하는 스캔플립플롭구조의 타당성은 ISCAS89 benchmark 회로를 통하여 검증하였다. 실험환경은 UltraSPARC-II 360MHz의 CPU와 1024MB의 memory가 장착된 SUN microsystems™의 Ultra-60 Workstation에서 하였다. 실험과정중에 사용된 cad tool 은 Synopsys™의 DesignAnalyzer 와 TetraMAX, Cadence™의 Verilog-XL 이다. 특히, 전력소모계산은 각각의 회로에 대한 accelerated event 수를 통하여 추출하였다. 표 1은 ISCAS89 benchmark 회로 중 15개의 회로를 대상으로 한 실험결과이다. 첫 칼럼은 회로의 이름, 두 번째와 세 번째 칼럼은 각 회로에 내장된 게이트와 플립플롭의 수이다. 네 번째 칼럼과 다섯 번째 칼럼은 주입력단(primary inputs:PI)의 수와 주출력단(primary outputs:PO)의 수이다. 여섯 번째 칼럼은 테스트 백터의 수를 의미하며, 일곱 번째와 여덟 번째 칼럼은 기존기법을 사용한 경우의 event 수(classical method events:CME)와 본 논문에서 제안하는 기법을 사용한 경우의 event 수(proposed method events:PME)를 의미한다. 아홉 번째 칼럼을 통하여 event 수의 감소를 백분율로 나타내었다. 이 칼럼을 통하여 본 논문에서 제안하는 기법의 타당성을 보여주고 있다.

표 1. 실험결과

Table 1. Experimental results

circuit	gates	FF	TV	CME#	PME#	reduction(%)	TD
s208	61	8	28	10571	8271	21.76	12
s298	75	14	26	31010	19908	35.80	11
s344	101	15	22	33612	21652	35.58	22
s349	104	15	24	36869	22807	38.14	22
s382	99	21	29	62330	38349	38.47	11
s386	118	6	46	13852	10625	23.30	13
s400	106	21	27	57511	45908	20.18	13
s420	122	16	58	59107	36944	37.50	14
s444	119	21	27	58486	37452	35.96	13
s510	179	6	65	43693	24811	43.22	14
s526	428	18	35	87454	57444	34.32	11
s820	256	5	84	39849	31592	20.72	12
s832	262	5	85	39794	27310	31.37	12
s838	241	32	112	360903	200143	44.54	17
s1196	388	18	177	205218	173491	15.46	17
s1423	490	74	67	1832473	890321	51.41	61
s1488	550	6	103	122588	92618	24.45	18
s1494	558	6	97	118475	83944	29.15	18
s5378	1004	179	211	24759989	14316837	42.18	26
s9234	2027	160	134	13768138	7421124	46.10	60
s1320	2573	638	350	482217107	293387509	39.16	60
s1585	3448	534	356	448132448	247973001	44.67	84
s3841	8709	1636	857	727985947	155717345	78.61	49
s3858	11448	1426	557	918227475	383523497	58.23	58

마지막 칼럼(TD:Timing Delay)도 역시 본 논문에서 제안하는 스캔플립플롭구조의 타당성을 보여주는 것으로서 ISCAS89 benchmark 회로를 대상으로 타이밍 지연에 대한 분석데이터이다. 타이밍지연은 각 회로내의 주입력으로부터 주출력까지의 경로 중 가장 긴 경로를 대상으로 하였다. 주입력으로부터 주출력에 이르는 경로를 거치는 동안 만나게 되는 게이트를 게이트지연 unit 1으로 계산하였고 그것들의 합산을 표에 표현하였다.

5. 결론

본 논문을 통하여 제안된 새로운 스캔체인구조는 test mode 시 shift operation 상태에서의 전력소비를 막아내고 이를 통하여 테스트과정 전반에 걸친 저전력 테스트기법을 제안함으로써 기존 스캔테스트기법이 갖고 있는 높은 전력 소비라는 단점을 극복한다. 이 기법을 사용함에도 회로의 타이밍지연에 관해 전혀 영향을 주지 않음도 실험을 통하여 확인가능하다. 이에 본 논문은 스캔테스트기법의 단점인 전력소비문제를 해소하는 데이터를 제시한다.

감사의 글

본 연구는 한국과학재단(과제번호:R01-2003-000-10150-0(2004))의 지원에 의하여 이루어진 연구로서, 관계부처에 감사드립니다.

참고 문헌

- [1] M. Abramovici, M. A. Breuer and D. Friedman, "Digital Systems Testing and Testable Design", Computer Science Press, 1990
- [2] "Synopsys manual-Synopsys DFT Compiler Scan Synthesis User Guide chapter 9", Synopsys, pp. 8-11, 2000.
- [3] "SynTest User's Guide chapter 6 (Using Pyramid-Test Logic Synthesis and Verification Tools)", SynTest, pp. 31-32, 1998.
- [4] Pran Kurup and Taher Abbasi, "Logic Synthesis Using SYNOPSIS 2nd", Kluwer academic publishers, Massachusettes, 1997.
- [5] "TetraMAX ATPG User Guide", Version 2000-11, Synopsys Inc., 2000.
- [6] "TetraMAX Release Note", Version 2000-11, Synopsys Inc., 2000.
- [7] Alexander Miczo, "Digital Logic Testing and Simulation", John Wiley & Sons, 1986.
- [8] Carter, W. C., et al., "Design of Serviceability Features for the IBM system/360", IBM J. Res. Dev., Vol. 8, pp. 115-126, April 1964.
- [9] Williams, M. J. Y., and J. B. Angell, "Enhancing

Testability of Large-Scale Integrated Circuits via Test Points and Additional Logic”, IEEE Trans. Comput., Vol. C-22, No. 1, pp. 46-60, January 1973.

- [10] M. S. Abadir, M. A. Breuer, “A Knowledge Based System for Designing Testable VLSI Chips”, IEEE Design & Test of Computers, Vol. 2, No. 4, pp. 56-68, August 1985.

저 자 소 개



김인수 (金 恠 洙)

1974년 11월 25일생. 2000년 성균관대학교 전기전자 및 컴퓨터공학부 졸업. 2002년 동 대학원 전기전자 및 컴퓨터공학과 졸업(석사). 2005년 현재 동 대학원 박사과정수료.

Tel : 031-290-7162

Fax : 031-290-7689

E-mail : iskim@ece.skku.ac.kr



민형복 (閔 炯 福)

1958년 2월 22일생. 1980년 서울대학교 전자공학과 졸업. 1982년 한국과학기술원 전기 및 전자공학과 졸업(석사). 1990년 The University of Texas at Austin 전기 및 컴퓨터공학과 졸업(공학). 1982년~1985년 금성통신(주) 연구소 주임연구원. 1985년~1986년 미국 Columbia 대학교 연구원. 1991년~현재 성균관대학교 정보통신공학부 교수.

Tel : 031-290-7119

Fax : 031-290-7689

E-mail : min@ece.skku.ac.kr