논문 2005-42SD-7-1

병렬식 광 인터컨넥트용 멀티채널 수신기 어레이

(Multichannel Photoreceiver Arrays for Parallel Optical Interconnects)

박 성 민*

(Sung Min Park)

요 약

본 논문에서는 병렬식 광 인터컨넥트 응용을 위한 멀티채널 광수신기 어레이를 구현한다. 0.8μm Si/SiGe HBT 공정을 이용하여 설계한 수신기 어레이는 4채널의 전치증폭기 (transimpedance amplifier 혹은 TIA)와 PIN 광다이오드를 포함하는데, TIA는 일반적인 에미터 접지 (common-emitter 혹은 CE) 입력단을 취한다. 측정결과로서, CE TIA 어레이는 3.9GHz 주파수 대역폭과 62dBΩ 트랜스 임피던스 이득, 7.5pA/sqrt(Hz) 평균 노이즈 전류 스펙트럼 밀도 및 -25dB 채널 간 crosstalk 성능을 가지며, 4채널 전체 모듈이 40mW 전력소모를 보인다.

Abstract

A four-channel photoreceiver arrays have been realized in a 0.8μm Si/SiGe HBT technology for the applications of parallel optical interconnects. The receiver array includes four-channel transimpedance amplifiers (TIAs) and p-i-n photodiodes, where the TIAs exploit a common-emitter (CE) input configuration. Measured results demonstrate that the four-channel CE TIA array provides 3.9GHz bandwidth, 62dBΩ transimpedance gain, 7.5pA/sqrt(Hz) average noise current spectral density, and less than -25dB crosstalk between adjacent channels with 40mW power dissipation.

Keywords : transimpedance amplifiers, SiGe HBT, crosstalk, optical interconnects

I. 서 론

단일 칩 내에 집적된 멀티채널 광수신기 어레이는 소형화, 패키징 간소화, 가격효율성, 대량생산성, 및 높은 안정도 등의 장점이 있어 병렬식 광 인터컨넥트용으로 매우 적합하다[1]. 하지만, 소형의 단일 칩에 구현된 멀티채널 회로의 특성 상, 주위 채널로부터 매우 심각한 crosstalk이 발생한다. 이 crosstalk은 칩 내의 기판 (substrate), 전원선 및 접지선, 혹은 주위에 평행하게 놓여진 신호선으로부터 전달될 수 있다[2]. 특히 실리콘 기판의 경우, 동작신호 주파수가 높아질수록 기판 자체의 전도성이 높아지기 때문에 crosstalk이 더욱 심각해지고, 결국 수신기의 민감도 (sensitivity)를 떨어뜨리며 동시에 칩 동작의 여러 기능성을 제한하게 된다. 그러므로 기가비트에서 동작하는 멀티채널 수신기 어레이를 설계할 때는 기판의 coupling을 완화할 수 있도록 신중한 layout과 적합한 회로기법이 필요하다[3].

일반적으로, 전치증폭기를 설계할 때 증폭기 이득, 주파수 대역폭, 노이즈, 전력소모, 및 crosstalk 등의 design tradeoffs를 반드시 고려해야 하고, 특히 회로 동작에 대한 구체적인 분석은 반드시 필요하다. 본 논문에서는 0.8μm Si/SiGe HBT 공정을 사용하여 4채널 전치증폭기 어레이를 구현하였다. 이는 GaAs 혹은 Si BJT공정보다 많은 장점을 지니고 있기 때문인데, 예를 들어 낮은 주파수에서의 저잡음 특성, 낮은 전력소모, 높은 집적도, 및 저렴한 공정가격 등을 들 수 있다[4]. 낮은 실리콘 기판의 비저항 (resistivity)와 사용한 SiGe HBT공정에서 deep-trench를 제공하지 않음에도 불구하고, 20dB 이하의 채널 간 crosstalk을 구현한 어레이의 설계 목표로 하였다. 이로써 crosstalk 신호가 데이터 신호에 비해 20dB (신호 간 간섭 1%) 이하가 되게 하여 출력단 신호에 끼치는 영향을 미세하게 하기 위해서이다. 또한, 온도변화에 의한 성능저하를 피하기 위해 낮은 전력소모가 필요하다. 다음 II장에서 에미터 접지 전치증폭기의 설계에 대해 자세히 살펴보고, III장에서 전치증폭기 어레이의 측정결과

* 평생회원, 이화여자대학교 정보통신학과
(Department of Information Electronics Engineering, Ewha Womans University)
※ 이 연구는 2004학년도 이화여자대학교 교내연구비 지원으로 수행되었음.
접수일자: 2005년5월3일, 수정완료일: 2005년6월16일

를 논의하도록 한다.

II. 에미터 접지 증폭기 회로

그림 1은 멀티채널 전치증폭기 어레이의 블록 회로도를 보여준다. 어레이 칩은 bond-wire를 이용해 4개의 광검출기(PIN 광다이오드)와 연결하고, 각각의 광다이오드는 어레이 칩과 동일한 전원전압을 공유하도록 한다.

그림 2는 단채널 전치증폭기의 회로도를 보여준다. 광다이오드 (PD)는 광섬유로부터 들어온 입력 광데이터 신호를 전기적 전류신호로 변환하고, 에미터 접지 입력단의 전치증폭기가 그 전류신호를 전압신호로 증폭, 출력한다. 소신호 해석에 따르면, 에미터 접지 전치증폭기의 트랜스 임피던스 이득, 주파수 대역폭 및 등가 노이즈 전류 스펙트럼 밀도는 표준명칭을 적용했을 때 다음과 같다[3,5,6].

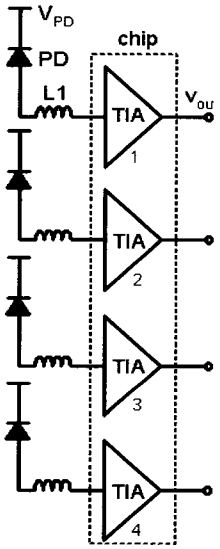

그림 1. 멀티채널 광수신기 어레이의 블록 회로도
Fig. 1. Block diagram of a four-channel TIA array.

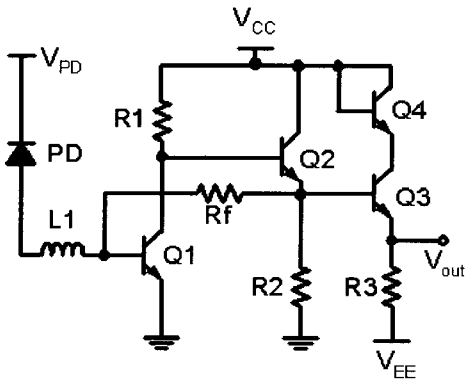

그림 2. 단채널 에미터 접지 전치증폭기의 회로도
Fig. 2. Schematic diagram of a single channel common-emitter TIA.

$$\frac{v_{out}}{i_{pd}}(0) \cong -R_f \tag{1}$$

$$f_{-3dB} \cong \frac{(1+g_{m1}R_1)}{2\pi R_f\,[C_{pd}+C_{\pi 1}+(1+g_{m1}R_1)(C_f+C_{\mu 1})]} \tag{2}$$

$$\overline{i_{eq}^2} \cong \frac{4kT}{R_f}+\frac{2qI_{C1}}{\beta_1}+4kTr_{bb1}w^2(C_{pd}+C_f)^2 + \frac{w^2(C_{pd}+C_{\pi 1}+C_{\mu 1}+C_f)^2}{g_{m1}^2}\left(2qI_{C1}+\frac{4kT}{R_1}\right). \tag{3}$$

수식 (2)에서 결정되는 주파수 대역폭은 원하는 동작속도 (bit rate)의 0.7~0.8배 되도록 한다. 이는 노이즈와 부호간 간섭 (Inter-Symbol-Interference 혹은 ISI) 사이의 design tradeoffs를 최적화 할 수 있기 때문이다. 또한, 수식 (3)을 Q_1의 바이어스 전류 (I_{C1})에 대해 미분함으로써 노이즈 전류의 최소값을 얻고, 이 때 Q_1의 최적화된 바이어스 전류값은 다음과 같이 표현된다.

$$I_{C1,opt} \cong 2\pi\left(\frac{kT}{q}\right)B(C_{pd}+C_{\pi 1}+C_{\mu 1}+C_f)\sqrt{\beta_1\frac{I_3}{I_2}} \tag{4}$$

수식 (4)에서 B는 동작속도, I_2는 Personick second integral (= 0.56, NRZ 신호의 경우), I_3는 Personick third integral (= 0.087, NRZ 신호의 경우)를 나타낸다. 본 논문에서, I_{C1} 값은 1~1.5mA로 정해진다.

HSPICE 시뮬레이션은 0.8μm Si/SiGe HBT 공정 파라미터를 이용하였다. 이 공정은 45GHz f_T (@V_{CE}=2V), 40~45GHz f_{max} (@V_{CE}=2V), 80~120 전류이득 (β), 2.7V BV_{CEO}, 1x2.7μm^2 에미터 면적을 제공한다. 그림 3에서 보는 바와 같이, 시뮬레이션 결과는 62dBΩ 트랜스 임피던스 이득과 0.25pF 광다이오드 기생 캐패시터에 대해

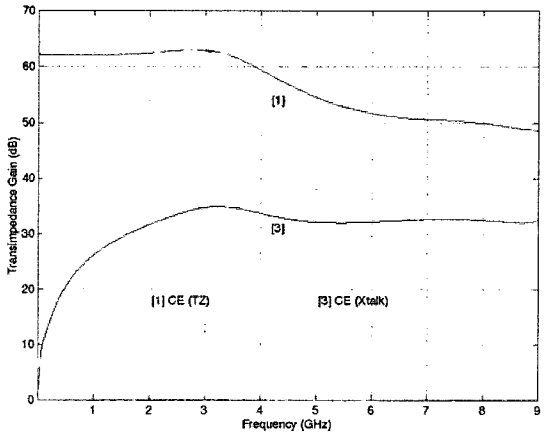

그림 3. 주파수 응답과 crosstalk 시뮬레이션 결과
Fig. 3. Simulated frequency response and crosstalk between adjacent channels.

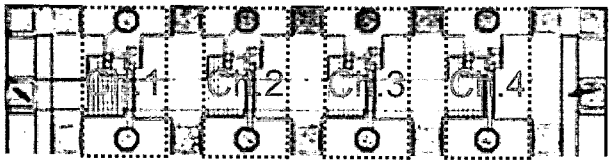

그림 4. CE TIA 어레이의 칩 사진
Fig. 4. Chip microphotograph of the CE TIA array.

4GHz의 주파수 대역폭을 나타낸다. 또한, 11.2mW의 전력소모에 대해 8pA/sqrt(Hz) 의 평균 노이즈 전류 스펙트럼 밀도를 가진다. crosstalk 시뮬레이션을 위해 참고문헌 [3]에 기술한 실리콘 기판의 lumped-element 모델링을 이용하였는데, 기판의 기생 저항 및 캐피시터 성분을 사용하여 채널 간 전치증폭기의 입력단끼리 연결하였고, 전원선과 접지선의 기생 인덕턴스까지 고려하여 모델링 및 시뮬레이션을 하였다. 그 결과, 4채널 에미터 접지 전치증폭기 어레이는 26dB 이하의 crosstalk 성능을 나타내었다.

Ⅲ. 칩 측정결과 및 토의

그림 4는 설계한 4채널 광수신기 어레이 칩 사진으로서, 전체 0.7x2mm^2 의 칩 면적을 차지한다. 광 측정을 위해, HP8703 광신호 분석기와 4개의 InGaAs PIN PD를 광 소스 및 광 검출기로 각각 사용하였다. PIN PD는 1550nm 파장에서 0.8A/W의 반응도 (responsivity)와 18GHz의 3dB 주파수 대역폭을 가지며, 2.5V 역바이어스 전압에 대해 20Ω의 기생 저항 성분 및 0.25pF의 기생 캐패시터 성분을 갖는다. 보다 수월한 측정을 위해, 측정 칩을 4개의 PIN PD와 함께 RF-duroid PCB 위에 올려놓고 bondwire로 연결, 집적하였다.

단채널 전치증폭기의 광신호 응답을 50MHz부터 10GHz까지 -10dBm의 테스트 입력파워를 갖는 광신호 분석기로 측정하였다. 그림 5는 측정 데이터로써 3.9GHz 주파수 대역폭이 측정되었다. 광신호 이득응답 측정 시, 광섬유와 PIN PD사이의 손실 (coupling loss)로 인해 정확한 이득 측정이 매우 어렵기 때문에, -30dBm의 테스트 입력파워를 갖는 HP8753D 네트워크 분석기를 사용하여 전기적으로 트랜스 임피던스 이득을 측정하였다. 네트워크 분석기를 통해 측정한 S-파라미터를 컴퓨터를 이용하여 Z-파라미터로 변환하였고, 그 결과 62dBΩ 의 전치증폭기 이득 (Z_{21})을 성취함을 검증하였다. 또한, 그림 5는 전치증폭기의 광 eye-diagram 출력을 보여주는데, 이는 5-Gb/s 2^{31}-1 PRBS 입력신호에 대한 출력으로서 출력 전압 64mV$_{pp}$를 측정하였다.

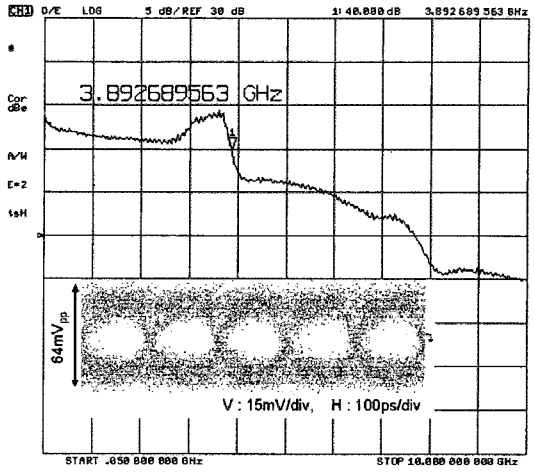

그림 5. 입력신호 5-Gb/s 2^{31}-1 PRBS에 대한 광신호 응답 및 eye-diagram 측정결과
Fig. 5. Measured optical frequency response and eye-diagrams for 5-Gb/s 2^{31}-1 PRBS.

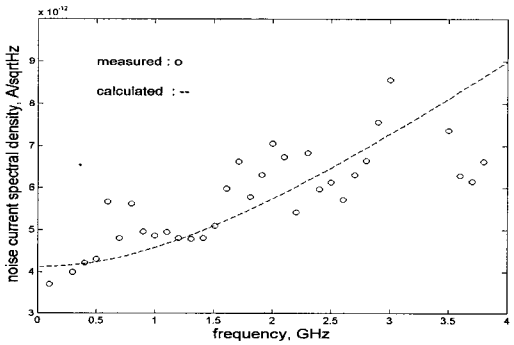

그림 6. MATLAB을 이용하여 계산한 노이즈 전류 스펙트럼 밀도 및 측정결과
Fig. 6. Measured noise current spectral density along with the calculated data using MATLAB.

단채널 전치증폭기의 노이즈 전류 스펙트럼 밀도 측정을 위해, HP4407B 스펙트럼분석기와 저잡음 증폭기 (12GHz 주파수 대역폭과 30dB 이득)을 사용하였고, 100MHz부터 4GHz 주파수까지 측정하였다. 그림 6에서 보는 바와 같이, 평균 노이즈 전류 스펙트럼 밀도는 7.5 pA/sqrt(Hz)로 측정되었고, 이는 10^{-12} BER과 9dB의 extinction ratio를 예상할 경우 -22dBm의 광민감도 (sensitivity)를 나타낸다. 측정결과는 MATLAB을 이용하여 계산한 노이즈 전류 스펙트럼 밀도 (점선)과 일치함을 보인다.

4채널 전치증폭기 어레이의 crosstalk 측정은 전기적으로 수행하였다. 최악의 조건 속에서 어레이의 crosstalk 성능을 측정할 수 있도록, 모든 채널이 한 개의 전원전압을 공유하게 하고, 또한 동시에 전원공급을 하면서 단채널 하나씩 측정하였다. 이 때, 측정하지 않는 다른 채널은 50Ω 터미네이션 하지 않고, 오히려 floating 함으

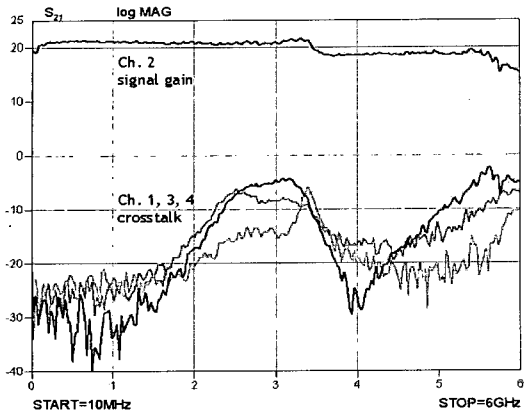

그림 7. 측정한 소신호 이득과 4채널 CE TIA 어레이의 crosstalk 측정 결과

Fig. 7. Measured small signal gain and crosstalk (S21) of the four-channel CE TIA array.

표 1. 설계한 4채널 CE TIA 어레이의 성능 요약

Table 1. Performance summary of the four-channel CE TIA array.

parameters	simulated	measured
bandwidth	4 GHz	3.9 GHz
transimpedance gain	62 dBΩ	62 dBΩ
noise current spectral density	8 pA/sqrt(Hz)	7.5 pA/sqrt(Hz)
crosstalk (S_{21})	-26 dB	< -25 dB
power dissipation	11.2 mW/ch	10 mW/ch

로써, 입력단과 출력단 사이의 캐패시터 커플링으로 인한 crosstalk 성능이 더욱 저하 될 수 있도록 하였다. 그림 7은 측정한 crosstalk 응답을 소신호의 주파수 응답과 함께 보여준다. 위의 측정조건 속에서도, 설계한 전치증폭기 어레이는 주파수 대역폭 내에서 -25dB 이하의 crosstalk 성능을 나타내고, 이는 입력단 설계 및 crosstalk 시뮬레이션 시 고려했던 바이어스 전류의 최적화와 그로 인한 성능 시뮬레이션을 검증한다고 할 수 있다. 전체 칩의 DC 측정 결과, 4채널 어레이 모듈이 +/-2.5V 전원 전압으로부터 40mW의 전력소모를 하였다. 표 1은 4채널 전치증폭기 어레이의 성능을 요약한다.

Ⅳ. 결 론

본 논문에서는 0.8μm Si/SiGe HBT 공정을 이용하여 4채널 전치증폭기 어레이를 구현하였다. 각 채널 당 에미터 접지 입력단을 갖는 전치증폭기를 설계하였으며, 각 전치 증폭기는 0.25pF 기생 캐패시터 및 20Ω의 기생 저항 성분을 가지는 광다이오드에 대해 5-Gb/s 동작속도를 성취하고, -22dBm의 광민감도를 나타내어 10^{-12} BER를 만족한다. 또한, 각 채널 간 -25dB crosstalk 성능 및 10mW의 낮은 전력소모를 보이므로, 병렬식 광인터컨넥트 응용에 매우 적합하다고 할 수 있다.

참 고 문 헌

[1] T. Nagahori, K. Miyoshi, Y. Aizawa, Y. Kusachi, Y. Nukada, N. Kami, and N. Suzuki, "An analog front-end chip set employing an electro-optical mixed design on SPICE for 5-Gb/s/ch parallel optical interconnection", *IEEE J. of Solid-State Circuits*, Vol. 36, No. 12, pp. 1984-1991, Dec. 2001.

[2] D. Römer, Ch. Lauterbach, L. Hoffmann, J. W. Walter, H. Huber, and G. Ebbinghaus, "700Mb/s monolithically integrated four-channel receiver array OEIC using ion-implanted InGaAs JFET technology", *IEEE Photonics Technology Letters*, Vol. 7, No. 5, pp. 543-545, May 1995.

[3] S. M. Park, "Four-Channel SiGe Transimpedance Amplifier Array for Parallel Optical Interconnects", *IEEE Proc. of ISCAS 2004,* Vol. 4, pp. 213-216, May 2004.

[4] G. Freeman, M. Meghelli, Y. Kwark, S. Zier, A. Rylyakov, M. A. Sorna, T. Tanji, O. M. Schreiber, K. Walter, J. Rieh, B. Jagannathan, A. Joseph, and S. Subbanna, "40-Gb/s circuits built from a 120-GHz fT SiGe technology", *IEEE. J. of Solid-State Circuits,* Vol. 2, No. 9, pp. 1106-1114, Sep. 2002.

[5] H. H. Kim, S. Chandrasekhar, C. A. Burrus Jr., and J. Bauman, "A Si BiCMOS Transimpedance Amplifier for 10-Gbps SONET Receiver", *IEEE J. of Solid-State Circuits,* Vol. 36, No. 5, pp. 769-776, May 2001.

[6] T. Vanisri and C. Toumazou, "Integrated high frequency low noise current-mode optical transimpedance preamplifiers : Theory and Practice", *IEEE J. of Solid-State Circuits,* Vol. 30, pp. 677-685, Jun. 1995.

저 자 소 개

박 성 민(평생회원)

1993년 한국과학기술원 전기및 전자공학과 학사졸업.

1994년 런던대학교 전자공학과 석사 졸업.

2000년 임페리얼 공대 전자공학과 박사 졸업.

현재 이화여자대학교 정보통신학과 조교수

<주관심분야 : RF 및 광통신용 초고속 아날로그 회로 설계>