

논문 2005-42SD-7-2

중앙-채널 이중게이트 MOSFET의 양자역학적 모델링 및 시뮬레이션 연구

(Quantum-Mechanical Modeling and Simulation of Center-Channel Double-Gate MOSFET)

김기동*, 원태영**

(Kidong Kim and Taeyoung Won)

요약

본 논문에서는 결합된 슈뢰딩거-푸아송 방정식과 전류연속방정식을 셀프-컨시스턴트하게 계산함으로써, 나노-스케일 center-channel (CC) double-gate (DG) MOSFET 디바이스의 전기적 특성 및 구조해석에 관한 연구를 시행하였다. 10-80 nm 게이트 길이의 조건에서 수행한 CC-NMOS의 시뮬레이션 결과를 DG-NMOS 구조에서 시행한 시뮬레이션 결과와의 비교를 통하여 CC-NMOS 구조에서 나타나는 CC 동작특성 메커니즘과, 이로 인한 전류 및 G_m 의 상승을 확인하였다. 문턱 전압 이하 기울기, 문턱 전압 롤-오프, 드레인 유기 장벽 감소의 파라미터를 통하여 단채널 효과를 최소화하기 위한 디바이스 최적화를 수행하였다. 본 나노-스케일 전계 효과 트랜지스터를 위한 2차원 양자역학적 수치해석의 관한 연구를 통하여, CC-NMOS를 포함한 DG-MOSFET 구조가 40나노미터급 이하 MOSFET 소자의 물리적 한계를 극복하기 위한 이상적인 구조이며, 이와 같은 나노-스케일 소자의 해석에 있어서 양자역학적 모델링 및 시뮬레이션이 필수적임을 알 수 있었다.

Abstract

The device performance of nano-scale center-channel (CC) double-gate (DG) MOSFET structure was investigated by numerically solving coupled Schrödinger-Poisson and current continuity equations in a self-consistent manner. The CC operation and corresponding enhancement of current drive and transconductance of CC-NMOS are confirmed by comparing with the results of DG-NMOS which are performed under the condition of 10-80 nm gate length. Device optimization was theoretically performed in order to minimize the short-channel effects in terms of subthreshold swing, threshold voltage roll-off, and drain-induced barrier lowering. The simulation results indicate that DG-MOSFET structure including CC-NMOS is a promising candidates and quantum-mechanical modeling and simulation calculating the coupled Schrödinger-Poisson and current continuity equations self-consistently are necessary for the application to sub-40 nm MOSFET technology.

Keywords: quantum-mechanical modeling and simulation, double-gate MOSFET, center-channel operation, short-channel effects, coupled Schrödinger-Poisson equation

I. 서론

2003년 발표된 ITRS (international technology roadmap for semiconductor)^[1]에 따르면, 소자기술의 급

격한 발달에 따라 2007년 25 nm, 2013년 13 nm 게이트 길이 (gate length, L_g)의 실리콘 트랜지스터 제품이 출시된다고 되어있다. 이러한 소자분야에서 가장 큰 기술 혁신은 디바이스의 핵심치수인 L_g , 채널 폭, 혹은 게이트 옥사이드 두께 (gate oxide thickness, T_{ox})를 대략적으로 동일한 팩터 (factor)로 줄이는 디바이스 스케일링 (scaling)과 반도체 재료분야에서의 눈부신 발전을 통하여 이루어졌다. 이것은 전자와 정공이 이동해야 하는 경로길이를 줄임으로써 디바이스내의 전류가 더 빨리

* 학생회원, ** 정회원, 인하대학교 전기공학과
(Department of Electrical Engineering, Inha University)

※ 본 연구는 대학 IT연구센터육성지원사업의 결과로 수행되었음.

접수일자: 2005년5월3일, 수정완료일: 2005년6월7일

흐르고 전압을 덜 소비하도록 하는데 의미가 있다. 하지만, 현재 발전된 반도체 세대는 $0.13 \mu\text{m}$ 공정을 채용하고, $\sim 1.5 \text{ nm}$ 의 T_{ox} 와 $\sim 00 \text{ nm}$ L_g 의 디바이스 크기를 가지고 있다. 실제로, ITRS 2003에 따르면 소자의 초소형화는 리소그래피 (lithography) 기술의 한계 및 양자적 (quantum) 현상을 일으키며 특히, 소자의 크기가 5 nm 에 이르면 물리적인 한계에 도달한다고 되어 있다.

이러한 반도체 소자의 초소형화는 새로운 소자 및 원재료 측면에서 변화의 필요성을 인식시켰으며, 수치 해석적 측면에서도 기존의 근사화를 통한 한정된 추측에 국한되어 있던 1차원적 해석에서 벗어나, 소자내의 캐리어와 전위분포 및, 채널의 양자화를 2차원적으로 해석하는 보다 세밀한 범위의 해석을 필요로 하기에 이르렀다.

소자기술의 초소형화와 고성능화의 한 부분으로 최근, 40나노미터급 이하 (sub-40 nm) MOSFET (metal oxide semiconductor field effect transistor) 소자의 적용을 위한 이중-게이트 (double-gate, DG) 구조가 큰 주목을 받고 있다. 또한, 원재료 측면에서의 변화에 따른 대안으로 silicon on insulator (SOI), 실리콘 게르마늄 (SiGe), 변형 실리콘 (strained-Si) 등과 같은 기술을 채용하여 전도 채널에서 캐리어의 이동도 (mobility)를 향상시키는 방법이 제시되고 있다^[2, 3].

DG-MOSFET와 같은 나노-스케일 디바이스의 해석 및 최적화를 위해서는 2차원 양자역학적 시뮬레이션이 필요하다. 이는 채널의 양자화가 나노-스케일 소자의 전기적 특성에 영향을 미치기 때문으로, 이와 같은 구조의 수치해석을 위해서는 결합된 슈뢰딩거-푸아송 방정식 (coupled Schrödinger and Poisson equations)과 전류연속방정식의 셀프-컨시스턴트 (self-consistent)한 해가 필수적이다.

따라서, 본 연구에서는 셀프-컨시스턴트한 방법을 통한 center-channel (CC) DG-MOSFET의 양자역학적인 접근방법을 제시한다. 후술하는 II장에서는 나노-스케일 디바이스의 2차원 양자역학적 모델링 및 시뮬레이션을 위한 수치 해석적 모델에 대한 이론적 배경 및 구현 방법^[4-7]을 설명하고, 이어서 III장에서는 CC-NMOS 및 DG-NMOS의 시뮬레이션을 $10\text{-}80 \text{ nm}$ 의 L_g 조건에서 시행하여, CC-NMOS와 DG-NMOS의 채널 형성 메커니즘과 전기적 특성의 차이를 설명하고자 한다. 또한, 단채널 효과 (short channel effects, SCE)를 문턱 전압 이하 기율기 (subthreshold swing), 문턱 전압 롤-오프 (threshold voltage roll-off), 드레인 유기 장벽 감소

(drain-induced barrier lowering, DIBL)의 파라미터를 통하여 검토함으로써 디바이스 최적화를 시행하고자 한다.

II. 수치해석적 모델

1. 기본 방정식

나노-스케일 반도체소자의 전기적 특성을 해석하기 위해서는 비선형 푸아송 방정식과 슈뢰딩거 방정식을 셀프-컨시스턴트한 방법으로 풀어야 하며 이는 식 (2.1)과 (2.3)으로 표현된다^[7].

$$\nabla \cdot \epsilon(x, y) \nabla \Phi(x, y) = -\rho(x, y), \quad (2.1)$$

$$\rho(x, y) = q[-n(x, y) + p(x, y) + N_D^+(x, y) - N_A^-(x, y)], \quad (2.2)$$

$$\left\{ -\frac{\hbar^2}{2} \nabla \cdot M^V \nabla + V(x, y) \right\} \Psi(x, y) = E_n \Psi_n(x, y), \quad (2.3)$$

여기에서 ϵ 은 유전 상수, Φ 은 정전 퍼텐셜, ρ 은 총 전하밀도, n 과 p 는 전자와 정공의 밀도 (density), N_D^+ 와 N_A^- 는 이온화된 도너 (donor)와 어셉터 (acceptor)의 농도, E_n 과 $\Psi_n(x, y)$ 는 각각 n^{th} 고유상태의 에너지와 파동 함수 (wave function), \hbar 는 플랑크 상수 (Planck constant), M^V 는 실리콘에서 여섯 개의 전도대를 고려한 유효 역 질량 텐서 (effective inverse mass tensor), V 는 $V = \Delta E_C(x, y) - q\Phi(x, y)$ 로 나타내어지는 퍼텐셜 에너지, $\Delta E_C(x, y)$ 는 전도대에서의 밴드 오프셋 (band offsets)을 나타낸다. 이온화된 도너 및 어셉터는 식 (2.4)와 (2.5)로 표현된다.

$$N_D^+(x, y) = \frac{N_D(x, y)}{1 + g_D e^{(E_{Fn}(x, y) - E_D)/k_B T}}, \quad (2.4)$$

$$N_A^-(x, y) = \frac{N_A(x, y)}{1 + g_A e^{(E_A - E_{Fp}(x, y))/k_B T}}, \quad (2.5)$$

여기에서 $N_D(x, y)$ 와 $N_A(x, y)$ 는 도너와 어셉터의 농도, g_D 와 g_A 는 에너지 준위의 축퇴인자, $E_{Fn}(x, y)$ 와 $E_{Fp}(x, y)$ 는 준-페르미 (quasi-Fermi) 준위, E_D 와

E_A 는 활성화 에너지, k_B 는 볼츠만 상수 (Boltzmann constant), T 는 절대온도를 나타낸다.

시뮬레이션에 사용된 중요한 매개변수중의 하나가 양자 전자밀도(quantum electron density)이며, 이는 식 (2.6)과 같이 표현된다^[5, 6].

$$n(x, y) = \frac{2}{\pi} \sum_{\nu=1}^3 \sum_n \sqrt{2k_B T / M^\nu} |\Psi_n(x, y)|^2 \times F_{-1/2} \left(\frac{E_F - E_n}{k_B T} \right), \quad (2.6)$$

여기에서 $F_{-1/2}(r)$ 은 페르미-디랙 (Dirac) 적분으로 식 (2.7)과 같다.

$$F_k(\eta) = \frac{1}{\Gamma(k+1)} \int_0^\infty \frac{u^k du}{1+e^{u-\eta}}, \quad k \geq -1, \quad (2.7)$$

식 (2.7)의 페르미-디랙 적분은 식 (2.8)와 같은 특징을 가지고 있다.

$$\frac{d}{d\eta} F_k(\eta) = F_{k-1}(\eta), \quad k \leq -1, \quad (2.8)$$

마지막으로 볼츠만 방정식으로부터 표동-확산 모델 (simple drift-diffusion model)을 만족하는 반 고전적인 (semi-classical) 전류 밀도 방정식과 전류 연속 방정식 (current continuity equation)을 식 (2.9)와 (2.10)을 통해 나타내었다.

$$J_n(x, y) = \mu_n(x, y)n(x, y)\nabla E_{Fn}(x, y), \quad (2.9)$$

$$\nabla \cdot J_n(x, y) = -R(x, y). \quad (2.10)$$

2. 시뮬레이션 과정

나노-스케일 반도체 소자의 양자역학적 수치해석 및 시뮬레이션 과정을 제1도에 도시하였다. 주어진 나노 구조에서 시뮬레이션은 conjugate gradient 방법을 이용하여 총 탄성에너지를 최소화함으로써 시작된다. 상기 계산은 압전효과에 의한 전하의 재 분포, 변형 퍼텐셜, 밴드 오프셋을 결정한다. 시뮬레이션의 준비단계에서는 인가전압이 영인 상황에서, 예측-수정 (predictor-corrector) 방법에 의해 슈뢰딩거-푸아송 방정식을 셀프-컨시스턴트하게 계산함으로써 내장된 (built-in) 퍼텐셜을 계산한다^[4]. 또한 옴 접촉 (Ohmic contacts)에서의

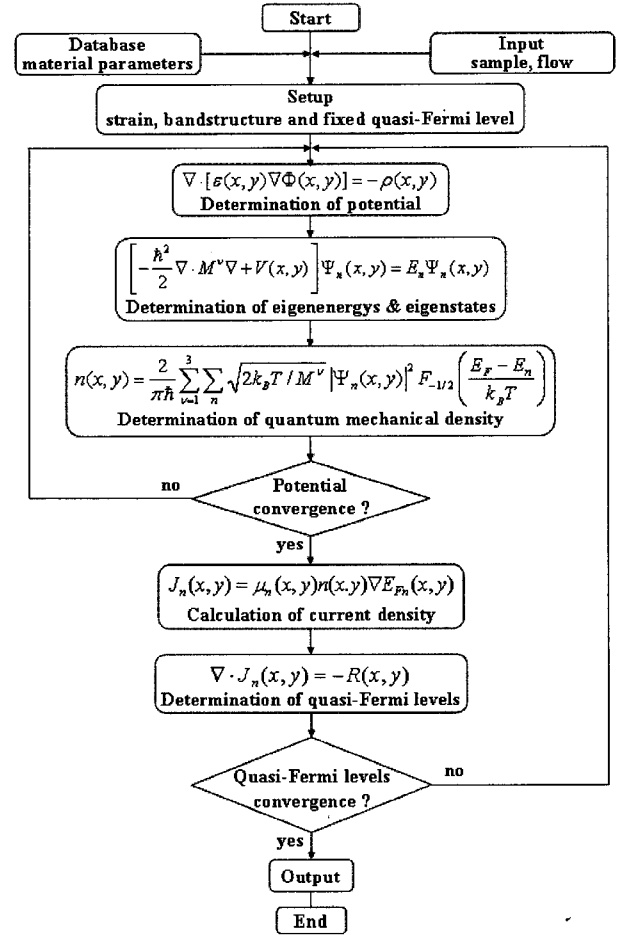


그림 1. 양자역학적 시뮬레이션의 순서도
Fig. 1. Flowchart for the quantum-mechanical simulation.

전계는 영으로 정해진다. 전압이 인가되게 되면 고정된 경계조건 (boundary condition)하에서 접촉면의 페르미 준위와 퍼텐셜이 바뀌게 된다.

본 시뮬레이션의 주된 반복 방식 (iteration scheme)은 크게 두개의 부분으로 나뉜다. 첫 번째 부분에서는, 준-페르미 준위가 고정된 상황에서 푸아송 방정식으로부터 퍼텐셜을 구하고, 계산된 퍼텐셜을 이용하여 슈뢰딩거 방정식으로부터 고유에너지 및 고유상태를 얻게 된다. 계산된 고유에너지 및 고유상태는 전자밀도 식으로부터 양자 전자밀도를 계산하는데 이용된다. 이부분이 결합된 슈뢰딩거-푸아송 방정식의 셀프-컨시스턴트한 해를 구하는 과정으로 특히, 비선형 푸아송 방정식으로부터 퍼텐셜의 계산 및 수렴여부 결정은 수정된 뉴턴 방법, conjugate gradient 방법, 그리고 예측-수정 방법을 이용한다. 두 번째 부분에서는 첫 번째 과정에서 계산된 퍼텐셜과 고유상태를 고정시킨 상황에서 전류 연속방정식으로부터 준-페르미 준위를 셀프-컨시스턴트하게 계산한다^[4, 7, 8]. 본 계산과정에서는 conjugate

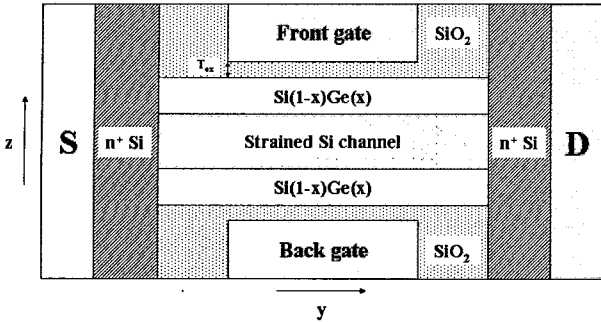


그림 2. 본 연구에서 제안된 CC-NMOS의 도식적 구조
Fig. 2. Schematic diagram of CC-NMOS used in this work.

gradient 방법이 적용된다. 상기한 두 과정을 통해서 슈뢰딩거-푸아송 방정식 및 전류 연속방정식의 셀프-컨시스턴트한 해가 구해지며, 모든 방정식은 박스 적분(box-integration) 방식을 통한 유한차분법의 적용을 위하여 이산화 된다.

제2도에 도시한 그림과 같은 CC-NMOS 구조는 L_g 와 일함수 $\Phi_M = 4.1 eV$ 를 갖는 2개의 금속 게이트가 $Si_{1-x}Ge_x$ /strained-Si/ $Si_{1-x}Ge_x$ 로 이루어진 헤테로 구조의 채널 위 아래로 형성되어 있다. 소스와 드레인 부분은 $2 \times 10^{20}/cm^3$ 로 도핑 하여 음 접촉을 유지하였으며, 채널은 도핑 되지 않았다. T_{ox} 는 2, L_g 는 10에서 80 nm까지의 조건에서 시뮬레이션이 시행되었다. CC-NMOS 구조는 전하들이 변형 실리콘 채널을 통해서 흐르므로써 표면거침으로 인한 산란의 영향을 받지 않는 점과, 변형 실리콘 채널을 사용하는 두 가지 이유에 의해 높은 이동도를 가지는 특징이 있다. 또한, 전하들이 계면에서 멀리 떨어져 있어 게이트 누설 전류가 적고, DG-MOSFET 구조의 장점인 단채널 효과가 좋아지는 장점이 있다.

III. 시뮬레이션 결과 및 검토

본 연구에서는 전도대 밴드 오프셋, 파동함수(wavefunction), 전자밀도의 시뮬레이션 결과로부터 CC-NMOS 구조가 CC 동작을 하게 되는 메커니즘을 설명하고, CC-NMOS의 시뮬레이션 결과를 DG-NMOS의 결과와 비교함으로써 CC-NMOS의 디바이스 특성 및 장점을 설명하였다. 또한, 두 구조에서 단채널 효과를 확인하고, 구조 최적화를 실시하였다.

제3도는 $L_g=30$ nm, $V_g=1.5$ V, $V_d=0.1$ V에서 CC-NMOS와 DG-NMOS의 밴드 배열의 차이를 보여

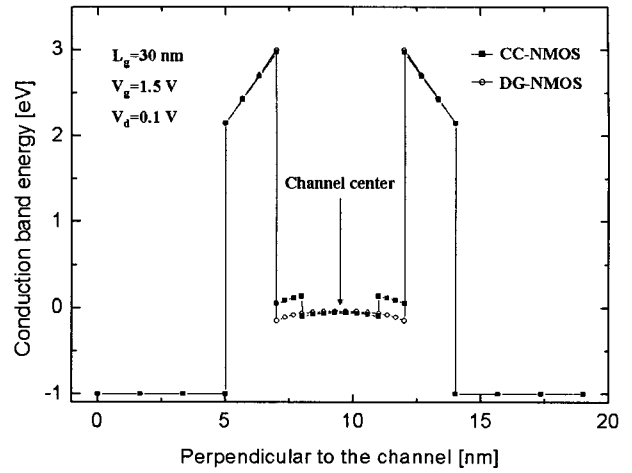


그림 3. $L_g=30$ nm, $V_d=0.1$ V, $V_g=1.5$ V 조건에서 CC-NMOS와 DG-NMOS의 밴드 배열의 비교
Fig. 3. Comparison of band lineups of CC and DG-NMOS for $L_g=30$ nm, $V_d=0.1$ V, and $V_g=1.5$ V.

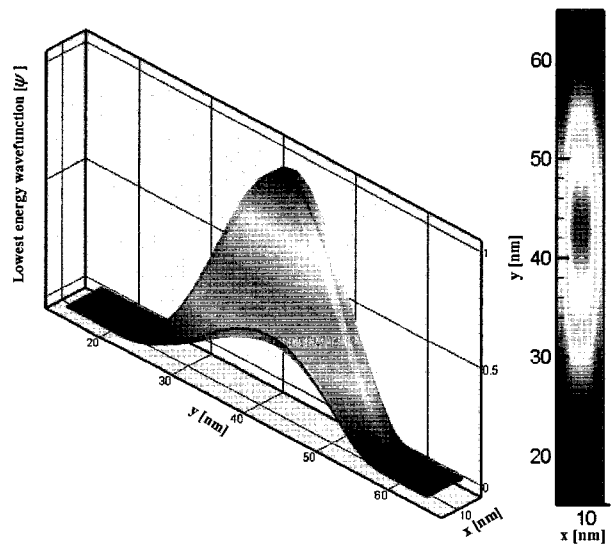


그림 4. CC-NMOS 파동함수의 2·3차원 컨투어
Fig. 4. 3D and 2D contours of CC-NMOS wavefunction.

주는 그래프이다.

같은 조건에서 시행한 파동함수의 2·3차원 컨투어(contour)를 제4도와 제5도에 각각 나타내었다.

또한, 두 구조에서 추출한 파동함수 절단면의 차이를 제6도에서 비교하였다. 상기 결과로부터 DG-NMOS와 달리, CC-NMOS 구조에서는 Si와 Ge의 몰분율에 따른 $Si_{1-x}Ge_x$ /strained-Si/ $Si_{1-x}Ge_x$ 의 헤테로 구조로부터 생성된 양자우물을 확인할 수 있으며, CC-NMOS의 파동함수는 변형 실리콘 채널층의 중앙으로 가두어지는 특징을 확인할 수 있다. 이와 같은 현상으로부터 CC-NMOS 구조에서 CC 동작을 하게 되는 메커니즘을

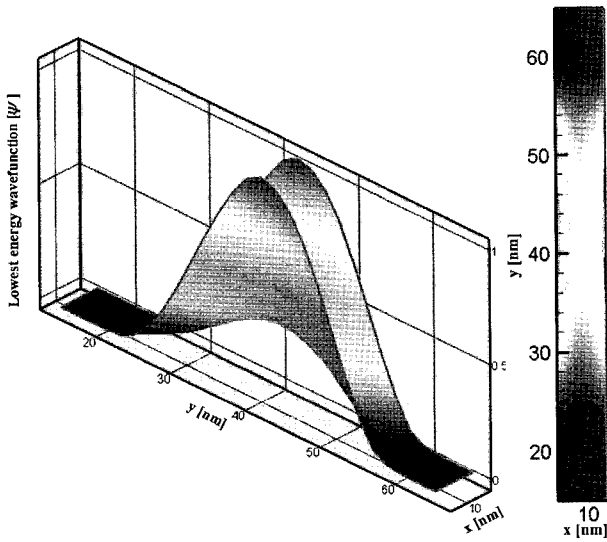


그림 5. DG-NMOS 파동함수의 2·3차원 컨투어
Fig. 5. 3D and 2D contours of DG-NMOS wavefunction.

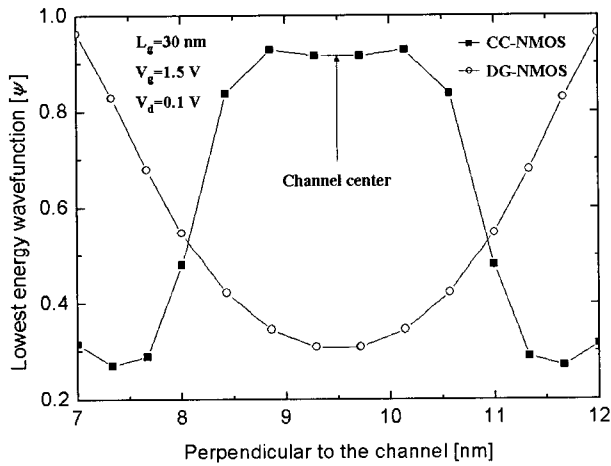
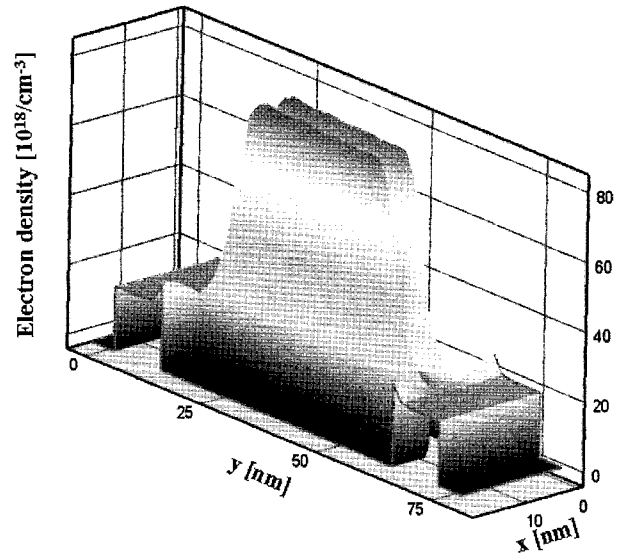


그림 6. $L_g=30$ nm, $V_d=0.1$ V 조건에서 CC-NMOS와 DG-NMOS의 파동함수 절단면의 비교
Fig. 6. Comparison of lowest energy wavefunction of CC and DG-NMOS for $L_g=30$ nm, $V_d=0.1$ V.

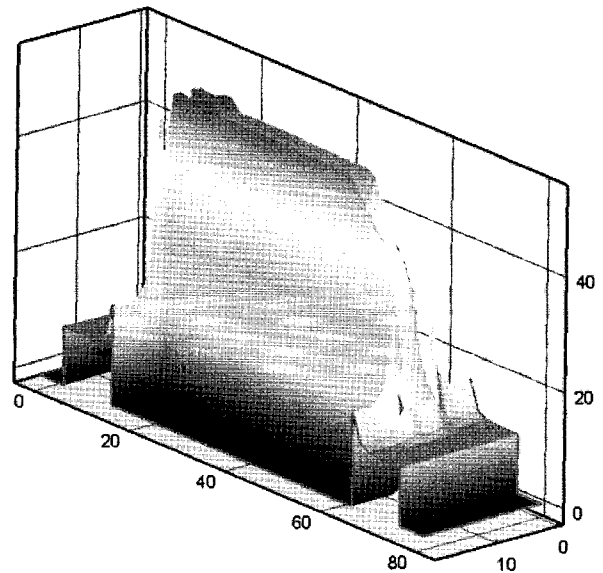
이해할 수 있다.

제7도는 $L_g=30$ nm, $V_g=1.0$ V, $V_d=0.1$ V에서 CC-NMOS와 DG-NMOS의 전자밀도를 3차원 형태로 보여준 결과이며, 제8도는 채널에 수직한 방향으로의 전자밀도 단면을 추출하여 CC-NMOS와 DG-NMOS 두 가지 경우의 결과를 비교한 그래프이다. 이 결과로부터 전도대 밴드 오프셋과 파동함수의 영향으로 인한 CC 동작특성이 실제 채널의 형성 및 전하의 분포에 미치는 영향을 파악할 수 있으며, DG-NMOS 구조와의 차이를 확인할 수 있다.

제9도는 $L_g=30$ nm, $V_d=0.1$ V일때 CC-NMOS와 DG-NMOS의 I_d-V_g 특성을 비교한 결과이다. 같은 조



(a)



(b)

그림 7. $L_g=30$ nm, $V_d=0.1$ V, $V_g=1.0$ V 조건에서의 양자 전자밀도 (a) DG-NMOS, (b) CC-NMOS

Fig. 7. Quantum electron density for $L_g=30$ nm, $V_d=0.1$ V, and $V_g=1.0$ V. (a) DG-NMOS, and (b) CC-NMOS.

건에서의 G_m 특성의 차이를 비교한 결과를 제10도에 도시하였다. 본 결과로부터 DG-NMOS 구조의 시뮬레이션 결과에 비해 CC-NMOS 구조의 전류 값이 약 1.6 배가량, G_m 값이 DG-NMOS의 경우 891.3 S/m이고 CC-NMOS의 경우 1428.3 S/m로 약 60%가량 상승하였음을 확인할 수 있다. 이것은 표면거침산란의 감소와 변형 실리콘 채널로 인한 전하 이동도가 증가하였기 때문이다.

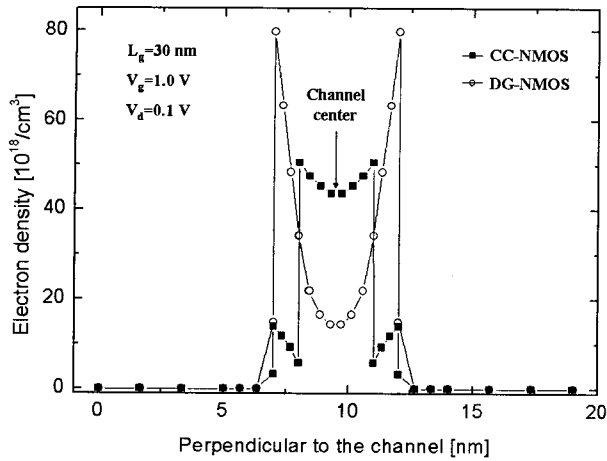


그림 8. $L_g=30$ nm, $V_d=0.1$ V, $V_g=1.0$ V 조건에서 CC-NMOS와 DG-NMOS의 전자밀도 단면의 비교
 Fig. 8. Comparison of quantum electron density of CC and DG-NMOS for $L_g=30$ nm, $V_d=0.1$ V, and $V_g=1.0$ V.

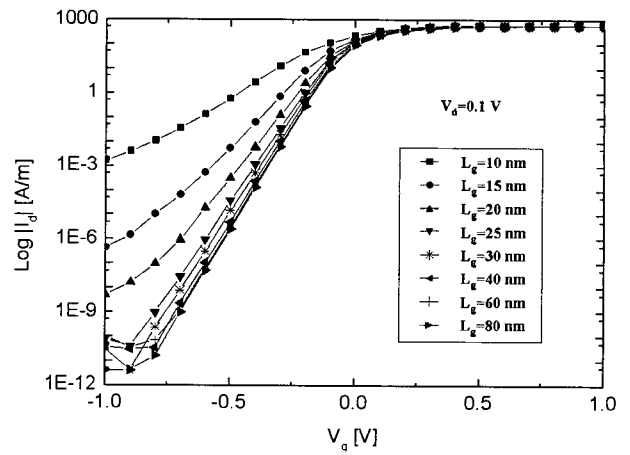


그림 11. 10-80 nm L_g 변화에 따른 CC-NMOS의 I_d-V_g 특성곡선
 Fig. 11. I_d-V_g characteristics for CC-NMOS with L_g of 10-80 nm.

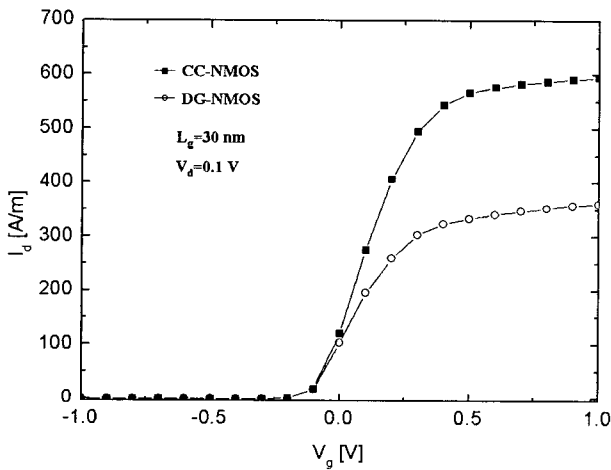


그림 9. CC-NMOS와 DG-NMOS의 I_d-V_g 특성비교
 Fig. 9. I_d-V_g characteristics of CC and DG-NMOS.

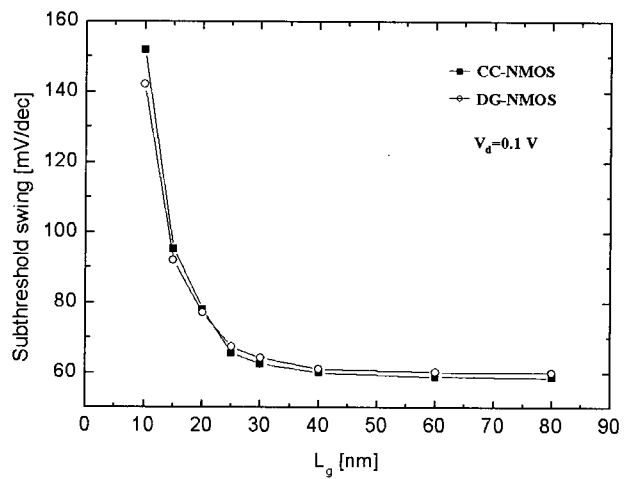


그림 12. L_g 변화에 따른 CC-NMOS와 DG-NMOS의 문턱전압 이하의 기울기 특성
 Fig. 12. Subthreshold swing of CC and DG-NMOS on L_g .

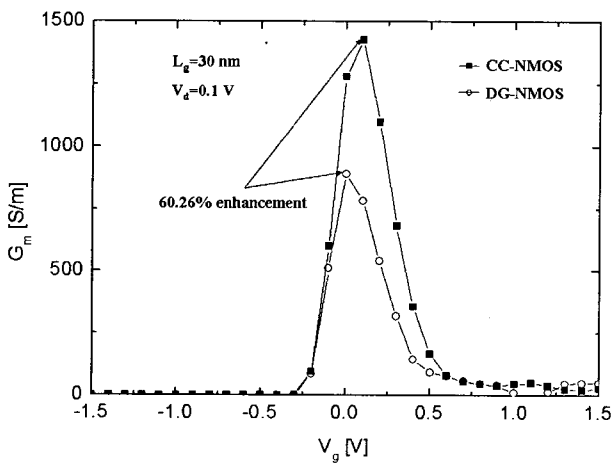


그림 10. CC-NMOS와 DG-NMOS의 G_m 특성비교
 Fig. 10. G_m characteristics of CC and DG-NMOS.

마지막으로, CC-NMOS와 DG-NMOS에서의 단채널 효과를 확인하기 위하여 문턱전압 이하의 기울기, 문턱전압 롤-오프, 드레인 유기 장벽 감소의 파라미터를 추출하였다. 제11도는 L_g 를 10 nm에서 80 nm까지 변화시켜가면서 나타나는 I_d-V_g 특성에 관한 그래프이다. 본 결과로부터 L_g 가 줄어들수록 나타나는 단채널 효과가 나타나는 것을 확인할 수 있다. 이러한 단채널 효과를 분석하기 위하여 문턱전압 이하의 기울기, 문턱전압 롤-오프, 드레인 유기 장벽 감소의 세 가지 특성을 제12도와 제13도에 도시하였다.

상기 결과로부터 CC-NMOS와 DG-NMOS 구조 모두 DG-MOSFET 구조가 보이는 단채널 효과가 좋아지

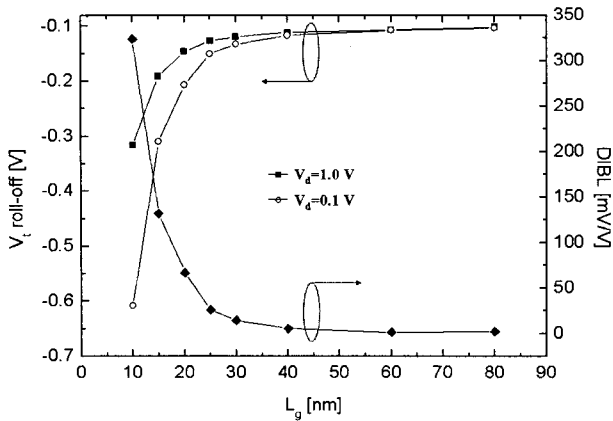


그림 13. L_g 변화에 따른 CC-NMOS의 문턱전압 롤-오프 및 DIBL 특성

Fig. 13. V_t roll-off and DIBL of CC-NMOS on L_g .

는 특성을 확인할 수 있었다.

IV. 결 론

본 논문에서는 이중-게이트 (double-gate, DG) MOSFET와 같은 나노-스케일 반도체 디바이스에서 나타나는 채널의 양자화와 이로 인한 양자적 영향을 고려하여, 디바이스의 전기적 특성을 해석하고 최적화 하기 위한 2차원 양자역학적 수치해석 모델링 및 시뮬레이션을 수행하였다. 수치 해석적 방법으로는 유한차분법을 이용하여 2차원 구조를 생성하고, 결합된 슈뢰딩거-푸아송 방정식 (coupled Schrödinger and Poisson equations)과 전류연속방정식의 셀프-컨시스턴트 (self-consistent)한 해를 뉴턴 반복법에 의하여 구하는 과정을 통해 양자적 현상을 고려하였다.

양자역학적 시뮬레이션의 예로써, center-channel (CC) DG-MOSFET 구조에서 수행한 시뮬레이션 결과를 보여주었다. 전도대 밴드 오프셋, 파동함수, 전자밀도 결과의 차이로부터 CC-NMOS가 CC 동작특성을 보이는 메커니즘을 확인하였고, I-V 특성곡선 및 G_m 특성의 차이로부터 CC-NMOS가 표면거침산란의 감소와 변형실리콘 (strained-Si)의 이동도 향상으로 인하여 DG-NMOS에 비해 약 $\sim 1.6X$ 의 전류값과 60%의 G_m 값이 상승하는 효과를 확인하였다.

또한, DG-MOSFET 구조에서 단채널 효과를 분석하기 위하여, 문턱 전압 이하 기울기, 문턱 전압 롤-오프, 드레인 유기 장벽 감소의 파라미터를 추출하였다. 이와 같은 세 가지 파라미터로부터 DG-MOSFET 구조에서 단채널 현상이 확연히 줄어들음을 확인할 수 있었다.

상기한 시뮬레이션 결과로부터, DG-MOSFET 구조가 소자의 초소형화로 인하여 나타나는 물리적 한계를 극복하기 위한 이상적인 구조임을 알 수 있었으며, 반도체 디바이스의 재료 측면에서는 캐리어의 이동도를 향상시키기 위한 SiGe, 변형 실리콘과 같은 물질의 사용 필요성 및 이로 인한 이점을 확인할 수 있었다. 또한, DG-MOSFET 구조를 포함한 40나노미터급 이하의 MOSFETs를 분석함에 있어 결합된 슈뢰딩거-푸아송 방정식의 셀프-컨시스턴트한 해가 반드시 필요함을 알 수 있었다.

참 고 문 헌

- [1] *The International Technology Roadmap for Semiconductors (ITRS 2003)* [On-line], Available: <http://public.itrs.net>
- [2] K. Chandrasekaran, *Ph. D. Thesis*, Nanyang Technological University, 2002.
- [3] S. H. Olsen, A. G. O'Neill, L. S. Driscoll, K. S. Kwa, S. Chattopadhyay, A. M. Waite, Y. T. Tang, A. G. R. Evans, D. J. Norris, A. G. Cullis, D. J. Paul, and D. J. Robbins, "High-Performance nMOSFETs Using a Novel Strained Si/SiGe CMOS Architecture," *IEEE Trans. Electron Devices*, vol. 50, no. 9, p. 1961, 2003.
- [4] M. Sabathil, S. Hackenbuchner, J. A. Majewski, G. Zandler, and P. Vogl, "Towards Fully Quantum Mechanical 3D Device Simulation," *J. Computat. Electron.*, vol. 1, p. 81, 2002.
- [5] A. Trellakis and A. T. Galick, "Iteration Scheme for the Solution of the Two-Dimensional Schrödinger-Poisson Equations in Quantum Structures," *J. Appl. Phys.*, vol. 81, no. 15, p. 7880, 1997.
- [6] R. Akis, S. N. Milicic, D. K. Ferry, and D. Vasileska, "An Effective Potential for Including Quantum Effects into the Simulation of Ultra-Short and Ultra-Narrow Channel MOSFETs," in *Proc. of Int. Conf. Modeling Simulation Microsyst.*, p. 550, 2004.
- [7] A. Svizhenko, M. P. Anantram, T. R. Govindan, and B. Biegel, "Two-Dimensional Quantum Mechanical Modeling of Nanotransistors," *J. Appl. Phys.*, vol. 91, no. 4, p. 2343, 2002.
- [8] S. E. Laux, A. Kumar, and M. V. Fischetti, "QDAME Simulation of 7.5nm Double-Gate Si nFETs with Differing Access Geometries," in *Proc. of IEDM Tech Dig.*, p. 715, 2002.

저 자 소 개



김 기 동(학생회원)

2003년 인하대학교 전기공학과
공학사 졸업

2005년 인하대학교 전기공학과 공
학석사 졸업

2005년~현재 LG전자(주)
우면연구소 연구원

<주관심분야: 나노-스케일 소자 모델링 및 시뮬
레이션>



원 태 영(정회원)

1981년 서울대학교 전자공학과
공학사 졸업

1983년 한국과학기술원 전기 및
전자공학과 공학석사 졸업

1989년 미국 University of Illinois
at Urbana-Champaign 전
자공학과 공학박사 졸업

1989년 미국 State University of NewYork 조교수

1990년 삼성전자(주) 수석연구원.

1991년~현재 인하대학교 공과대학 전자전기공학부
교수

<주관심분야: 반도체 소자 및 공정, TFT-LCD,
MEMS 모델링 및 시뮬레이션 코드 개발>