

논문 2005-42SD-7-4

스위치-매트릭스 구조의 고해상도 델타-시그마 D/A 변환기용 준 디지털 FIR 재생필터

(A switch-matrix semidigital FIR reconstruction filter for a
high-resolution delta-sigma D/A converter)

송 윤 섭*, 김 수 원*

(Yun Seob Song and Soo Won Kim)

요 약

본 논문에서는 작은 면적을 갖는 저전력 스위치-매트릭스 구조의 델타-시그마 D/A 변환기용 준 디지털 FIR 재생필터를 제안하였다. 제안된 재생필터는 계수를 7 비트로 양자화하고 각 비트 값에 대응하는 전류를 생성하는 7 개의 전류원을 사용하는 구조로 205 개의 탭을 가지며 1419 개의 스위칭 트랜지스터로 구현되었다. 제안된 필터는 0.25 μm CMOS공정을 이용하여 설계되었으며 전체 칩 면적은 1.5 mm^2 으로 2.5 V에서 3.8 mW의 소비 전력을 갖는다. 모의실험 결과 104 dB의 다이내믹 레인지와 -84 dB의 대역 밖의 노이즈 허용값을 나타내어 고해상도 오디오용 DAC에 적합하다.

Abstract

An area efficient, low power switch-matrix semidigital FIR reconstruction filter for delta-sigma D/A converter is proposed. Filter coefficients are quantized to 7-bit and 7 current sources that correspond to each coefficient bit are used. The proposed semidigital FIR reconstruction filter is designed in a 0.25 μm CMOS process and incorporates 1.5 mm^2 of active area and a power consumption is 3.8 mW at 2.5 V supply. The number of switching transistors is 1419 at 205 filter order. Simulation results show that the filter output has a dynamic range of 104 dB and 84 dB attenuation of out-of-band quantization noise.

Keywords : Semidigital FIR reconstruction filter, Delta-sigma D/A converter, Audio DAC

I. 서 론

델타-시그마 DAC는 동작 속도가 낮은 대신에 복잡한 아날로그 회로 없이 쉽게 고해상도를 실현할 수 있는 장점이 있어서, 비교적 주파수가 낮은 음성대역의 오디오용 DAC에 많이 응용이 되고 있다.

델타-시그마 DAC의 일반적인 구조는 그림 1과 같이

크게 세 부분으로 나눌 수 있다. 디지털 보간 필터(Digital Interpolation Filter)와 디지털 잡음 변형기(Digital Noise Shaper)에서는 과표본화와 잡음 변형에 의해 양자화 잡음을 신호대역의 바깥으로 밀어내어 대역내의 양자화 잡음을 크게 감소시킨다.

그리고 최종단에는 고주파 대역의 잡음을 제거하여 원래 아날로그 신호로 복원하는 재생필터가 필요하며 전체 델타-시그마 DAC의 성능은 이 재생필터의 성능에 의해 제한된다^[1].

기존의 재생필터는 그림 1의 (a)와 같이 아날로그 방식의 Switched-Capacitor 필터^{[2],[3]}나 Active-RC 필터 구조를 사용하였다. 그러나 이러한 구조의 재생필터는

* 정회원, 고려대학교 전자컴퓨터공학과
(Department of Electronics and Computer Engineering, Korea University)

※ 본 논문은 2005년도 한국소프트웨어진흥원의 지원을 받아 이루어졌습니다.

접수일자: 2005년5월6일, 수정완료일: 2005년6월21일

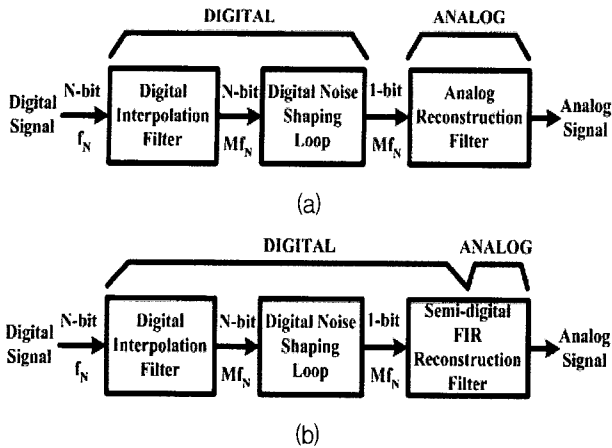


그림 1. (a) 아날로그 재생필터와 (b) 준 디지털 FIR 재생필터를 이용한 델타-시그마 DAC의 구조
 Fig. 1. Delta-sigma DAC with (a) analog reconstruction filter and (b) semidigital FIR reconstruction filter.

선형 위상과 큰 다이내믹 레인지를 얻기 힘들다. 특히 고해상도의 델타-시그마 DAC는 고성능의 op-amp를 사용하기 때문에 전력소모가 크고 저전압에서 동작하기 어렵다. 또한 수동소자인 캐패시터와 저항을 사용하기 때문에 공정상의 변화에 의해 그 값들이 변하여 정확한 결과를 얻기 어렵다.

이러한 문제점들은 그림 1의 (b)와 같이 준 디지털 FIR 재생필터를 사용함으로써 해결할 수 있다. 준 디지털 재생필터는 전류모드로 동작하므로 낮은 전압에서도 동작이 가능하며 수동소자를 사용하지 않으므로 정확한 결과를 얻을 수 있다.

본 논문에서는 스위치-매트릭스 구조를 이용하여 작은 면적과 낮은 소모 전력을 갖는 준 디지털 재생필터를 제안하였다. II장에서는 준 디지털 FIR 재생필터의 기본 개념과 기존의 구조에 대해서 논하였고, III장에서 제안된 재생필터의 구조 및 설계에 대해 다루었다. 그리고 모의실험 결과와 다른 구조와의 비교를 IV장에 제시하였다.

II. 준 디지털 FIR 재생필터

1. 준 디지털 FIR 재생필터의 기본구조

일반적으로 단일 비트 준 디지털 N차 FIR 재생필터는 그림 2와 같은 기본 구조와 식 (1)과 같은 시스템 함수를 갖는다.

$$H(z) = a_0z^0 + a_1z^{-1} + \dots + a_{N-1}z^{-N+1} + a_Nz^{-N} \quad (1)$$

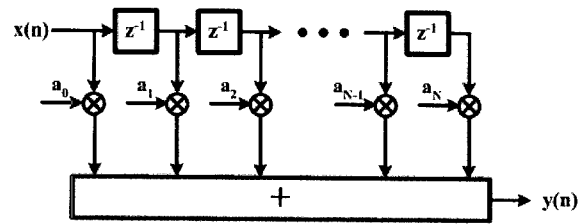


그림 2. 준 디지털 FIR 재생필터
 Fig. 2. Semidigital FIR reconstruction filter.

입력 $x[n]$ 은 델타-시그마 변조기의 출력인 1 비트의 디지털 입력이다. 각 탭에는 지연 소자로서 n 개의 쉬프트 레지스터가 직렬로 구성되어 있다. $a_1 \dots a_n$ 은 각 탭의 계수 값이다. 입력된 신호는 쉬프트 레지스터에 의해 지연된 출력을 생성한다. 이 신호는 계수와 곱해져서 전류형태로 출력이 되고 각 탭의 출력을 모두 더한 다음 전압으로 바꾸어 아날로그 출력 $y[n]$ 을 내보낸다.

2. 기존의 준 디지털 FIR 재생필터 구조

기존의 준 디지털 FIR 재생필터의 종류는 계수의 구현 방법에 따라서 크게 두 가지로 나뉜다.

첫째는 current-mode 구조로서, 각 탭마다 계수의 크기만큼의 가중치를 갖는 전류원을 두고 각 지연 소자의 출력에 의해 그 전류를 스위칭하는 구조이다^[4]. 이 구조는 탭의 개수만큼 스위치를 사용하므로 필요한 스위치의 개수는 적으나 각 탭마다 전류원과 이를 위한 바이어스 회로를 필요로 하므로 고사양의 필터 구현시 면적이 커지게 된다.

둘째는 current steering 구조로서, 하나의 전류원에서 생성되는 전류를 각 탭마다 여러 개의 스위치를 두어서 온, 오프되는 스위치 개수의 비율에 따라서 출력하는 구조이다^[5]. 이 구조는 전류원이 하나밖에 없으므로 current-mode 구조의 문제점을 해결할 수 있으나 current-mode 구조에 비해서 스위치의 개수가 많으며, 고사양의 필터 구현시 계수를 많은 단계로 나누어야 하므로 각 탭마다 스위치의 개수가 더욱 늘어나게 된다.

III. 제안된 준 디지털 FIR 재생필터

1. 스위치-매트릭스 구조

II장에서 언급한 바와 같이 필터의 사양이 높아지면 current-mode 구조는 많은 전류원과 바이어스 회로가 필요하며, current steering 구조는 필터 계수의 해상도를 높이기 위해서 많은 스위치가 필요하므로 고해상도 DAC에 적용하는데 어려움이 따른다.

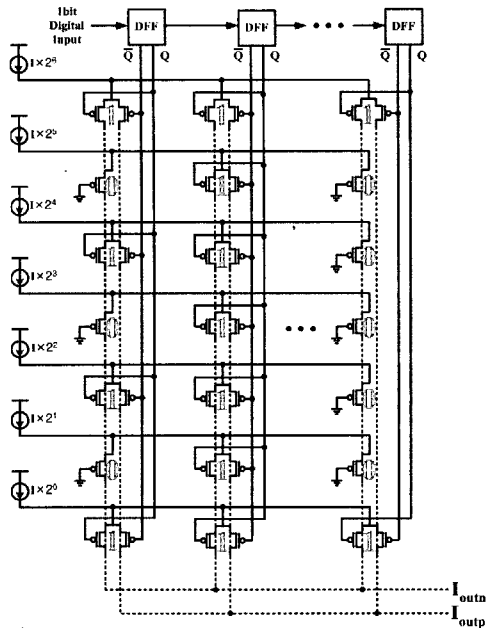


그림 3. 제안된 스위치-매트릭스 방식
Fig. 3. Proposed switch-matrix topology.

따라서 본 논문에서는 이와 같은 문제점을 해결하기 위해서 그림 3과 같은 스위치-매트릭스 구조를 제안하였다.

제안된 스위치-매트릭스 준 디지털 FIR 재생필터는 그림 3과 같이 계수를 사양에 맞는 크기의 비트로 이진화하여 표현한다. 이 경우 24 비트 고해상도의 Audio용 DAC의 사양에 맞게 7 비트로 설계되었다. 또한 전류원의 개수는 계수의 비트수와 같은 7 개로 구성하고 각각의 생성되는 전류량은 작은 것부터 2 배씩이 되어 이진화된 계수의 각 자리에 대응하는 전류를 생성한다. DFF는 지연 소자로써 각 탭의 출력을 발생시켜 전류량을 스위칭하게 된다. 계수가 1 일 때 스위치 회로는 PMOS 2 개로 이루어진다. PMOS는 게이트 입력이 high일 때 off되고 low일 때 on이 된다. 따라서 Q값이 1 일 때 I_{outp}로 연결되며, Q값이 0 일 때 I_{outn}으로 연결된다. 계수가 0 일 때 스위치 회로는 PMOS 1 개로 구성되며, Q값에 관계없이 항상 I_{outn}으로 연결된다. 이렇게 스위칭되는 전류를 다음 식 (2),(3)과 같이 나타낼 수 있다.

$$I_{outp} = \begin{cases} \sum_{k=0}^N \sum_{j=0}^{M-1} a_{jk} \times I \times 2^j & (Q=1) \\ 0 & (Q=0) \end{cases} \quad (2)$$

$$I_{outn} = \begin{cases} I_{total} - I_{outp} & (Q=1) \\ I_{total} & (Q=0) \end{cases} \quad (3)$$

표 1. 제안된 구조와 current steering 구조와의 스위칭 트랜지스터 수 비교

Table 1. Number of switching transistors comparisons between proposed structure and current steering structure.

Number of switching transistors	Current steering ^[5]	Switch-matrix (본 논문)
Per tap	2 ^M x 2	M x 2
Total filter	2 ^M x 2 x N	M x 2 x N
64th, 4-bit coefficient ^[5]	2048	512
205th, 7-bit coefficient	52480	2870

N: 필터의 차수

M: 계수의 해상도(비트수)

M은 계수의 전체 비트수이고, N은 필터의 차수이다. a_{jk}는 k 번째 탭의 j 번째 비트의 계수 값으로 1 이나 0 을 갖는 값이다. I x 2^j은 j 번째 전류원에서 생성되는 전류 값이다.

제안된 준 디지털 FIR 재생필터는 필터의 계수를 최대값에서 최소값까지 2⁷ 단계로 나누게 된다. 이때 필요한 한 탭의 스위치의 개수는 최대 7x2 개 이다. 즉 최대 14 개의 스위치만으로 2⁷ 단계의 계수를 표현할 수 있다. 이에 반해 current steering 구조는 16 개의 스위치로 16 단계의 계수를 표현할 수 있다^[5]. 이는 제안된 구조가 같은 해상도의 계수를 표현하는데 더 적은 스위치가 필요하다는 것을 의미한다.

다음 표 1에서 볼 수 있듯이 current steering 구조가 128 차 4 비트 해상도의 계수 일 때는 최소 4 배, 205 차 7 비트 해상도의 계수 일 때는 최소 18 배의 스위칭 트랜지스터 개수를 갖는 것을 알 수 있다. 또한 필터의 사양이 올라갈수록 트랜지스터의 개수는 더욱 차이가 나므로 제안된 구조가 더 효과적임을 알 수 있다. 그리고 7 개의 전류원만을 사용하므로 전체 탭의 수와 같은 개수의 전류원을 사용하는 current-mode 구조에 비해 더 작은 설계면적을 차지한다. 따라서 본 논문에서 제안한 구조는 기존 구조의 준 디지털 재생필터보다. 회로의 크기 면에서 효율적이라고 할 수 있다.

2. 제안된 재생필터의 설계

그림 4는 제안된 스위치-매트릭스 준 디지털 FIR 재생필터의 전체구조이다. 델타-시그마 변조기의 출력인

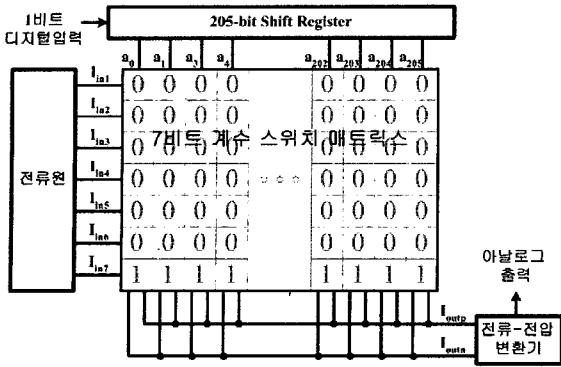


그림 4. 스위치-매트릭스 준 디지털 FIR 재생필터의 전체 구조
 Fig. 4. Total structure of switch-matrix semidigital FIR reconstruction filter.

1 비트 디지털 신호를 입력으로 받아 205 비트의 쉬프트 레지스터를 통과하여 205 개 탭에 각각의 지연된 신호를 출력한다. 이 신호를 입력으로 받은 7 비트 계수 스위치 매트릭스에서는 각 전류원으로부터의 전류를 계수에 따라서 Ioutp 와 Ioutn 노드로 스위칭하게 되고 최종적으로 전류-전압 변환기에서 아날로그 출력 전압을 생성하게 된다.

205 비트 쉬프트 레지스터는 D 플립플롭을 사용하였다. 7 종류 전류를 생성하는 전류원은 셀프 바이어스를 사용하는 PMOS 캐스코드 전류 미러 구조를 사용하였다^[6]. 이 구조는 출력노드의 전압 글리치(glitch)를 줄이며 모두 PMOS로 구현하여 회로의 동작에 다소 영향을 미칠 수 있는 body effect를 줄이도록 하였다.

보통 전류-전압 변환기는 op-amp를 사용하지만 op-amp를 이용하는 구조는 복잡하고 높은 전력을 소모한다. 따라서 본 논문에서는 보다 간단하고 낮은 전력을 소모하는 저전압 전류 미러 구조^[7]를 사용하였다. 또한 이 구조는 회로 보상을 하지 않아도 매우 안정하며, 출력 전류를 조절할 수 있기 때문에 출력 전압을 Vdd/2로 위치시킬 수 있는 장점이 있다.

IV. 모의실험 및 결과비교

제안된 재생필터는 삼성 0.25 um CMOS 공정을 사용하여 설계되었다. 구현한 회로의 레이아웃을 그림 5에 나타내었다. 디지털 회로와 아날로그 회로가 함께 구현되어 있으므로 노이즈를 차단하기 위해서 3 중 가드링을 하였고, 클럭 라인과 D 플립플롭의 출력 라인의 디지털 신호 라인은 Gnd 라인으로 감싸서 아날로

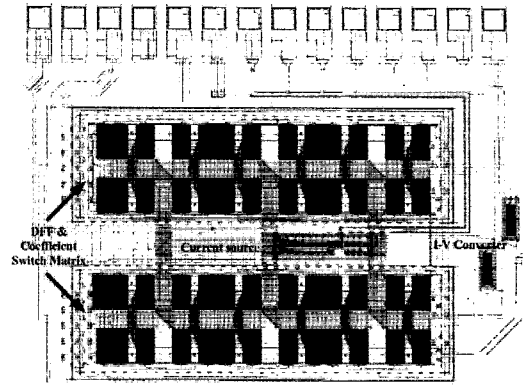


그림 5. 제안된 재생 필터의 칩 레이아웃
 Fig. 5. Chip layout of proposed reconstruction filter.

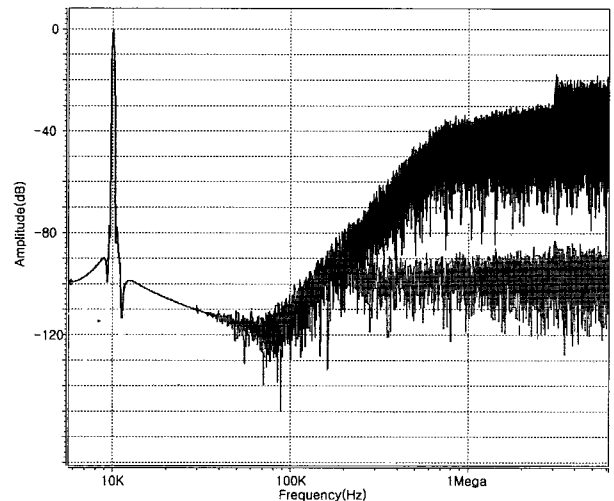


그림 6. 준 디지털 FIR 재생필터 입력과 출력 신호의 파워 스펙트럼
 Fig. 6. Power spectrum of a 10kHz signal before and after reconstruction filtering.

그 신호와의 cross-talking을 방지하였다. 전체 칩 크기는 1500 um x 1000 um으로 1.5 mm²이다. 이 면적은 더 낮은 사양으로 설계된 current-steering 구조의 면적인 2.09 mm²보다 작다^[5].

그림 6은 델타-시그마 모듈레이터의 출력과 이를 제안된 준 디지털 FIR 재생필터에 입력했을 때의 출력을 FFT를 수행한 모의실험 결과이다. 100 kHz 까지의 통과대역에서 104 dB의 다이내믹 레인지를 얻었고 700 kHz 부터의 차단대역에서는 출력의 감쇄가 일어나서 전 구간에 대한 노이즈 허용값은 -84 dB로 나타났다.

표 2는 각각의 준 디지털 재생필터 구조를 비교하여 정리한 것이다. 본 논문에서 제안한 구조는 기존에 제안된 구조보다 더 높은 사양으로 설계되었음에도 불구하고, 전류원과 스위칭 트랜지스터의 개수가 적어서 설

표 2. 각 구조들의 성능 요약

Table 2. Performance summary for different topologies.

	Current-mod e ^[4]	Current steering ^[5]	Switch-matrix (본 논문)
Process	1.2 um CMOS	0.25 um CMOS	0.25 um CMOS
Supply	5.0 V	2.5 V	2.5 V
Filter order	128	64	205
Sampling frequency	7.76 MHz	1.5 MHz	12.288 MHz
Power	59 mW*	5 mW**	3.8 mW**
Area	1.98 mm ²	2.09 mm ²	1.5 mm ²
Switch Transistor	256	2048	1419
Current source	128	1	7
Dynamic Range	94 dB	78 dB	104 dB

* 전체 DAC의 전력소모를 측정된 것임.

** Static power를 측정된 것임.

계면적과 소모되는 전력 또한 작은 것을 알 수 있다.

V. 결 론

본 논문에서는 스위치-매트릭스 구조를 갖는 준 디지털 FIR 재생필터를 제안하였다. 제안된 재생필터는 0.25 um CMOS 공정을 이용하여 설계되었고, 모의실험 결과 100 kHz 까지의 통과대역에서 104 dB의 다이내믹 레인지와 700 kHz 부터의 차단대역에서 84 dB의 감쇄 값을 얻었다.

제안된 스위치-매트릭스 구조는 계수를 7 비트로 양자화하고, 각 비트 값에 대응하는 전류를 생성하는 7 개의 전류원을 사용함으로써 기존의 current-steering 구조에 비하여 스위치를 구성하는 트랜지스터의 개수를 줄였다. 따라서 같은 사양의 필터를 구현 할 때, 기존의 준 디지털 재생필터보다 설계 면적도 작고 소모되는 전력도 줄일 수 있다.

DAC의 해상도가 올라갈수록 요구되는 준 디지털 FIR 재생필터의 사양이 높아져서 많은 수의 스위치 트랜지스터가 필요하게 되므로, 본 논문에서 제안한 재생필터는 고해상도 델타-시그마 DAC에 적합하다.

참 고 문 헌

- [1] P. Naus et al., "A CMOS stereo 16-b D/A converter for digital audio," *IEEE J. Solid-State Circuits*, vol. SC-22, pp. 390-395, June 1987.
- [2] P. Hurst and J. Brown, "Finite impulse response switched-capacitor filters for the delta-sigma modulator D/A interface," *IEEE Trans. Circuit Syst.*, vol. 38, No. 11, pp. 1391-1397, Nov. 1991.
- [3] H. Qiuting and G. Moschytz, "Analog FIR filters with an oversampled Σ - Δ modulator," *IEEE Trans. Circuits Syst.-II*, vol. 39, No. 9, pp. 658-663, Sept. 1992.
- [4] D. Su and B. Wooley, "A CMOS oversampling D/A converter with a current-mode semidigital reconstruction filter," *IEEE J. Solid-State Circuits*, vol. 28, No. 12, pp. 1224-1233, Dec. 1993.
- [5] A. Aga and G. Roberts, "A CMOS digitally programmable current steering semidigital FIR reconstruction filter," *IEEE ISCAS*, vol. 1, pp. 168-171, May. 2001.
- [6] E. Bruun and P. Shah, "Dynamic range of low-voltage cascade current mirrors," *IEEE ISCAS*, vol. 2, pp. 1328-1331, 1995.
- [7] W. Sansen, M. Steyaert, V. Peluso, and E. Peeters, "Toward sub 1V analog integrated circuits in submicron standard CMOS technologies," *IEEE ISSCC*, pp. 186-187, 1998.

저 자 소 개



송 윤 섭(정회원)
 1998년 고려대학교 전자공학과 졸업.
 2001년 고려대학교 전자공학과 석사 졸업.
 2005년 고려대학교 전자공학과 박사 과정.

<주관심분야 : VLSI 설계, 신호처리, 컴퓨터구조>

김 수 원(정회원)

제40권 SD편 제2호 참조
 현재 고려대학교 전자컴퓨터공학과 정교수