

## 펄스-역펄스 전착법을 이용한 SiP용 via의 구리 충전에 관한 연구

배진수 · 장근호 · 이재호\*

홍익대학교 신소재공학과

### Electroplating of Copper Using Pulse-Reverse Electroplating Method for SiP Via Filling

J. S. Bae, G. H. Chang, and J. H. Lee\*

Department of Materials Science and Engineering, Hongik University  
72-1 Sangsu-dong, Mapo-gu Seoul 121-791 Korea

**초 록:** SiP의 3D 패키지에 있어서 구리도금은 매우 중요한 역할을 한다. 이러한 구리 도금의 조건을 알아보기 위하여 조건이 다른 전해질에서 전기화학적 I-V 특성을 분석하였다. 첨가제로 억제제와 촉진제의 특성을 분석하였다. 3D 패키지에 있어서 직경 50, 75, 100  $\mu\text{m}$ 의 via를 사용하였다. Via의 높이는 100  $\mu\text{m}$ 로 동일하였다. Via의 내부는 확산방지층으로 Ta를 전도성 씨앗층으로 Cu를 magnetron 스퍼터링 방법으로 도포하였다. 직류, 펄스, 펄스-역펄스 등 전류의 파형을 변화시키면서 구리 도금을 하였다. 직류만 사용하였을 경우에는 결합없이 via가 채워지지 않았으며 펄스도금을 한 경우 구리 충전이 개선을 되었으나 결합이 발생하였다. 펄스-역펄스를 사용한 경우 결합없는 구리 충전층을 얻을 수 있었다.

**Abstract :** Electroplating copper is the important role in formation of 3D stacking interconnection in SiP (System in Package). The I-V characteristics curves are investigated at different electrolyte conditions. Inhibitor and accelerator are used simultaneously to investigate the effects of additives. Three different sizes of via are tested. All via were prepared with RIE (reactive ion etching) method. Via's diameter are 50, 75, 100  $\mu\text{m}$  and the height is 100  $\mu\text{m}$ . Inside via, Ta was deposited for diffusion barrier and Cu was deposited for seed layer using magnetron sputtering method. DC, pulse and pulse reverse current are used in this study. With DC, via cannot be filled without defects. Pulse plating can improve the filling patterns however it cannot completely filled copper without defects. Via was filled completely without defects using pulse-reverse electroplating method.

**Keywords:** DC, Pulse, Pulse-reverse, Electroplating, SiP

### 1. 서 론

3D 패키지가 최근에 많은 각광을 받고 있으며 특히 SiP (system in package)의 중요성이 많이 대두되고 있다. 3D SiP에 있어서 층간의 신호전달 체계로 via가 쓰이고 있으며 via 내부에 결합이 없이 배선물질을 충전하는 연구가 최근 진행되고 있다.

배선물질로는 구리가 대부분 쓰이고 있으며 배선 충전 방법은 CVD, sputtering과 같은 물리적인 방법보다는 전해도금법과 같은 화학적인 방법이 더 많이 연구되고 사용되고 있다.

Via 도금은 종래의 일반적인 도금법을 사용할 경우 via의 입구에서 전류밀도가 높고 바닥에는 전류밀도가 낮으므로 정상적인 도금이 이루어 지

\*Corresponding author  
E-mail: jhlee@hongik.ac.kr

지 않고 시간이 지남에 따라 입구가 막히고 내부에 결함이 발생하게 된다. Via 전체에서 도금속도가 일정하더라도 도금층의 중심부에 면형 결함(seam)이 생기게 된다. 이러한 결함의 생성을 방지하기 위하여 첨가제를 사용하여 via의 바닥의 도금속도가 입구의 도금속도보다 빠르게 되면 도금이 바닥에서부터 차서 올라오게 되면 결함이 없는 도금층의 형성이 가능하다. 이를 superfilling 이라고 부른다.<sup>1,2)</sup> Superfilling은 억제제(inhibitor)와 촉진제(accelerator)를 사용함으로써 이를 수 있다. Fig. 1은 이러한 superfilling을 모식적으로 나타낸 그림이다.

현재 메모리 소자의 구리배선에 많이 쓰이고 있는 방법이다. SiP에 쓰이는 via는 메모리 소자의 구리배선보다 폭과 깊이가 크면 이러한 경우 첨가제만을 이용한 전해도금법은 한계가 있으며 전류의 파형을 조절하여 도금을 하여야만 결함없는 도금층을 얻을 수 있다.

전해도금법에 의해 형성되는 구리 박막의 전착양상과 특성은 전류형태와 전착조건 그리고 전해액내에 혼합되는 첨가제의 종류에 따라서 크게 달라지는 것으로 보고 되고 있다<sup>3)</sup>. 전해도금법에 사용되는 전류의 형태는 크게 직류전류 (DC, direct current), 펄스전류 (PC, pulse current), 역펄스전류 (PRC, periodic reversal current) 로 나눌 수가 있으며 펄스 도금법은 직류 도금법에 비하여 도금 확산층의 두께가 얇아서 높은 과전압에서도 도금이 가능한 장점이 있다. 이 때문에 첨가제 없이도 평탄한 도금면을 얻을 수 있으며 결정립을 미세화할 수 있다<sup>4,5)</sup>. 이는 펄스 인가 시간 중에 형성된 확산층 내의 금속이온의 농도 저하가 펄스 휴지

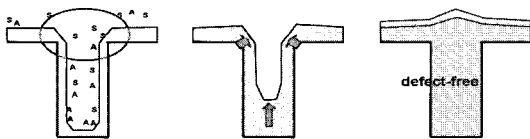


Fig. 1. Schematic view of the role of additives and "super-filling".

시간 (off time) 중에 완화되기 때문이다<sup>6,7)</sup>. 또한 역펄스 전류를 사용 할 경우에는 충전 능력이 뛰어나기는 하지만 장비의 제약이 있으며 전착 변수가 많아지는 단점이 있다.

본 연구에서는 도금액에서 첨가제의 영향을 전기화학적인 방법을 이용하여 관찰하였으며 전류의 파형에 따른 도금층의 특성과 이러한 조건에서 via 를 형성하였을 때의 결과에 대하여 알아보았다.

## 2. 실험방법

실험에 사용된 전해액은 기본이 되는 stock solution에 여러 가지 첨가제를 첨가하여 사용하였다. 구리원으로는 일반적으로 많이 쓰이는 황산구리 ( $\text{CuSO}_4 \cdot 5\text{H}_2\text{O}$ )를 사용하였으며 throwing power를 높이기 위하여 황산( $\text{H}_2\text{SO}_4$ )를 첨가하였다. 황산구리와 황산을 넣은 용액을 stock solution으로 사용하였다. 첨가제 중 억제제의 역할을 하는 PEG와 Cl을 사용하였으며 촉진제로는 MPSA와 SPS를 사용하였다. Table 1은 실험에 사용된 용액의 조성을 나타낸 표이다.

Via는 boron을 도핑한 p-type <100> Si wafer에 Al을 증착시킨 후 DRIE(deep reactive ion etching) 방법을 이용하여 깊이 100  $\mu\text{m}$ , 직경 50, 75, 100  $\mu\text{m}$  인 3가지 형태의 via를 형성하였다. DRIE 후의 Al층은 습식 식각방법을 통하여 제거하였으며 Al이 제거된 Si wafer 위에 IMP(ionized metal plasma)과 sputtering 방법을 이용하여 확산방지층과 전도층을 형성하였다. 확산방지층으로는 Ta/TaN이 사용되었으며 전도층으로는 Cu가 사용되었다.  $\text{SiO}_2$  위에 Ta를 직접 형성할 경우 접착력이 떨어지므로 TaN을 사용하여 접착력을 향상시켰다.

전류원으로 DC, PC, PRC가 모두 가능한 Keithley Model 220 current source를 사용하였다. 전해액의 IV 특성을 알아보기 위하여 3전극법이 가능한 flat cell를 사용하였으며 EG&G Model 273A를 이용하여 분극곡선을 얻었다. 도금층의 두께는

Table 1. Composition of copper electroplating bath

$\text{CuSO}_4$	$\text{H}_2\text{SO}_4$	$\text{Cl}^-$	PEG	MPSA, SPS
0.25M	1M	0.17g/l	300ppm	0-20ppm

alpha step profiler를 사용하였으며 표면 및 단면은 SEM을 이용하여 관찰하였다.

### 3. 결과 및 고찰

#### 3.1 전해액 조성의 영향

전해액의 첨가제중 억제제로 사용된 PEG의 경우 분자의 크기가 촉진제에 비해 상대적으로 크며 via의 내부보다는 입구와 표면에 더 많이 분포하게 된다. PEG는 단독으로는 억제제의 능력이 작으며 Cl 이온이 같이 존재하여야만 억제제로서의 역할을 한다. 억제제의 농도는 많은 참고문헌에 잘 나와 있으므로 억제제의 농도는 일정하게 유지시켰다.<sup>8,9)</sup> 억제제가 없는 상태에서 촉진제(accelerator)로 쓰인 MPSA와 SPS의 농도를 변화시키면서 분극곡선을 그려서 I-V 특성을 알아보았다. Fig. 2는 촉진제의 농도에 따른 I-V 특성 곡선이다. MPSA를 촉진제로 사용한 경우 MPSA 농도가 증가함에 따라 같은 전위에서 높은 전류밀도를 나타냈다. 10 mA/cm<sup>2</sup>의 전류밀도를 가지는 전위는 첨가제를 넣지 않았을 경우 -0.18V에서 -0.12V로 증가하였다. 이는 적은 과전압으로 같은 전류밀도를 낼 수 있는 현상으로 MPSA가 촉진제의 역할을 잘 수행함을 알 수 있다. MPSA를 10ppm 이상 넣었을 경우에는 촉진 현상의 변화가 거의 관찰되지 않았다.

SPS를 촉진제로 사용한 경우 MPSA와 같이 농도가 증가함에 따라 같은 전위에서 높은 전류밀도를 나타냈다. 그러나 같은 전위에서 10ppm SPS 가

가장 높은 전위를 나타내고 오히려 그 이상 SPS를 첨가한 경우 전류밀도가 감소함을 알 수 있었다. 이로부터 SPS의 촉진 현상의 최대치를 10ppm에서 보여줌을 알 수 있다.

Fig. 3은 억제제와 촉진제를 넣었을 때의 각각 용액에서의 분극곡선이다. PEG의 경우 Cl 이온과 함께 억제제로 작용하였다 (2) 그림에서와 같이 같은 전류밀도에서 stock solution (1)에 비해 낮은 전위 값을 가지는 것으로 보아 표면에서의 구리 환원 반응이 억제되고 있음을 알 수 있다. 촉진제로 사용된 MPSA(3)와 SPS(5)의 경우 상대적으로 높은 전위 값을 가지며 이로부터 반응이 촉진되고 있음을 알 수 있다.

#### 3.2 전류인가 형태의 영향

도금액의 조성과 전류인가 형태의 변화에 따른

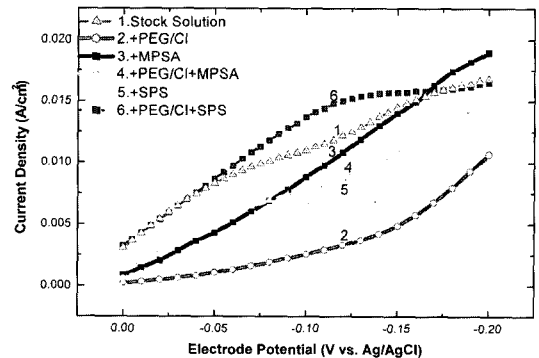


Fig. 3. Linear polarization plots at different electrolyte composition.

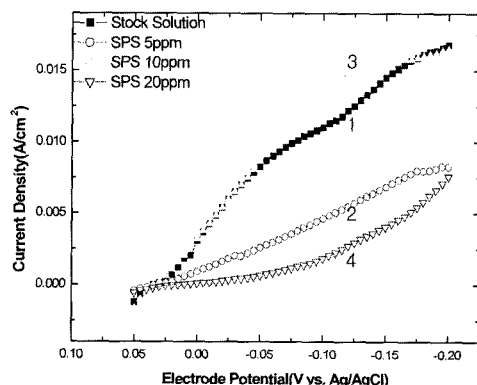
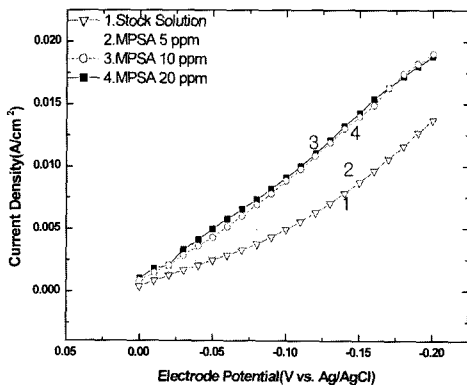


Fig. 2. Linear polarization plots at different concentration of accelerator (a)MPSA (b)SPS.

표면 형상을 SEM을 이용하여 관찰하였다. 첨가제가 없는 경우에는 전류 인가 방식의 변화만으로 결정립의 크기를 미세화 할 수 있는 것을 알 수 있다. Fig. 4는 stock solution에서 전류 인가 방법을 변화시켰을 때의 표면형상의 변화이다. 직류전류를 인가하였을 경우와 환원전극 표면에서의 구리 이온이 확산할 수 있는 충분한 시간을 준 펄스전

류를 인가하였을 경우가 보다 미세한 결정립을 얻는데 유리하다고 알 수 있다.

첨가제를 함유한 도금액에서 전류 인가 형태를 변화시키면서 표면형상을 관찰하였다. 첨가제를 함유한 도금액에서도 펄스전류를 인가한 경우 결정립의 미세화를 이룰 수 있었다. 그러나 SPS를 사용한 경우 역펄스 방법을 사용한 경우 오히려

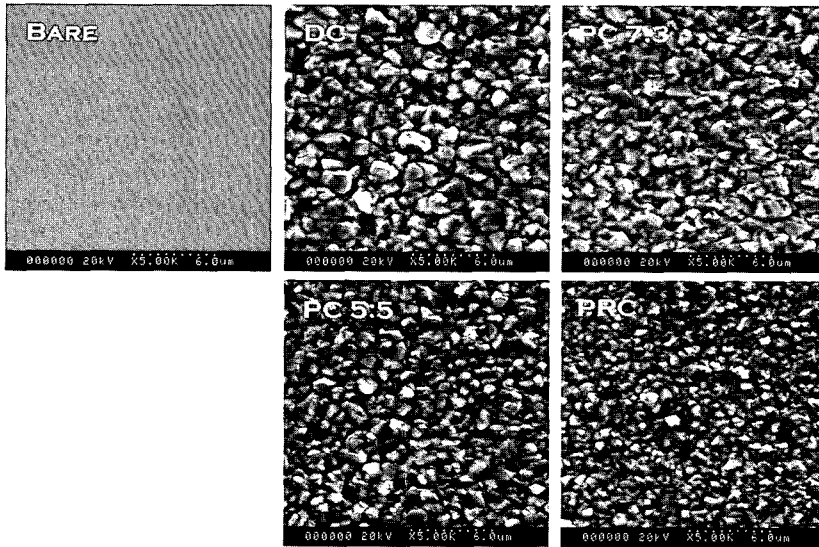


Fig. 4. SEM image-surface after copper electroplating :stock solution.

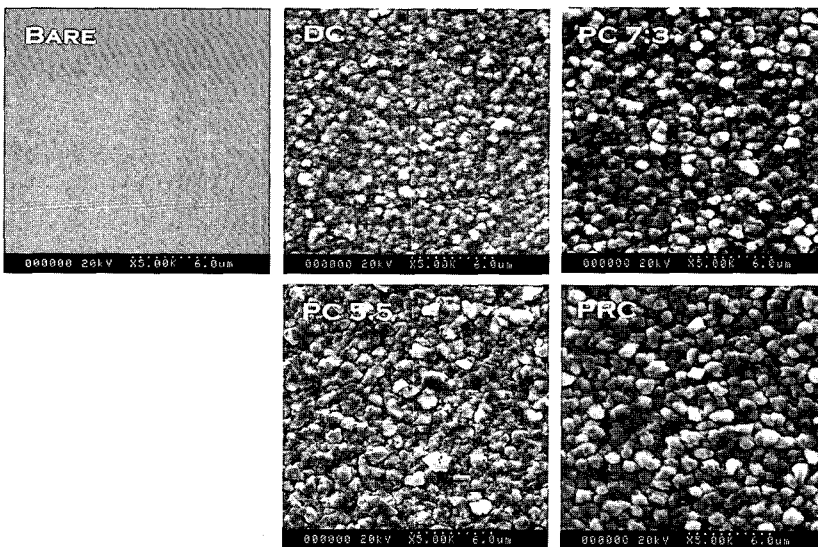


Fig. 5. SEM image-surface after copper electroplating :stock solution +PEG/Cl +MPSA.

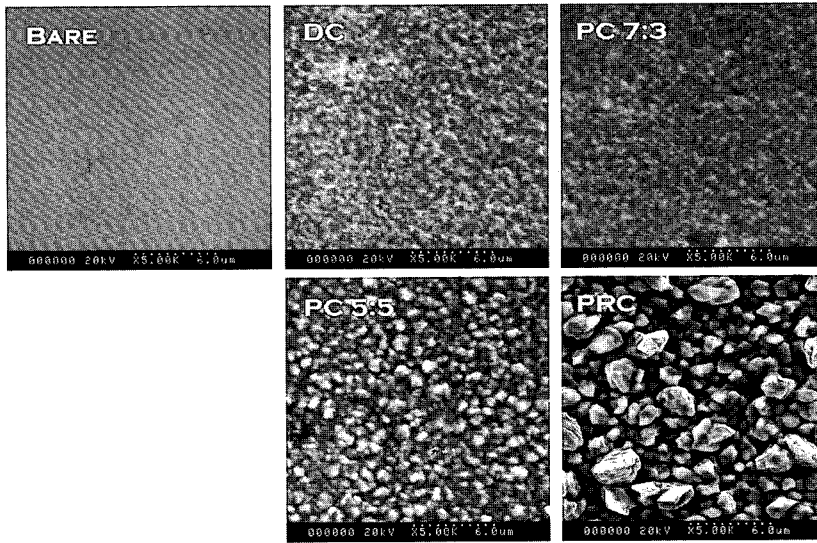


Fig. 6. SEM image-surface after copper electroplating :stock solution + PEG/Cl +SPS.

거친 형상을 나타냄을 알 수 있다. 이는 MPSA를 사용하여 역펄스 방법을 사용한 경우와는 다른 결과이며 MPSA를 사용한 경우에는 모든 전류밀도에서 고른 도금 촉진 효과를 나타내는 것이 관찰되었다. 즉, 전류의 인가 형태와 첨가제를 조절함으로써 via의 크기에 따라 원하는 결정립의 크기를 얻을 수 있도록 조절이 가능하다는 것을 알 수 있다.

### 3.3 Via filling

RIE로 형성되고 확산방지층과 전도층이 형성된 via에 앞에서 얻어진 결과를 토대로 구리도금을 하였다. Fig. 7은 via 내부에 구리의 결함이 없이

성공적으로 충전된 결과 사진이다. 일부 보이는 결함은 내부 결함이 아니라 micropore이다. Via의 크기가 다른 경우 조건이 변화하여야 하며 결함 생성없이 최대 도금 속도를 얻는 것이 앞으로의 과제이다.

Fig. 8은 구리 도금중 발생된 여러 가지 형태의 결함을 나타내었다. Via의 입구에서 도금속도가 바닥보다 빨라서 via 입구가 닫히는 현상이 보이며 성공적으로 도금이 잘 되었다고 하더라도 확산방지층이나 전도층의 밀착력이 떨어지는 경우 CMP 전에 도금층이 계면에서 떨어지는 것이 관찰되었다. Via 내부에 기포가 있는 경우나 과전압이 높아져 수소 가스가 생기는 경우 via 내부에도

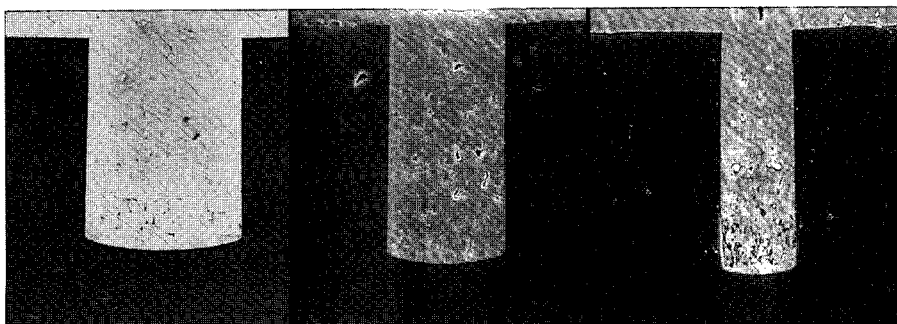


Fig. 7. Defect-free filling with PRC : depth was 100  $\mu$ m and diameters were 100  $\mu$ m, 75  $\mu$ m, 50  $\mu$ m.

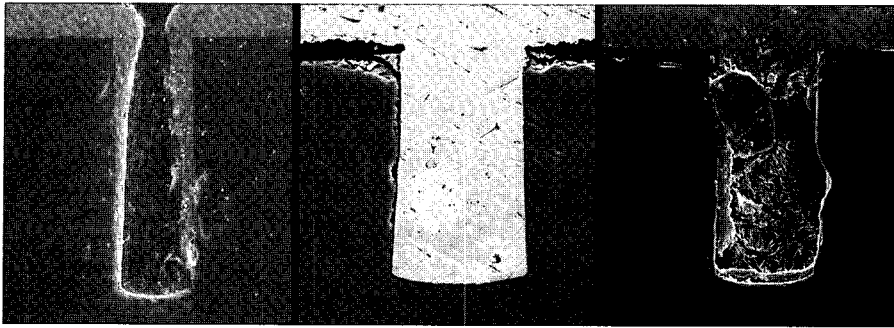


Fig. 8. SEM Images of unsuccessful cases via filling; (a) early entrance closed (b) poor adhesion of sputtered copper substrate (c) bubble trapped in the hole

금이 전혀 되지 않음이 관찰되었다.

#### 4. 결 론

본 연구에서는 구리 전기 도금액의 첨가제 변화에 따른 전기화학적 특성 변화에 대하여 알아보았으며 전류인가 형태에 따른 표면 형상변화에 대하여 알아보았다. Cu/Ta/TaN/SiO<sub>2</sub>/Si 구조의 기판에서 via의 충전 특성에 대하여 고찰하였다.

1) MPSA와 SPS는 전해액내에서 촉진제 (accelerator)의 역할을 하였으며 억제제인 PEG와 함께 grain refiner의 역할을 하여 미세 입자를 얻을 수 있었다. 첨가제만으로 미세입자를 얻을 수는 있으나 via filling을 위해서는 억제제와 같이 사용되어야 한다.

2) 도금층의 결정립 크기는 펄스전류를 인가하였을 경우에 감소되는 것을 알 수 있다. 또한 펄스전류에서 duty cycle은 음극 표면에서의 구리이온의 확산에 중요한 역할을 하는 것을 알 수 있다.

3) 직류전류를 인가하여 도금한 결과 via 입구가 막히고 결함이 발행되는 현상이 관찰되었다. 펄스전류를 인가한 경우에도 결함의 크기 차이는 있으나 결함이 발생하였다. 펄스역펄스전류를 사용한 경우 결함이 없는 via를 형성 할 수 있었다.

#### 감사의 글

본 논문은 한국과학기술원 전자패키지 재료연구센터(CEPM)의 지원으로 수행하였습니다.

#### 참고문헌

1. M. Tan, J. Harb, J. of the Electrochemical Soc., **150**(6) C420 (2003).
2. P. C. Andricacos, C. Uzoh, J. O. Dukovic, J. Horkins and H. Deligianni, IBM J. Res. Dev., **42**, 567 (1998).
3. W. C. Tsai, C. C. Wan, Y. Y. Wang, J. of the Electrochemical Soc., **149**(5) C229 (2002).
4. D. S. Lashmore, Phys. Rev. Lett., **48** 1760 (1982).
5. N. Ibl, J. C. Puipe and H. F. Angeree, Surface Technology, **6**, 287 (1978).
6. W. Paatsch, Metallobrflach, **41**, 39 (1987).
7. E. Budevski, G. Staikov and W. L. Lorenz, Electrochemical Phase Formation and Growth, VCH, 273 (1996).
8. J. J. Kelly and A. C. West, J. of the Electrochemical Soc., **145**, 3472 (1998).
9. D. Josell, B. Baker, C. Witt, D. Wheeler and T. P. Moffat, J. of the Electrochemical Soc., **149**, 637 (2002).