

---

# 무선인식을 위한 적응적 디지털 수신기의 FPGA 설계

서영호\* · 김동욱\*\*

## FPGA Design of Adaptive Digital Receiver for Wireless Identification

Young-Ho Seo\* · Dong-Wook Kim\*\*

### 요 약

본 논문에서는 무선환경을 이용하여 이동하는 객체의 확인 및 위치 추적을 위한 시스템에서 수신부측의 디지털부를 구현하고자 한다. 구현한 시스템의 경우에 UWB를 이용한 통신 시스템을 가정하였고, 전체적인 통신 방식은 직렬 통신(RS-232) 방식을 따른다. 디지털 수신기는 직렬 통신의 입출력을 담당하는 RS-232-type1/RS-232-type2, ID 검출을 위한 ID Detector, 그리고 ID Detector의 올바른 동작을 위해 입력을 버퍼링하는 PISO&Buffer 회로로 구성된다. 디지털 수신기는 UWB를 이용한 시스템의 응용 목적에 따라서 최소의 하드웨어 자원을 이용하면서 구현하고자 하였다. 따라서 다중 ID에 대해서 내부적인 반복 검출 방법으로 원래의 패턴과 상관성을 검사한다. 또한 기본 ID를 내장하고 있어 송신 신호에 대해서 즉각적인 검출이 가능하고, 다른 시스템과의 호환성을 고려하여 ID 패턴의 내용 및 길이를 프로그래밍하여 사용할 수 있다. 구현된 하드웨어는 Xilinx의 XC2S100PQ208-5 칩에 사상하였고 727(30%)개의 셀을 이용하면서 해당 칩에서 75MHz(13.341ns)의 clock frequency로 동작할 수 있었다.

### ABSTRACT

In this paper we propose and implement a digital part of a receiver system for identifying a moving object and its tracking position in wireless environment. We assumed UWB(Ultra Wide Band)-based communication system for target application and used serial communication method(RS-232). The proposed digital receiver consists of RS-232-type1/RS-232-type2 for input and output of serial communication, ID Detector for detecting IDs, and PISO&Buffer circuit to buffer input signals for appropriate operation of ID Detector. We implemented the digital receiver with minimal hardware(H/W) resource according to target application of UWB-based communication system. So it correlates input patterns with pre-stored patterns though repeated detecting method for multiple IDs. Since it has reference patterns in the pre-stored form, it can detect various IDs instantly. Also we can program content and size of reference patterns considering compatibility with other systems. The implemented H/W was mapped into XC2S100PQ208-5 FPGA of Xilinx, occupied 727(30%) cells, and stably operated in the clock frequency of 75MHz(13.341ns).

### 키워드

Wireless identification, Adaptive digital receiver, UWB, VLSI, FPGA

---

\* 유한대학교 전자정보과

접수일자 : 2005. 2. 16

\*\* 광운대학교 전자재료공학과 디지털 설계 및 테스트 연구실

## I. 서론

21세기 최대의 화두인 유비쿼터스 컴퓨팅의 개념은 “always connected(상시접속성)”, “broadband network(광대역 네트워크)”, 그리고 “every device in one network(모든 기기를 하나의 네트워크로)”라는 키워드로 대변할 수 있다. 이러한 개념에 의해 사용자와 네트워크의 다양화 및 유통되는 콘텐츠의 대용량화, 그리고 네트워크에 접속되는 기기의 증대로 인하여 새로운 기술의 발전이 이루어지게 되었다. 이로 인한 시장창출은 현대 과학이 제공해 주었던 그 어떤 효과보다 더 지대할 것으로 예상된다[1][2]. 유비쿼터스 센서 네트워크(ubiquitous sensor network, USN)란 필요한 것(혹은 곳)에 전자태그를 부착하고, 이를 통하여 사물의 인식정보를 기본으로 주변의 환경정보(온도, 습도, 오염정보, 균열정보 등)까지 탐지하여 이를 실시간으로 광대역 통합망에 연결하여 정보를 실시간으로 전송 및 관리하는 것으로, 궁극적으로 모든 사물에 연산 및 통신 기능을 부여하여 “anytime”, “anywhere”, 그리고 “anything” 통신이 가능한 환경을 구현하기 위한 유비쿼터스 네트워크로 발전한다. 이는 이제까지의 사람중심의 정보화에서 사람과 사물이 통신을 통해 지능적으로 결합되어 협동 기반 상황 인지 기능을 구비함으로써 정보화의 지평을 확대시킬 수 있는 신 정보화의 출현을 의미한다. 이러한 신 정보화의 개념을 구현하기 위해 무선인식 혹은 식별 기술과 관련된 AutoID 기술이 가장 중요한 역할을 차지한다[3][4][5][6].

무선인식 분야는 생체, 바코드, 마그네틱 등의 인식과 달리 비접촉식의 사용이 가능하여 일대 다수의 인식이 가능한 장점이 있다. 그러나 다수의 인식은 처리속도와 수신되는 데이터 간의 구별, 그리고 충돌 등의 문제를 발생시키고, 이는 데이터 손실로 이어질 수 있다. 충돌 방지는 주파수 대역을 할당하여 다채널을 사용함으로써 데이터 충돌 방지가 가능하지만, 다채널을 할당하는 데는 계가 있고, 시스템 설계가 복잡한 문제점이 있다. 그래서 단일 채널에서 데이터의 원활한 처리가 필요하고 단일 채널에서의 데이터 충돌을 방지할 목적으로 영국의 peter와 hawkers는 시간 영역 충돌 방지 방법에 이진 트리검색 알고리즘을 적용하였다. 무선인식을 위한 방식은 다양한 방식이 논의 및 개발되고 있는데 본 논문에서는 UWB(ultra-wide band)를 기

반의 시스템에 적용이 가능한 수신시스템을 제안하여 구현하고자 한다[7][8].

UWB 무선 통신 기술은 매우 낮은 전력을 사용하여 초광대역의 주파수 대역으로 디지털 데이터를 전송하는 차세대 무선 전송 기술이다[9][10][11]. 현재 무선 통신 분야에서는 한정된 주파수 자원에 비해 주파수에 대한 수요는 급증하고 있다. 이러한 문제를 해결하는 한 방법으로 기존의 통신 시스템의 주파수 스펙트럼을 공유함으로써 주파수 자원을 좀 더 효율적으로 사용할 수 있는 UWB 통신 방식이 관심을 모으고 있다. UWB 기술은 1980년대부터 군사용으로 연구가 진행되어왔고, 1998년부터 UWB 기술의 발전이 이루어짐에 따라서 2000년도에는 응용 기술을 적용한 제품의 시연이 시작되었다. 미국의 FCC는 기술의 잠재성을 인정하여 지난 2002년 2월 UWB 기술의 상업용 응용을 승인하였다[12][13]. 이 승인은 UWB 신호가 기존 시스템에 대한 간섭을 일으키므로 그 응용분야를 구분하여 전력의 세기를 제한하고 있다. 그럼에도 불구하고 초저전력, 초고속 통신의 가능성과 기대로 관심이 커지고 있으며, 다수의 동시 사용자, 고정밀 레이다 등 응용분야가 다양하여 연구가 활발하다. 초기 응용분야로 무선 홈 네트워크의 구현을 목표로 하고 있으며, 이러한 기술적인 특징의 UWB 기술은 향후 IT 분야에서 중요한 기반 기술이 될 것으로 예상된다[14][15][16].

본 논문에서는 객체의 확인 및 위치 인식을 위한 시스템에서 디지털 수신기를 구현하고자 한다. 디지털 수신기는 직렬 통신의 입출력을 담당하는 RS-232-type1/RS-232-type2, ID 검출을 위한 ID Detector, 그리고 ID Detector의 입력을 버퍼링하는 PISO&Buffer 회로로 구성된다. 디지털 수신기는 UWB를 이용한 통신 방식을 기초로 하고 응용환경에 적합하게 최소의 하드웨어 자원을 이용하면서 구현하고자 하였다.

본 논문은 다음과 같이 구성된다. 먼저 2장에서는 전반적인 무선 인식 시스템에 대해서 설명하고 3장에서는 디지털 수신기의 구조 및 동작에 대해서 나타낸다. 4장에서는 구현 결과를 보이고 5장에서 결론을 맺는다.

## II. UWB 기반의 무선인식 시스템

UWB를 이용한 무선인식 시스템은 크게 송신(TX)부와 수신(RX)부로 구성한다. 그림 1에 나타낸 것과

같이 구현한 송신부는 크게 디지털부와 RF 혹은 아날로그 부로 나누어진다. 송신부(TX부)의 디지털부는 채널 특성을 기반하고, 상관 특성이 좋은 패턴을 ID로 하여 RTC, MCU와 부가회로로 구성하는데, ID 정보를 매우 작은 펄스폭을 가지는 펄스열로 변환하는 동작을 수행한다. RTC를 통해 다중의 송신부들은 시간적으로 동기하여 동작을 시작하고 게이트 지연을 이용해서 시스템 클럭에 동기된 ID 출력 신호를 작은 펄스열로 변환한다. 게이트 지연을 사용할 경우에 게이트가 가지는 지연에 의존하고 있고 게이트가 가지는 관성 지연에 취약한 단점 등이 있다. 그러나 FPGA의 내부 PLL을 이용한 clock boosting과 phase 조절을 이용하여 펄스를 발생할 경우에 다양한 환경 및 아날로그 부에 유연성있는 회로를 구성할 수 있다.

디지털부의 경우에도 유사한 역구조를 가지고 있다. 수신부로 전송된 신호는 대역필터와 LNA를 통과한 후 Detector에서 신호의 SNR이 계산되어 출력되며 이 전력을 이용하여 코드 동기를 확보하고 복조한다. 디지털화된 신호는 수신단의 디지털 수신기를 통해서 다중 ID를 검출한다.

### III. 적응적 디지털 수신기

본 장에서는 디지털 수신기의 구조 및 동작에 대해서 설명한다.

#### 3.1. Gold Sequence

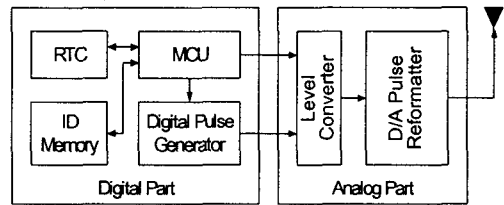
##### 3.1.1. Gold Sequence의 개요

일반적으로 gold sequence는 좋은 cross-correlation 특성을 보이는 2개의 원시 다항식으로부터 얻어진다. gold sequence 집합은 식 (1)과 같이 정의한다.

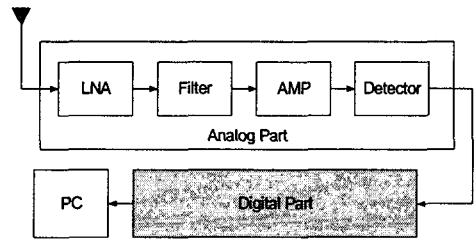
$$G(u, v) = u, v, u \oplus v, u \oplus Tv, u \oplus T^2v, \dots, u \oplus T^{N-1}v \quad (1)$$

여기에서 원시 다항식으로부터 얻어진 시퀀스인 u와 v는  $N(=2n-1)$ 의 주기를 가지고 preferred pair라 부른다. T는 round-left-shift 동작을 나타내고  $\oplus$ 는 2의 모듈라 덧셈을 나타낸다.  $G(u, v)$ 는 N의 주기를 가지는  $N+2$ 개의 시퀀스를 포함한다.

그림 2에 나타난 것과 같이 gold sequence 생성기는 두개의 PN sequence 생성기를 사용한다. PN sequence 생성기의 출력은 그림 2와 같이 XOR 연산을 거쳐 gold sequence를 만들어 낸다.



(a) TX부



(b) RX부

그림 1. UWB를 이용한 ID Tracking 시스템 (a) TX부(송신부) (b) RX부(수신부)

Fig. 1. ID Tracking system using UWB (a) TX part(transmitter) (b) RX part(receiver)

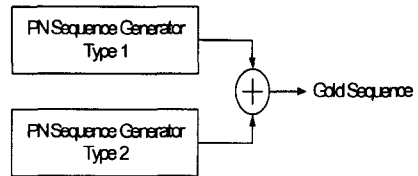


그림 2. PN sequence 생성기를 이용한 gold sequence 생성기

Fig. 2. Gold sequence generator using PN sequence generator

##### 3.1.2. Gold Sequence 생성회로

ID 생성을 위한 Gold Sequence 생성회로는 그림 3과 같다. 그림 3은 일반적인 gold sequence 생성회로로써 두개의 LFSR(linear feedback shift register)을 사용하고 두 개의 출력열 중 하나를 쉬프트한 후 두 개의 출력열을 XOR를 취하여 gold sequence를 생성한다. 총 31개의 gold sequence가 발생하는데 이 중에서 일부 혹은 전부를 사용할 수 있다.

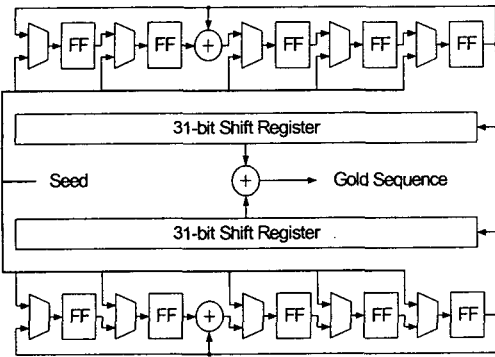


그림 3. Gold Sequence 발생기의 구조  
Fig. 3. Architecture of gold sequence generator

3.2. 디지털 수신기의 구조

디지털 수신기의 전체 구조를 그림 4에 나타냈다. 구현한 시스템의 경우에 전체적인 통신 방식은 직렬 통신(RS-232) 방식을 따른다. 디지털 수신기는 직렬 통신의 입출력을 담당하는 RS-232-type1/RS-232-type2, ID 검출을 위한 ID Detector, 그리고 ID Detector의 올바른 동작을 위해 입력을 버퍼링하는 PISO&Buffer 회로로 구성된다. 아래에 각 블록에 대해 자세하게 설명하였다.

- 1) RS-232-type1 : 수신기에서 수신된 신호들은 아날로그 부를 통해서 디지털 형태로 변환되고, 이 디지털 신호들은 RS-232 통신 방식에 따라서 디지털부로 전달된다. RS-232-type1 블록은 RS-232 통신 방식으로 아날로그부로부터 입력된 신호를 해석하는 역할을 담당한다. RS-232-type1은 직렬 입력(RXD)에 대해서 데이터를 병렬로 출력(8-bit)한다. 구현된 하드웨어는 9.6Kbps의 성능으로 구성되어있고 패리티 비트를 사용하지 않는다. 9.6kbps의 동작에 맞게 104us 주기의 클록을 사용한다.
- 2) PISO & Buffer : 입력되는 데이터를 ID Detector로 전달하는 역할을 한다. 입력된 데이터는 8비트의 병렬 데이터를 직렬 데이터로 변환하고 적절한 시간적인 버퍼링을 수행한다. RS-232-type1의 경우에 104us 주기의 클록을 사용하고 ID Dectector는 40ns 주기의 클록을 사용하므로 두 블록간의 시간적인 버퍼링은 필수적이다.
- 3) ID Detector : 입력된 데이터를 미리 정해진 순서

와 방법에 따라서 ID를 검출하고 몇 번째 ID인지 인식한다. 이러한 ID의 인식을 통해서 현재 수신기 근처에 있는 송신기에 대한 정보를 알아낸다. ID Detector는 31개 ID에 대해서 구별이 가능하고, 내부적으로 하나의 비트 상관기를 내장하고 있다. 한 개의 비트 상관기만을 사용하므로 다수의 ID에 대해서 반복적으로 ID 검출 동작을 수행한다. ID Detector는 내부에 저장된 reference pattern과 입력된 데이터와의 상관성을 조사하여 ID의 검출/인식 유무(detect 신호)와 ID 번호(ptrn\_state 신호)를 병렬로 출력한다.

- 4) RS-232-type2 : 본 블록은 ID Dector로부터 출력된 신호(detect, ptrn\_state)를 PC로 전달하는 역할을 담당한다. 병렬 입력을 RS-232 통신 방식에 맞추어서 직렬로 출력(TXD to PC)한다. RS-232-type2에서도 9.6kbps의 전송속도로 통신이 이루어진다.

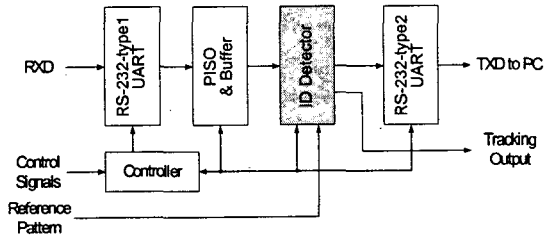


그림 4. RX부의 디지털부  
Fig. 4. Digital part of RX part in Fig. 1 (b)

그림 4의 RX부의 디지털부 중에서 가장 핵심 블록인 ID Detector를 그림 5에 상세히 나타냈다. 입력되는 직렬 데이터와 저장된 패턴(ID)과의 상관도를 검사하는 Bit Correlator, 패턴을 저장하고 있는 RPR(reference pattern register), 다른 시스템과의 호환성을 고려하여 프로그래밍이 가능한 PPR(programmable pattern register), 검사된 상관도를 채널특성에 따라 ID의 검출 유무를 판별하는 TD 블록들로 구성된다. 직렬 입력의 유효성 여부는 "input valid" 신호로 결정되는데, "input valid"가 계속적으로 직렬 입력이 유효하다고 지시하는데 상관도를 만족하는 입력 패턴이 판별되지 않을 경우가 발생할 수 있다. 이 경우 채널 특성에 따라서 상관도 판별의 기준이 되는 문턱값(threshold)를 낮추고 또다시 입력 신호를 검사하여 적응적인 동작을 수행한다.

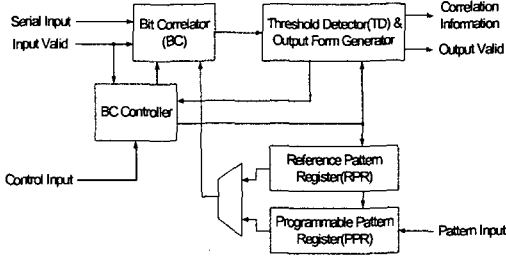


그림 5. 디지털부의 ID Detector 구조  
Fig. 5. Architecture of ID Detector in digital part

그림 5의 ID Detector 회로에서 가장 중요 블록인 Bit Correlator를 그림 6에 자세히 나타냈다. 그림 6에서 볼 수 있듯이 회로는 4단계(stage1~stage4)의 파이프라인 구조를 가지고 직렬 입력에 대해서 병렬 상관도 검사를 수행한다. 병렬로 상관도 검사를 수행할 경우에 속도의 저하를 위해 파이프라인 구조로 설계하였고 각 단계는 입력-비교-덧셈-덧셈으로 구성된다. 따라서 현재 입력된 신호를 포함한 상관도 검사 결과는 4 클록 후에 출력된다. 파이프라인 동작은 아래와 같이 구성된다.

- 1) Stage 1 : 직렬 입력 및 데이터 정렬(Shift Register), reference pattern의 교체(ID를 바꾸어야 할 시점에서만 적용)
- 2) Stage 2 : 입력된 데이터와 Reference Pattern의 병렬 비교
- 3) Stage 3 : 병렬 비교결과에 대한 4-bit 단위의 덧셈(5-bit 결과 출력)
- 4) Stage 4 : 병렬 비교결과에 대한 5-bit 단위의 덧셈(6-bit 결과 출력)

입력된 1 비트와 이전에 저장된 30비트는 합쳐져서 31 비트를 이루고 내부에 저장된 ID 패턴과 비교(Comp)를 통해서 각 비트열들의 상관도 결과를 추출한다. 다음 파이프라인 단계에서 상관도 결과를 일차적으로 합하고, 그 다음 파이프라인 단계에서 최종적인 상관도 결과를 합한다. 그 후 다음 클록에서 판정을 위해 TD로 결과를 전송한다.

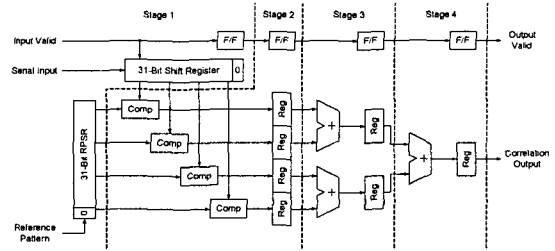


그림 6. Bit Correlator 구조  
Fig. 6. Architecture of Bit Correlator

### 3.3. 수신기의 동작

수신기에 의해서 입력된 데이터열이 저장된 ID 패턴과 함께 상관도 검사를 위해 반복적으로 동작하는 방식을 그림 7에 나타냈다. 최대 31개의 패턴, 즉 31개의 ID를 검출할 수 있는데 각 패턴을 시간적인 순서에 따라서 순차적으로 검사한다. 30개의 패턴이 지나야지만 다시 처음의 패턴을 검사하는데 이 과정이 길게 보일 수도 있지만 실제로 nano second 단위로 동작하므로 일반적인 속도로 움직이는 개체들에 대해서는 상당히 짧은 시간에 해당한다. 각 패턴 검사 영역(Pattern 1~31)은 패턴 길이의 10배에 해당하는 검사길이(1~10)를 가진다. 이는 310번의 상관도 검사를 하는 것으로 이들의 평균 혹은 임계값 설정에 의해서 ID 검출 횟수로부터도 ID 검출에 대한 판별 기준을 설정할 수 있다. 단일 검사길이는 31비트의 레지스터 동작에 해당하고 31번의 상관도 검사를 병렬적으로 수행할 수 있다. 만일 패턴을 일부 사용하더라도 전체 검사 시간은 실제로는 매우 짧은 시간에 반복적으로 일어나기 때문에 대기 지연 등이 표면적으로 드러나지 않는다.

저장된 패턴을 사용하지 않고 다른 시스템(송신기)를 사용하고자 할 경우에는 ID 패턴을 새로이 프로그래밍 해야 하는데 이 시간 동안에도 상관도 검사를 수행할 수 있다. 그림 5에서 나타냈듯이 RPR과 PPR은 서로 독립적인 하드웨어로 구현되어 있어 서로의 동작에 영향을 주지 않는다. 즉, 다른 ID의 접근이 예상될 경우에 Host 시스템에 의해서 일부 ID 패턴을 현재 ID 패턴의 검사와 동시에 입력시킨다. 따라서 현재 ID 패턴을 이용한 상관도 검사가 끊어지지 않으면서 새로운 시스템 접근에 대해서 유연하게 동작을 이어갈 수 있다.

그림 8에는 이와 같은 ID 검출 절차를 유사코드로 나타냈다.

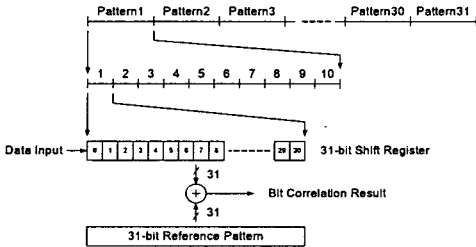


그림 7. 다중 Pattern에 대한 인식 방식  
Fig. 7. Identifying method for multiple pattern

```

Define NumberofPattern 31
Define IterationofPattern 10
Define BitofPattern 31
Define ID_Detect() Output function
Define OperationStart External start signal
Define OperationEnd External end signal
Define x(n) Input data
Define Pi(n) Reference pattern
ID_Tracking_Procedure() {
  if (OperationStart=0) Null;
  else {
    while(OperationEnd=0) {
      for(i:0-NumberofPattern) {
        for(j:0-IterationofPattern)
          Sum of Bit Correlation =  $\sum_{n=0}^{Bit\ of\ pattern} x(n) \oplus P_i(n)$ ;
          if (SumofBitCorrelation ≥ Threshold)
            ID_Detect();
      }
    }
  }
}
    
```

그림 8. ID 검출 절차를 위한 유사코드  
Fig. 8. Pseudocode for procedure of ID detecting

#### IV. 실험결과 및 검증

##### 4.1 하드웨어 구현 결과

구현된 하드웨어는 Xilinx의 FPGA에 사상하였는데 사용된 칩은 XC2S100PQ208-5이다. 해당 칩에서 727(30%)개의 셀을 이용하면서 75MHz(13.34ns)의 clock frequency로 동작할 수 있었다. 사상 결과와 같이 구현된 하드웨어는 최소의 하드웨어 자원을 가지면서 고속으로 동작이 가능하였고 상위 수준의 FPGA를 사용할 경우에 더욱 좋은 특성을 보일 수 있다.

설계된 하드웨어는 Synplify™를 이용하여 합성하였다. 디지털부의 합성도를 그림 9에 나타냈고 ID Detector의 합성도를 그림 10에 나타냈다. 각 구조는 그림 4 및 그림 5와 유사한 것을 볼 수 있다. 또한 RS-232\_type1(2)과 비트 상관기의 합성 결과를 그림 11와 12에 각각 나타냈다.

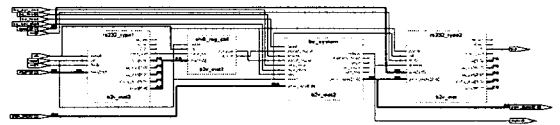


그림 9. 디지털부의 합성도  
Fig. 9. Synthesis result of digital part

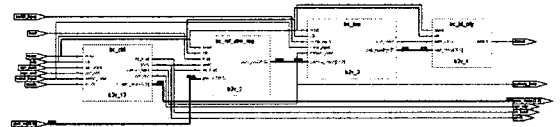


그림 10. ID Detector(bc\_system)의 합성도  
Fig. 10. Synthesis result of ID Detector

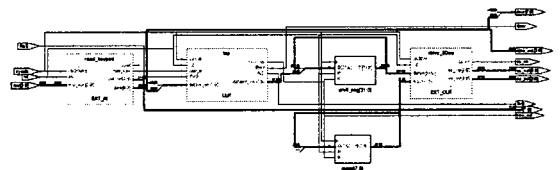


그림 11. RS232\_type1(2)의 합성도  
Fig. 11. Synthesis result of RS232\_type1(2)

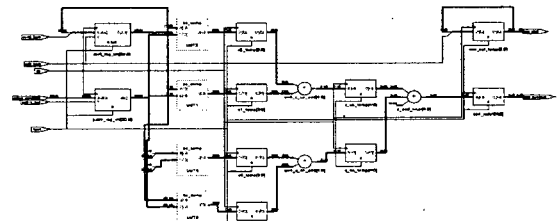


그림 12. 비트 상관기(bc\_top)의 합성도  
Fig. 12. Synthesis result of bit correlator

##### 4.2 동작 검증

구현된 하드웨어는 ModelSim™을 이용하여 시뮬레이션을 수행하고 검증하였다. 또한 테스트 보드를 이용하여 동작을 확인하였다.

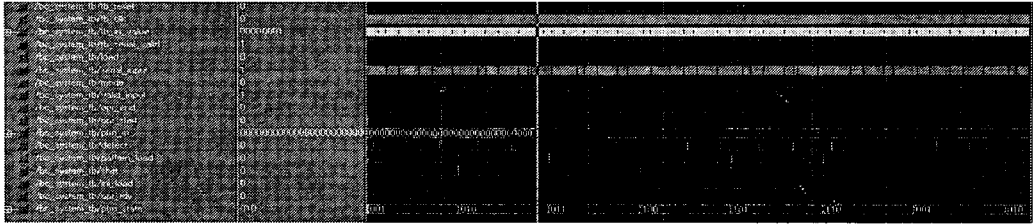


그림 13. ID Detector의 Simulation 결과  
Fig. 13. Simulation result of ID Detector

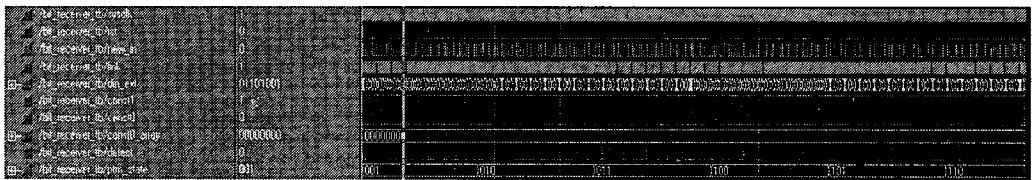


그림 14. 수신기의 Simulation 결과  
Fig. 14. Simulation result of receiver

그림 13에는 ID Detector의 시뮬레이션 결과를 나타내고 있다. 입력으로는 5가지 ID를 일정 순서와 길이로 반복적으로 사용하였고 해당 위치에서 올바르게 검출되는 것을 확인할 수 있다. 그림에서 “ptrn\_state”는 검출하고 있는 ID 패턴의 상태를 표시하고 있고, “detect” 신호는 검출 여부를 알려주고 있다. “shift” 신호는 내부에 저장된 ID 패턴을 변경하는 내부신호로써 제어기에 의해서 발생된다. “shift” 신호의 발생에 따라서 “ptrn\_state” 상태가 바뀌는 것을 관찰할 수 있다.

그림 14에는 전체 수신기의 동작에 대한 시뮬레이션 결과를 나타냈는데 4번째 패턴(“ptrn\_state”=“011”)을 검출하는 상황(“detect”=‘1’)을 보이고 있다.

입력을 버퍼링하는 PISO&Buffer 회로로 구성된다. 또한 가장 중요한 블록인 ID Detector는 입력되는 직렬 데이터와 저장된 패턴(ID)과의 상관도를 검사하는 Bit Correlator, 패턴을 저장하고 있는 RPR(Reference Pattern Register), 다른 시스템과의 호환성을 고려하여 프로그래밍이 가능한 PPR(Programmable Pattern Register), 채널 특성에 따라 ID의 검출 유무를 판별하는 TD 블록들로 구성하였다. 수신기는 채널 특성에 따라서 고속의 적응적인 동작이 가능하였고 최소의 하드웨어를 이용하였다. 설계된 하드웨어는 Xilinx의 XC2S100PQ208-5 칩에 사상하였고 727(30%)개의 셀을 이용하면서 해당 칩에서 75MHz(13.341ns)으로 고속의 동작이 가능하였다.

## V. 결론

본 논문에서는 이동하는 객체의 ID를 확인하는 시스템에서 수신부측의 디지털 수신기를 구현하고 검증하였다. 구현한 시스템은 전체적으로 직렬 통신(RS-232) 방식을 따른다. 디지털 수신기는 직렬 통신의 입출력을 담당하는 RS-232-type1/RS-232-type2, ID 검출을 위한 ID Detector, 그리고 ID Detector의 올바른 동작을 위해

## 참고문헌

- [1] Klaus Finkenzeller, RFID Handbook, Second Edition, John Wiley & Sons, Ltd., England, 2003.
- [2] 이근호, 무선식별(RFID) 기술. TTA 저널, 제89호, 2003.
- [3] Hush, Don R. and Wood, Cliff. “Analysis of Tree Algorithm for RFID Arbitration”, IEEE International

Symposium on Information Theory, pp. 107-, IEEE, 1998.

[4] u-센서 네트워크 구축 기본계획(안), 정보통신부, 2004. 2.

[5] Auto-ID Center, "Auto-ID Object Name Service (ONS) 1.0", August 2003.

[6] Smart Medicine, 미국 MIT AutoID 센터 보고서, 2003.

[7] Stephen August Weis, Security and Privacy in Radio-Frequency Identification Devices, Master's Thesis, MIT. May. 2003.

[8] Noboru Koshizuka, "The latest trend of ubiquitous ID", in RFID user forum Spring 2004 of RFID technology, Mar. 2004.

[9] K. Siwiak, "Ultra-Wideband Radio : Introducing a New Technology", IEEE VTC-2001, May. 2001.

[10] T. Mitchell, "Low Power Radio : Broad is the Way", IEEE Review, Jan. 2002.

[11] M. Z. Win and R. A. Scholtz, "Comparisons of analog and digital impulse radio for multiple-access communications" in Proc. IEEE int. Conf. on Commun., Vol. 1. pp.91-95. Jun. 1997.

[12] <http://www.uwb.org>

[13] <http://www.fcc.gov>

[14] P. Hernandez, J. D. Sandoval, F. Puente, F. Perez, "Mathematical model for a multiread anticollision protocol", IEEE Pacific Rim Conference Communications Computers and signal Processing, PACRIM, Vol. 2, pp. 647~650, 2001.

[15] Klaus Finkenzler, "RFID Handbook-Radio Frequency Identification Fundamentals and applications", John Wiley & son, LTD., 1999.

[16] P. Hawkes, "Anti-collision and tag Selection Methods for Grouped 'Vicinity' Card and RFID Tags", IEE Colloquium. RFID Technology (Ref. No. 1999/123), pp.7/1~7/31, 1999.

저자소개

서영호(Young-Ho Seo)



1999년 2월 광운대학교 전자재료 공학과 공학학사  
 2001년 2월 광운대학교 공학석사  
 2004년 8월 광운대학교 전자재료 공학과 공학박사

2000년 3월~2001년 12월 인티스닷컴(주) 연구원  
 2003년 6월~2004년 6월 한국전기연구원 연구원  
 2004년 10월~현재 유한대학교 연구교수  
 ※ 관심분야 : Image Processing/Compression, 워터마킹, 암호학, FPGA/ASIC 설계

김동욱(Dong-Wook Kim)



1983년 2월 한양대학교 전자공학과 공학학사  
 1985년 2월 한양대학교 공학석사  
 1991년 9월 Georgia공과대학 전기공학과 공학박사

2000년 3월~2001년 12월 인티스닷컴(주) 연구원  
 1992년 3월~현재 광운대학교 전자재료공학과 교수  
 ※ 관심분야 : 디지털 VLSI Testability, VLSI CAD, DSP 설계, Wireless Communication