
더블게이트 MOSFET의 서브문턱스윙에 대한 연구

정학기* · Sima Dimitrijevic**

A Study on the Subthreshold Swing for Double Gate MOSFET

Hak Kee Jung* · Sima Dimitrijevic**

이 논문은 2004년도 군산대학교 교수장기해외연수경비의 지원에 의하여 연구되었음

요 약

이 연구에서는 더블게이트 MOSFET(DGMOSFET)에 대한 해석학적 서브문턱스윙(Subthreshold swing; SS) 모델을 제시하였다. 이 모델에서는 기존에 사용되었던 근사모델보다 채널길이, 채널두께가 10nm 정도로 매우 작을 때에 더 정확한 결과를 유도할 수 있다. 본 연구에서 제시한 모델의 타당성을 증명하기 위하여 계산결과를 Medici 시뮬레이션 결과와 비교하였으며 잘 일치함을 관찰하였다. 본 연구에서 제시한 모델을 사용하여 DGMOSFET 설계시 중요한 채널길이, 채널두께 그리고 게이트 산화막의 두께 등의 요소 변화에 대한 SS의 변화를 관찰하였다. 관찰 결과 제시한 모델은 나노급 DGMOSFET 소자 설계시 유용한 자료를 공급할 것이다. 각 요소중 채널길이와 채널두께의 비는 작을수록 SS값이 향상됨을 알 수 있었으며 특히 산화막 두께가 작을 때 SS값은 현저히 작아지는 것을 알 수 있었다. 또한 나노급 DGMOSFET 소자 설계를 가능하게 하기 위하여 유전율이 큰 게이트 유전체 재료가 개발되어야 할 것이다.

Abstract

An analytical subthreshold swing (SS) model has been presented for double gate MOSFET(DGMOSFET) in this study. The results calculated by this model are more precise for about 10nm channel length and thickness than those derived from the previous models. The results of this model are compared with Medici simulation to verify the validity of this model, and good agreements have been obtained. The changes of SS have been investigated for various channel lengths, channel thicknesses and gate oxide thicknesses using this model, given that these parameters are very important in design of DGMOSFET. This demonstrates that the proposed model provides useful data for design of nano-scale DGMOSFET. It is known that the SS is improved to smaller ratios of channel thickness vs channel length and is smaller in very thin oxides. New gate dielectric materials with high permittivity have to be developed to enable design of nano-scale DGMOSFET.

키워드

double gate MOSFET subthreshold swing nano scale

* 군산대학교 전자정보공학부
** 호주 그리피스대학 전자공학과

I. 서론

오늘날 반도체산업의 초고속 성장은 전자 및 정보산업의 발전에 기틀을 제공하였으며 실리콘 MOSFET를 이용한 집적회로는 거의 모든 전자기기에 사용하여 계산, 신호처리, 정보저장 등에 이용되고 있다. 반도체업계에서는 지난 30여년 동안 MOSFET의 게이트길이를 줄이는 스켈링에 의하여 회로의 동작속도 및 전력소비 문제를 개선하여왔다. 그러나 이러한 스켈링이론은 소자의 길이가 나노단위까지 감소하면서 공정 및 물질의 한계에 부딪쳐 더 이상 적용할 수 없게 되었다. 이와같이 MOSFET가 나노스케일까지 작아짐에 따라 단채널효과(Short channel effect ; SCE)효과를 줄일 수 있는 소자개발이 시급하게 되었으며 이에 대한 대안으로 더블게이트(Double gate; DG) MOSFET가 제안되어 많은 연구가 진행되고 있다[1-3]. DGMOSFET는 벌크 MOSFET에서 발생하는 SCE를 감소시켜 더욱 미세한 구조를 제조할 수 있는 장점이 있다.

ITRS(International Technology Roadmap for Semiconductors)2001에 따르면 MOS트랜지스터의 게이트길이는 2016년 9nm까지 감소할 것이며 DGMOSFET와 그의 다양한 구조들은 미세구조 기술에서 가장 각광받는 소자가 될 것으로 예측했다.[4] DGMOSFET는 감소된 SCE(Short Channel Effect) 효과, 큰 유도 전류 등 뿐만 아니라 두 게이트가 서로 독립적으로 동작하면서 정전압특성 및 핫캐리어 커플링을 갖는 아날로그나 RF회로에서 새로운 분야에 적용할 수 있을 것으로 예측했다.

또한 DGMOSFET는 스켈링특성을 향상시키고 이상적인 서브문턱스윙(Subthreshold swing ; SS)을 가지며 대칭적 구조에서는 거의 2배의 전류를 유도할 수 있는 장점을 지닌다. 반면 공정이 복잡하고 게이트 캐패시턴스가 약 2배이며 현재로서는 공정가격이 비싸다는 단점이 있다.

본 연구에서는 차세대 소자로 각광받는 DGMOSFET에 대한 SS의 해석학적 모델을 제시할 것이다. SS에 대한 연구는 대부분 수치해석적인 시뮬레이션으로 수행되고 있으나 물리적인 개념이 포함된 해석학적 모델이 요구되고 있다. Tosaka등에 의하여 제시된 모델에서는 전류가 SOI 중심에서 주로 흐른

다는 시뮬레이션결과를 인용하였으나 어떠한 물리적 설명도 주어지지 않았으며 포물선 포텐셜 근사를 사용하며 부정확한 분석을 하였다.[5] 또한 Qiang등은 전위분포에서 Exponential 항을 근사시킴으로써 미소 게이트길이를 갖는 DGMOSFET에 대하여 SS값을 과대평가하는 결과를 초래하였다.[6] 이와같이 이전 연구가 부정확한 해석학적 모델을 제시함으로써 보다 정확한 모델이 요구되기에 이르렀다.

이 논문에서는 이차원 포아송 방정식을 채널영역에서 해결함으로써 Medici 시뮬레이션결과와 일치하는 해석학적 SS 모델을 제시하였다. 또한 효율적인 전도흐름의 개념을 이용하여 대칭구조 DGMOSFET의 채널길이, 채널두께, 산화막 두께 및 채널도핑농도에 대한 SS의 의존성을 설명하였다.

II. DGMOSFET의 서브문턱스윙에 대한 해석학적 모델

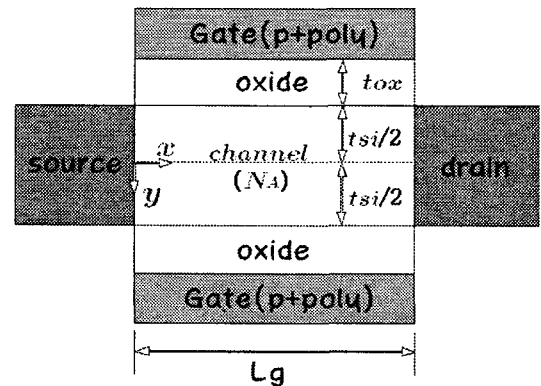


그림 1. 대칭적 DGMOSFET의 구조
Fig 1. Structure of symmetric DGMOSFET

그림 1에 도시한 DGMOSFET에 대하여 완전 공핍(Fully depletion) 조건하에서 서브문턱(subthreshold) 채널 포텐셜(ψ)은 다음과 같은 이차원 포아송방정식에 의하여 근사적으로 표현할 수 있다.

$$\nabla^2 \psi = qN_A / \epsilon_{ox} \quad (1)$$

여기서 q 는 단위전하량이며 ϵ_{ox} 는 실리콘의 유전율

이다. 중첩의 원리를 사용하여 ψ 는

$$\Psi(x, y) = V_{GS} - \Phi_{MS} + U_{1D}(y) + \phi_{2D}(x, y) \quad (2)$$

와 같이 표현되며 여기서 V_{GS} 는 게이트전압, Φ_{MS} 는 게이트-채널간 일함수차이다. 그리고

$$U_{1D}(y) = \frac{V_A}{2} \left(\frac{y^2}{t_{Si}^2} - \frac{1}{4} - \frac{1}{r} \right) \quad (3)$$

이다.[6] 여기서 t_{Si} 는 채널두께, $V_A = qN_A t_{Si}^2 / \epsilon_{Si}$, $r = \epsilon_{ox} t_{Si} / \epsilon_{Si} t_{ox}$ (여기서 t_{ox} 는 게이트 산화막의 두께이며 ϵ_{ox} 는 산화막의 유전율이다.)이다. $V_{GS} - \Phi_{MS} + U_{1D}(y)$ 항은 수직방향의 일차원 포아송 방정식의 해로서 긴 채널 소자에서 이온화된 불순물원자가 채널 포텐셜에 미치는 영향을 나타내고 있다. $\phi_{2D}(x, y)$ 항은 소스/드레인의 영향을 표현한 이차원 라플라스방정식의 해이다. 그림 1에서 각 면의 경계조건을 만족하면서, 특히 포텐셜의 연속조건과 전계변위의 수직방향 연속조건을 Si/SiO₂ 경계에 적용하면

$$\frac{\epsilon_{ox}}{t_{ox}} \phi_{2D}(x, \mp \frac{t_{Si}}{2}) = \pm \epsilon_{Si} \frac{\partial \phi_{2D}(x, y)}{\partial y} \Big|_{y=\mp(t_{Si}/2)} \quad (4)$$

의 조건을 만족하여야 하며 이때 $\phi_{2D}(x, y)$ 는

$$\phi_{2D}(x, y) = \sum_j \Gamma_j \cos \frac{y}{\lambda_j} \left[V_j \left(\sinh \frac{x}{\lambda_j} + \sinh \frac{L-x}{\lambda_j} \right) + V_{DS} \sinh \frac{L}{\lambda_j} \right] / \sinh \frac{L}{\lambda_j} \quad (5)$$

이다. 여기서 λ_j 는 다음을 만족하는 특정 값 (eigenvalues)이다.

$$\begin{aligned} \tan \frac{t_{Si}}{2\lambda_j} &= \frac{r\lambda_j}{t_{Si}} \\ \Gamma_j &= \frac{2\lambda_j}{t_{Si}} \sqrt{1 + \frac{t_{Si}^2}{r^2\lambda_j^2}} / \left(\frac{1}{r} + \frac{1}{2} + \frac{1}{2} \frac{t_{Si}^2}{r^2\lambda_j^2} \right) \\ V_j &= V_{bi} - V_{GS} + \Phi_{MS} + V_A \lambda_j^2 / t_{Si}^2 \end{aligned}$$

V_{bi} 는 빌트인 전압, V_{DS} 는 드레인 전압이다.

식(5)의 급수 합에서 가장 낮은 즉 $j=1$ 의 경우가 가장 지배적이라 할 때 대부분의 캐리어가 이동되어지는 최소 채널 포텐셜 Ψ_{min} 은 $\partial \Psi(x, y) / \partial x = 0$ 에서 구할 수 있다.

이때 전류 I_D 는 자유전자의 총량에 비례하며 이의 밀도는 고전적 볼츠만 통계를 따른다고 가정하면

$$n_m(y) = (n_i^2 / N_A) e^{\Phi_{min} / kT} \quad (6)$$

와 같으며 이때 해석학적 SS 모델은

$$\begin{aligned} SS &= \frac{\partial V_{GS}}{\partial \log I_D} = \left[\frac{\partial \Psi_{min}}{\partial V_g} \right]^{-1} \cdot \frac{kT}{q} \ln 10 \\ &= \left[1 - \left(\Gamma_1 \cos \frac{d_{eff}}{\lambda_1} / \sinh \frac{L_g}{\lambda_1} \right) \cdot d \left(\frac{u}{v} \right) / dV_1 \right]^{-1} \\ &\quad \cdot \frac{kT}{q} \ln 10 \quad (7) \end{aligned}$$

와 같이 구할 수 있으며 여기서 u, v 는 다음과 같이 표현할 수 있다.

$$\begin{aligned} u &= (1 - \cosh \frac{L_g}{\lambda_1}) (\alpha V_1^2 - \beta V_1) + V_1^2 \sinh \frac{L_g}{\lambda_1} \\ &\quad + (\alpha V_1 - \beta) V_{DS} \\ v &= \sqrt{V_1^2 - (\alpha V_1 - \beta)^2} \\ \alpha &= \coth \frac{L_g}{\lambda_1} - \operatorname{csch} \frac{L_g}{\lambda_1}, \quad \beta = V_{DS} \operatorname{csch} \frac{L_g}{\lambda_1} \end{aligned}$$

d_{eff} 는 다음과 같이 정의되는 자유전자의 전도중심을 나타내는 인수로서 $n_m(y)$ 나 $\Psi_{min}(y)$ 의 형태에 의하여 결정할 수 있다.

$$\cos \frac{d_{eff}}{\lambda_1} = \frac{\int_{y=0}^{t_{Si}/2} \cos \frac{y}{\lambda_1} n_m(y) dy}{\int_{y=0}^{t_{Si}/2} n_m(y) dy}$$

이상의 해석학적 모델은 $\exp(-L_g/\lambda_1) \ll 1$ 라는 가정을 도입한 Qiang등이 제시한 모델[6]을 수정한 것이다. 실제로 게이트 산화막의 두께를 1.5nm로 고

정한 후 게이트길이와 채널의 두께를 변화시키면서 본 연구의 모델(SS1)과 Qiang의 모델(SS2)간 오차를 계산한 결과를 그림 2에 도시하였다. 또한 $t_{Si} > L$ 인 경우는 비현실적이므로 계산에서 제외하였다. 그림에서 알 수 있듯이 t_{Si}/L 의 값이 작을 때는 거의 동일한 값을 보이나 t_{Si}/L 이 증가할수록 차이는 더욱 심해져서 t_{Si} 가 10nm일 때 거의 100%정도의 매우 큰 차이를 보이는 경우도 나타나고 있다. 즉 그림에서 알 수 있듯이 게이트길이가 작아지면 Qiang모델은 매우 큰 오차를 나타냄을 알 수 있었다. 그러므로 게이트길이가 작아지고 특히 t_{Si}/L 값이 증가할수록 Qiang모델은 큰 오차를 보일 것이다.

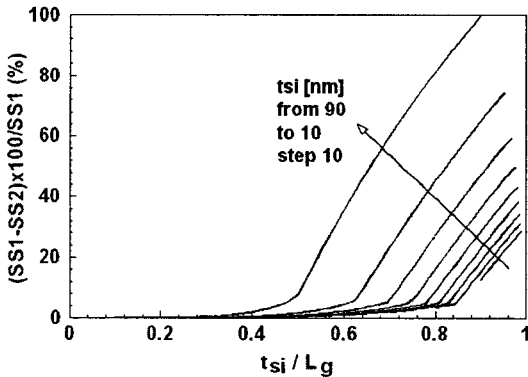


그림 2. Qiang모델과 본 모델간 차이
Fig 2. The difference between Qiang model and this model

본 연구에서 제시한 모델의 유용성을 증명하기 위하여 Medici 시뮬레이션 결과와 본 연구의 결과를 그림 3에 비교하였다. 비교 결과 본 연구에서 제시한 해석학적 모델이 Medici 시뮬레이션결과와 매우 잘 일치함을 알 수 있었다. 본 연구에서 SS값 계산에 사용된 λ_1 값은 해석학적 형태로 나타내기가 어렵고 수치 해석적으로 풀었을 때 계산시간도 매우 짧기 때문에 수치해석적인 방법으로 계산하였다. 그러나 실제로 λ_1 값을 근사적인 해석학적 모델을 사용하였을 때 오차는 3%내외인 것으로 알려져 있으므로[6] 큰 차이를 보이지는 않았으나 t_{Si} 값과 t_{ox} 값이 매우 작을 때에는 근사식에 의한 오차가 증가하므로 반드시 수치해석적인 방법으로 결과를 유도하여야 할 것이다.

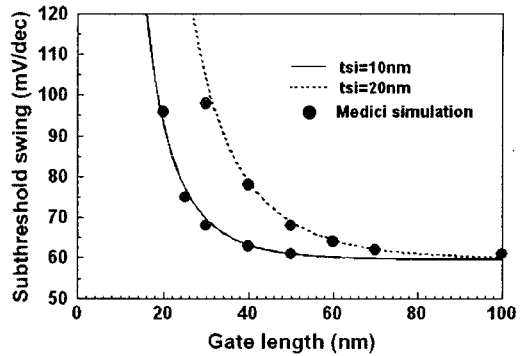


그림 3. Medici 시뮬레이션결과와 본 모델 간 비교
Fig 3. Comparison with Medici simulation and this model

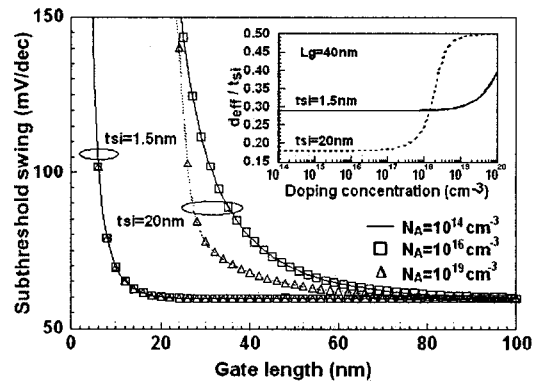


그림 4. 채널도핑에 따른 SS의 변화
Fig. 4 The channel doping concentration dependence of subthreshold swing

III. 제시한 모델에 대한 고찰

제시한 모델 식(7)을 이용하여 계산한 결과에 대하여 고찰하면 먼저 채널내 도핑농도에 대한 영향을 알아보기 위하여 게이트길이를 변화시키면서 SS의 변화를 그림 4에 도시하였다.

그림에서 게이트길이가 증가할수록 SS값은 급격히 감소함을 알 수 있었으며 특히 채널두께 t_{Si} 가 작을 경우, SS는 게이트길이가 증가에 따라 급격히 감소하며 도핑에 대한 영향을 거의 받고 있지 않았다. 이에 대한 이유를 설명하기 위하여 그림 4의 내부에 도핑농도와 전도중심 d_{eff} 의 관계를 도시하였다. 고농도

에서 $U_{ID}(y)$ 는 매우 중요한 영향을 미친다. 즉, 고농도에서는 V_A 값이 크기 때문에 표면 포텐셜 $\psi_{min}(y=\pm t_{Si}/2)$ 이 중심 포텐셜 $\psi_{min}(y=0)$ 보다 매우 크므로 대부분의 전도가 표면을 통하여 이루어진다. 결과적으로 고농도에서는 거의 $d_{eff} = t_{Si}/2$ 가 되어 게이트에 의하여 순간적으로 제어되므로 SS가 급격히 향상되는 것이다. 즉, 채널도핑이 증가함에 따라 전도중심이 S_x/S_xO_2 의 계면으로 근접하여 게이트 전압에 커다란 영향을 받게 된다. 그러므로 SS가 고도핑에서는 급격히 향상됨을 알 수 있다. 농도가 약해지면 $U_{ID}(y)$ 는 더욱 감소하여 더 평탄해져서 전도중심 d_{eff} 는 더 표면에서 깊이방향으로 이동하게 된다. 즉 $d_{eff} < t_{Si}/2$ 이므로 게이트에 의하여 덜 영향을 받아 SS가 증가하게 된다. 그러나 매우 낮은 N_A 에서 $U_{ID}(y)$ 는 무시할 수 있으므로 포텐셜 분포는 이차원효과 즉, ϕ_{2D} 에 의하여만 영향을 받는다. 결론적으로 전도중심 d_{eff} 는 N_A 에 무관하게 되어 SS가 일정해짐을 알 수 있다.

t_{Si} 에 따라 변화하는 SS를 도시한 그림 4의 경우도 도핑농도의 변화에 대한 고찰과 마찬가지로 V_A 와의 상호관계에 의하여 결과를 고찰할 수 있다. t_{Si} 가 20nm일 때는 V_A 가 중요한 인자가 되어 $U_{ID}(y)$ 에 의한 포텐셜분포가 전체 포텐셜분포에 중요한 영향을 미친다. 즉 N_A 에 따라 V_A 가 커다란 변화를 겪으면서 d_{eff} 도 역시 심하게 변화함을 알 수 있다. 이는 SS에 커다란 영향을 미칠 것이다. 그러나 t_{Si} 가 1.5nm일 때는 V_A 가 작아 $U_{ID}(y)$ 는 무시할 수 있으며 이때 채널 포텐셜은 ϕ_{2D} 에 의하여만 영향을 받을 것이다. 그러므로 t_{Si} 가 작을 때는 채널도핑과 관계없이 채널길이에 따라 SS가 변화함을 알 수 있다. 즉 t_{Si} 가 1.5nm로 매우 작을 때는 도핑이 $10^{19}/cm^3$ 까지 증가하여도 거의 일정한 d_{eff} 값을 보인다. 도핑에 관계없이 일정한 깊이에서 전도중심이 형성되므로 t_{Si} 가 1.5nm일 때는 채널도핑이 $10^{19}/cm^3$ 와 $10^{14}/cm^3$ 일 때 동일한 SS값을 유도할 수 있었다.

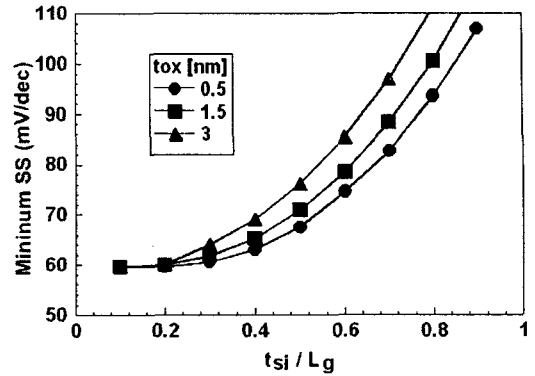


그림 5. 채널길이 대 두께의 비에 따른 SS의 의존성
Fig. 5 The dependence of ratio of channel length vs thickness to subthreshold swing

그림 5에 채널길이와 채널두께 간의 비 t_{Si}/L_g 의 변화에 대하여 설계할 수 있는 최소 SS의 변화를 도시하였다. 채널도핑은 $10^{14}/cm^3$ 의 경우를 이용하였으며 매개변수는 게이트 산화막의 두께를 사용하였다. 그림에서 알 수 있듯이 채널길이에 비하여 채널두께가 작을 때 즉 t_{Si}/L_g 가 작을 때 SS값이 향상됨을 알 수 있다. 특히 t_{Si}/L_g 이 증가하면 게이트산화막의 두께 t_{ox} 의 약간의 변화에도 SS가 급격히 변화함을 알 수 있다. 그러므로 가능하면 t_{Si}/L_g 의 비를 작게하여 t_{ox} 에 대한 영향을 감소시켜야 할 것이다. 또한 게이트 산화막의 두께를 작게 하면 상대적으로 채널두께를 크게 하여도 동일한 SS값을 얻을 수 있을 것이다. 그러므로 디지털용으로 사용하기 위한 소자 제작시 중요한 인자인 SS값을 향상시키기 위해서는 게이트 산화막의 두께를 감소시켜야 할 것이다.

이에 대한 근거를 제시하기 위하여 $SS=70mV/dec$ 의 특성을 갖는 소자의 크기를 결정하는 그래프를 그림 6에 도시하였다. 이 그래프를 이용하면 $SS=70mV/dec$ 를 갖는 소자의 채널길이, 채널두께 및 게이트 산화막의 두께 등을 설계할 수 있다. 즉, 채널길이가 작아질 때 채널두께 및 게이트 산화막 두께도 일정비율로 동일하게 감소하여야 $SS=70mV/dec$ 를 유지할 수 있을 것이다. 특히 채널길이가 10nm 정도로 매우 작을 때는 채널두께 5nm이하, 게이트 산화막 2.4nm 이하일 때만이 $SS=70mV/dec$ 을 유지할 수 있을 정도로 공정상 여유도가 매우 작아 설계에 어려움이

있을 것이다. 채널길이를 더욱 작게 하면 터널링 현상에 의한 SS의 급격한 증가현상이 발생[8]하여 일반 MOSFET에 비하여 DG MOSFET의 장점이 사라지게 된다. 산화막의 두께에 대한 여유도를 증가시키기 위해선 유전율이 높은 산화막을 사용해야 한다. 그림 6에 SiO_2 ($\epsilon_R = 3.9$) 대신 Si_3N_4 ($\epsilon_R = 7.0$) 를 사용하였을 때의 결과를 함께 도시하였다.

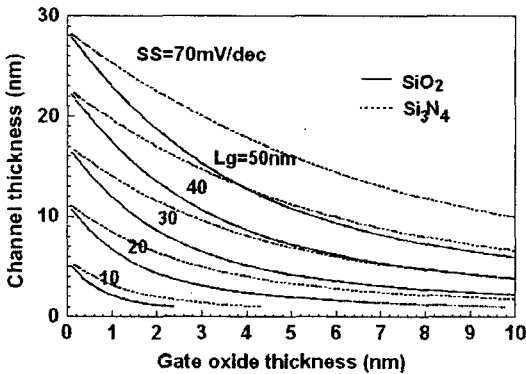


그림 6. SS=70mV/dec를 갖는 DG MOSFET의 기결정
Fig. 6 Determination of dimension for DG MOSFET having SS=70mV/dec

그림에서 알 수 있듯이 게이트 산화막으로 Si_3N_4 를 사용하였을 때 게이트 산화막 두께는 4.4nm까지 증가해도 SS=70mV/dec를 유지할 수 있다는 것을 알 수 있으며 채널길이가 증가하여도 Si_3N_4 을 사용하였을 때의 공정상 여유도는 매우 증가하는 것을 알 수 있다. 그러므로 나노급 미세구조 소자를 개발하기 위해선 유전율이 높은 산화층 개발이 병행되어야 할 것이다. 그림 6에서 게이트 산화막의 두께에 관계없이 SS=70mV/dec 정도를 유지하기 위해선 채널두께는 개략적으로 채널길이의 0.5 정도를 유지하여야 함을 관찰할 수 있다. 이는 그림 5에서도 관찰할 수 있는 관계로써 채널두께는 채널길이의 1/2보다 작아야지만 SS=70mV/dec의 특성을 가진 소자를 설계할 수 있을 것이다.

SS와 채널두께 그리고 게이트 산화막과의 관계를 좀더 관찰하기 위하여 SiO_2 를 게이트 산화막으로 사용하였을 경우, 캐패시턴스비 $r = \epsilon_{ox} t_{Si} / \epsilon_{Si} t_{ox} = C_{ox} / C_{Si}$ 에 대한 SS의 변화를 $N_A = 10^{14} / cm^3$, $L_g = 20nm$ 일

때 그림 7에 도시하였다. r 의 증가는 채널두께의 증가 또는 산화막 두께의 감소를 의미한다. r 이 증가할 때 SS가 급격히 증가함을 알 수 있으며 특히 산화막 두께가 커질수록 증가율은 매우 커서 채널두께가 약간만 증가하여도 SS는 매우 커지는 것을 관찰할 수 있다. 그러므로 산화막 두께는 얇게 제작하면 원하는 SS를 얻기 위하여 채널두께 및 길이에 대한 공정 및 설계 여유도를 증가시킬 수 있을 것이다.

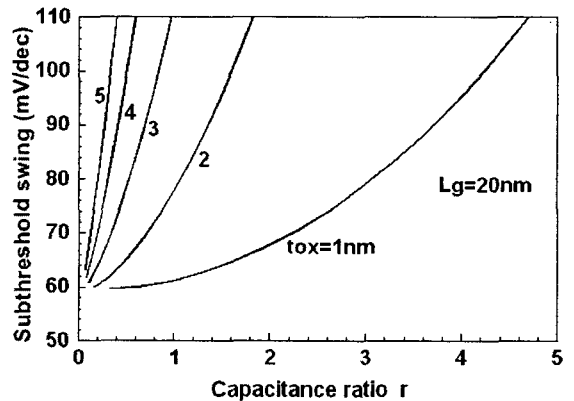


그림 7 캐패시턴스비에 대한 SS의 의존성
Fig. 7 Capacitance ratio dependence of subthreshold swing

IV. 결론

본 연구에서는 DG MOSFET의 SS에 대한 해석학적 모델을 제시하였으며 DG MOSFET의 소자 크기에 대하여 SS의 변화를 관찰하였다. 특히 채널도핑농도, 채널두께, 채널길이 그리고 게이트 산화막 두께 등 실제 소자제작 시 전기적 특성에 커다란 영향을 미치는 요소들에 대하여 디지털소자에서 중요한 SS의 변화를 관찰하였다.

본 연구에서는 근사적 기법을 사용하지 않고 유도하였으므로 게이트길이가 매우 작을 때에도 유용하게 사용할 수 있을 것이다. 이를 증명하기 위하여 게이트길이가 클 때 근사적 기법을 사용한 Qiang의 모델과 비교하였다. 비교결과 크기가 감소할 때 매우 큰 차이를 보이는 것을 알 수 있었다. 본 연구에서 제시한 모델의 타당성을 증명하기 위하여 Medici 시

물레이션결과와 비교하였으며 매우 우수하게 일치하는 결과를 유도할 수 있었다. 채널도핑농도에 따른 고찰에서 도핑농도에 대한 영향은 채널길이 및 채널 두께에 대하여 변화하며 특히 채널두께가 1.5nm 정도로 매우 작을 때는 도핑농도에 거의 영향을 받지 않는다는 것을 알 수 있었다. 이는 전도중심이 채널두께가 작을 때에는 도핑농도에 따라 거의 일정하기 때문이며 채널두께가 증가하면 도핑농도가 증가할수록 전도중심이 채널과 산화막 경계로 급속히 이동하기 때문에 SS도 급격히 감소하는 것을 알 수 있었다. 산화막 두께에 대한 SS의 변화의 고찰에서는 역시 산화막 두께가 작을 때 SS는 향상됨을 알 수 있었으며 이러한 산화막 두께에 대한 설계가능성을 증가시키기 위하여 SiO_2 대신 유전율이 약 2배인 Si_3N_4 를 사용하여 SS를 구해본 결과 가능성이 더욱 향상됨을 관찰할 수 있었으므로 산화막 물질로서 유전율이 큰 대체물질 개발이 이루어져야 할 것이다. 산화막과 채널 간 캐패시턴스비에 대한 고찰에서도 역시 산화막 두께는 작을수록 설계 여유도가 증가함을 관찰할 수 있었다. 이상의 결론에서 본 연구에서 제시한 SS에 대한 해석학적 모델은 향후 10nm이하 소자설계 및 분석에 대한 기틀을 마련할 것이다.

참고문헌

[1] G. Curatola, G. Fiori and G. Iannaccone, "Modelling and simulation challenges for nanoscale MOSFETs in the ballistic limit", Solid-State Elec., vol.48, pp.581-587, 2004.

[2] M. Bescond, J. L. Autran, D. Munteanu and M. Lannoo, "Atomic-scale modeling of double gate MOSFETs using a tight-binding Green's function formalism", Solid-State Elec., vol.48, pp.567-574, 2004.

[3] 고석웅, 정학기, "나노구조 Double Gate MOSFET의 핀치오프특성에 관한 연구", 한국 해양정보통신학회, vol.6, no.7, pp.1074- 1078, 2002.

[4] The International Technology Roadmap for Semiconductors(2001). <http://public.itrs.net>[Online]

[5] Y. Tosaka, K. Suzuki and T. Sugii, "Scaling-

parameter-dependent model for subthreshold swing S in double-gate SOI MOSFETs", IEEE Electron Device Lett., vol.15, pp.466-468, 1994

[6] Qiang Chen, Bhavna Agrawal and James D. Meindl, "A Comprehensive Analytical Subthreshold Swing(S) Model for Double-Gate MOSFETs", IEEE Trans. Electron Devices, vol.49, No.6, pp.1086-1090, 2002

[7] D. Munteanu and J. L. Autran, "Two-dimensional of quantum ballistic transport in ultimate double-gate SOI devices", Solid-State Elec., vol. 47, pp.1219-1225, 2003.

저자소개

정 학 기(Hak Kee Jung)



아주대학교 전자공학과 공학사
연세대학교 전자공학과 공학석사
연세대학교 전자공학과 공학박사
오사카대학 전자공학과 객원교수
현 군산대학교 전자정보공학부 교수

현 호주 그리피스대학 전자공학과 객원교수
※ 관심분야 : 반도체소자설계, 반도체소자모델링, 시물레이션프로그램개발

Sima Dimitrijevic



University of Nis BEng
University of Nis MSci
University of Nis PhD a member of the Editorial Advisory board, Microelectronics Reliability, Senior Member of IEEE

현 호주 그리피스대학 전자공학과 교수

※ 관심분야
MOSFETs, including technology (gate oxidation), modeling, design (novel structures), applications (switch mode power supplies), new materials (Silicon Carbide).