

적응적 라우터를 위한 큐 구조 설계

최 영 호[†] · 박 능 수^{**} · 송 용 호^{***}

요 약

본 논문은 적응적 망 경로 선택 기능을 최대한 활용하기 위하여 두 가지 새로운 큐 구조 DAMQWR와 VCDAMQ를 제안하였다. DAMQWR은 리쿠르트 레지스터를 사용하여 정체된 채널의 메시지를 비 정체 채널로 라우팅을 유도할 수 있게 하여주며 VCDAMQ는 가상 채널상의 교통량을 동적으로 지원하도록 함으로써 망의 흐름을 보다 원활하게 하여 준다. 시뮬레이션과 분석을 통하여 제안된 큐 구조의 특성과 성능을 평가하였고 그 결과 제안되어진 큐 구조들인 VCDAMQ와 DAMQWR 구조가 메모리 및 망의 자원을 효과적으로 사용하여 적응적 라우터에 가장 적합함을 알 수 있었으며, 실험결과에서 기존의 DAMQ에 비하여 최대 20%까지 망의 통신 성능이 향상됨을 보였다.

키워드 : 망, 적응적 라우터, 큐 구조

A Design of Queue Architecture for Adaptive Routers

Yungho Choi[†] · Neungsoo Park^{**} · Yong Ho Song^{***}

ABSTRACT

This paper proposes DAMQWR and VCDAMQ architectures that exploit the full capabilities of adaptive routing. DAMQWR enables messages in congested channels to route through non-congested channels by using recruit registers while VCDAMQ dynamically assigns resources among virtual channels, resulting in better network traffic control. Through extensive simulations and analysis, this paper evaluates their effects on overall network cost and performance. These proposed queue architectures, VCDAMQ and DAMQWR, are shown to appropriately support adaptive routing capability by dynamically and efficiently managing queue and network resources, increasing network performance. The results show that up to 20% higher throughput can be obtained in comparison to traditional DAMQ designs.

Key Words : Networks, Adaptive Router, Queue Architectures

1. 서 론

병렬 컴퓨터 및 망 기반 병렬 처리 시스템의 연산장치들을 연결하여 통신능력을 제공하는 상호 연결망 (Interconnection Network)은 병렬처리 시스템의 중요한 요소이다. 더구나 프로세서의 급격한 처리 속도 증가 및 빠른 응답시간 안에 많은 정보를 처리하여야 하는 응용 프로그램의 등장으로 이들의 중요성은 더욱 강조되고 있다.

이렇게 급증하는 고성능 상호 연결망 요구를 충족시키기 위하여 많은 연구들이 수행되어져 왔다. 그러한 연구 중 하나는 적응적 망 경로 선택 알고리즘이다[1, 2, 3]. 이 알고리즘들은 자원 의존적 교착상태를 해결하기 위한 경로 제한을 제거하여 망의 정체를 최소화할 수 있게 하여준다. 이러한

알고리즘들의 장점을 최대한 활용하기 위하여서는 그 알고리즘을 구현하는 라우터의 구조를 최적화하여야 한다.

라우터 구조의 중요 요소 중에서 큐는 망의 정체 시 메시지를 임시적으로 저장하고 효율적으로 망의 자원을 활용할 수 있게 스케줄링 함으로써 망의 정체 완화에 중요한 역할을 수행한다. 그러므로 적응적 망 경로 선택 알고리즘을 최대한 활용하기 위하여서는 큐 구조의 최적화는 필수적이다.

망 라우터 큐의 종류에는 선입 선출 큐 (FIFO), 원형 큐 (CQ), 정적 할당 다중 큐 (SAMQ), 정적 할당 완전 접속 다중 큐 (SAFCMQ), 동적 할당 다중 큐 (DAMQ), 동적 할당 완전 접속 다중 큐(DAFC), 중앙 저장 동적 할당 다중 큐 (CBDAMQ), 고성능 입력 큐 (HPIQ) 등이 있다[4-11]. 그러나 이러한 큐들은 자유롭지 못한 큐 할당 또는 큐 입구 정체 등으로 인하여 적응적 망 경로 선택 알고리즘을 지원하기에 적합하지 못하다고 할 수 있다.

이 논문은 기존의 큐들의 문제점을 해결함으로써 적응적 망 경로 선택 알고리즘을 최적으로 지원할 수 있는 망 라우터 아키텍처를 연구 제안하였다. 이러한 연구를 수행하기

※ 본 연구는 정보통신부 및 정보통신연구진흥원의 대학 IT연구센터 육성·지원사업의 연구결과로 수행되었음.

† 정 회 원 : 건국대학교 전기공학과 교수 (주저자)

** 정 회 원 : 건국대학교 컴퓨터공학과 교수 (교신저자)

*** 정 회 원 : 한양대학교 정보통신대학 미디어통신공학 교수

논문접수 : 2005년 3월 21일, 심사완료 : 2005년 7월 29일

위하여 적응적 알고리즘의 비제한적 망 경로 선택 능력을 최대한 활용할 수 있는 두 가지 큐 구조인 가상 채널 동적 할당 다중 큐(VCDAMQ)와 리쿠르트 레지스터 동적 할당 다중 큐 (DAMQWR)를 제안하고 이 새로운 큐 구조의 성능을 분석하기 위하여 다양한 큐 구조를 사용하는 라우터들을 망 레벨에서 시뮬레이션 하였다. 다음 장에서 기존 큐들의 구조를 설명한 후 3장에서 적응적 망 라우터를 위한 새로운 큐 구조를 제안하였다. 4장에서 큐들의 구현 방법을 제시하고 5장과 6장에서 다양한 큐 구조들의 성능을 측정 분석하였다. 그리고 마지막으로 이 연구로부터 얻어진 결과들을 정리하였다.

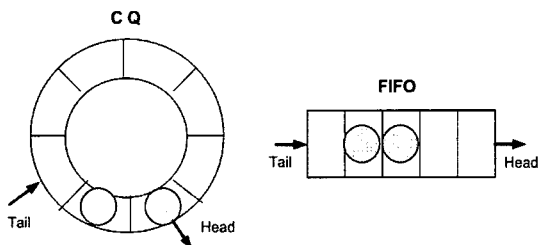
2. 관련 연구

이 장에서는 기존의 망 라우터를 위한 세 가지의 기존 큐 구조들에 대하여 설명하고 그들의 라우터 아키텍처 안에서의 역할도 논의한다. 논의될 큐 구조들은 FIFO, CQ, DAMQ이며 이들 큐 구조 및 그 유사 큐들은 많은 상업용 망 라우터에서 사용되어져 왔다[10, 12-15].

2.1 선입선출큐(FIFO)와 원형큐(Circular Queues: CQ)

(그림 1)에서 보이는 것 같이 CQ는 도착순으로 망 메시지를 저장하고 망 경로를 선택 결정하는 FIFO와 유사한 큐이다. 하지만, FIFO와 달리 CQ는 이전 메시지가 없을 경우 큐의 길이와 관계없이 즉시 도착된 메시지를 처리할 수 있도록 하여 준다. 이는 동적인 큐의 머리 또는 꼬리 포인터를 사용하므로 가능하여진다. CQ의 주요 장점은 FIFO의 불필요한 큐 저장 시간을 줄이고 다중 큐 (Multi-queue)들의 큐 복잡성을 최소화한다는 데 있다. 이는 적응적 망 라우터의 구조 복잡성을 최소화하고 동작 속도를 증가시킬 수 있다.

이러한 장점에도 불구하고 CQ나 FIFO는 선 출구 정체(Head-of-line Blocking: HOL 정체) 문제를 안고 있다. HOL 정체는 큐의 출구에서 정체되어 있는 메시지가 그 뒤에 따라오는 메시지를 불필요하게 막는 현상을 일컫는 말이다. 이 HOL 정체는 망 라우터의 네트워크 성능을 저하시키기 때문에 CQ와 FIFO는 적응적 망 라우터의 최적의 큐 구조이기에는 부족하다고 할 수 있다. HOL 정체 문제에 대한 일반적 해결책은 하나의 물리적 채널을 여러 개의 다중 큐들이 나누어 사용하는 가상 채널 (Virtual Channel)이다[16, 17]. 이 가상 채널 방식은 HOL 정체로 인하여 불필요하게



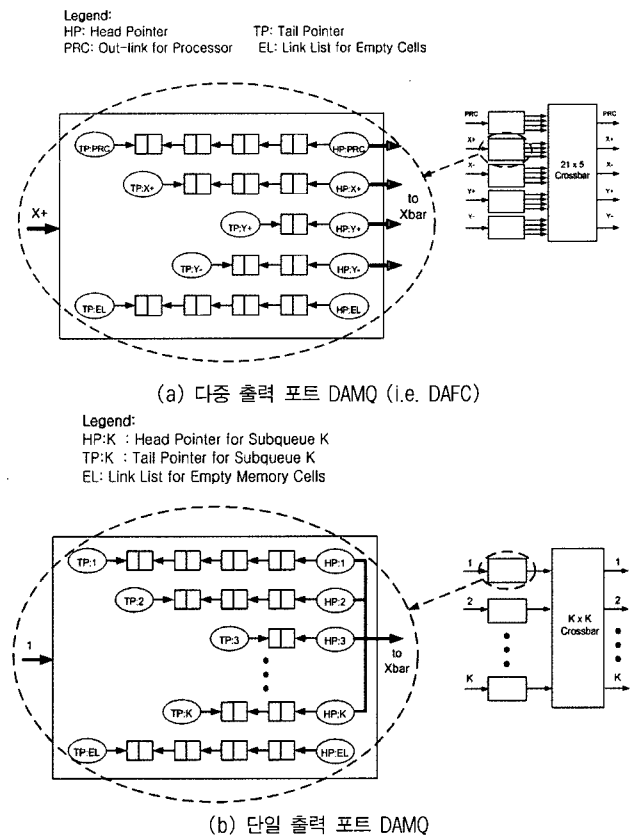
(그림 1) 원형큐(Circular Queue)와 선입선출큐(FIFO)의 개념도

막혀있는 패킷에게 망 채널을 사용할 수 있도록 하여 HOL 정체를 감소시켜준다. 그러나 이 역시 망 라우터에 실현할 수 있는 가상 채널 또는 다중 큐의 수가 한정되어 있어 완전한 해결책은 될 수 없다. 더불어 지나치게 많은 가상 채널은 라우터의 구조적 복잡성을 증가시켜 오히려 망의 성능을 악화시킬 수 있다[18, 19]. 또한 라우터 동작 클럭(Clock) 속도를 낮추고 핀과 핀 사이의 지연 시간을 증가시킬 수 있다.

2.2 가상 출력 다중 큐 (Virtual Output Multi-queues)

HOL 정체 문제를 완전히 해결할 수 있는 입력 큐 기술은 망 경로 선택에 따라 다른 입력 큐에 저장하는 가상 출력 큐 구조이다. DAMQ, SAMQ 그리고 그 아류 큐들 (DAFC, SAFC, and CBDA)이 이러한 종류에 속한다. 이 절에서는 이러한 큐들 중 동적으로 큐 영역을 할당 하여 성능이 우수한 다중 큐들만을 논할 것이다.

(그림 2)에서 보이는 것과 같이 DAMQ는 동적 링크 리스트로 관리되어지는 K + 1개의 종속 큐들로 구성되어져 있다. (그림 2)에서처럼 DAMQ들은 라우터의 각 입력 포트 당 하나씩 할당 되어질 수도 있고 하나의 DAMQ가 전체의 입력 포트들을 관리할 수도 있다 (예, CBDA). DAMQ의 각 종속큐들은 라우터의 K개의 출력포트중 하나와 관계가 되어 있어 입력포트로 들어온 패킷이 망의 경로를 선택하고 그 방향의 종속큐에 저장되어지도록 되어져 있다. 이들 종속큐



(그림 2) 2차원 망 라우터를 위한 동적 할당 다중 큐 (DAMQ)

들은 링크 리스트를 사용하여 사이즈를 동적으로 관리하도록 되어져 있다. 예를 들어, 새로운 메시지가 들어올 경우 빈 저장 셀 리스트인 EL (그림 2)에서 빈 셀을 종속큐의 Tail Pointer에 연결하여 메시지를 저장하고 그 메시지를 라우팅한 후 예는 다시 EL에 돌려주는 방식을 사용한다. 이러한 구조는 앞에서 언급한 CQ 또는 FIFO의 선 출구 정체를 없앨 뿐만 아니라 큐의 동적 관리로 보다 효율적으로 망의 통신 요구량을 처리할 수 있다.

이러한 이점에도 불구하고 DAMQ는 구조적 복잡성과 한계를 가지고 있다. 그 중 한 문제는 링크리스트 사용으로 인한 하드웨어적 구현의 복잡성이다. 이 문제는 DAMQ의 각 종속 큐가 라우터 크로스바의 입력에 연결되는 DAFC (그림 2) (a) 경우에서 더욱 심각해진다. 복잡성을 줄이기 위하여 각 DAMQ를 하나의 크로스바 포트와 연결할 수 있다. 이 경우 DAMQ의 모든 종속 큐들이 하나의 크로스바 포트를 사용함으로써 병목현상으로 인하여 성능 감소를 가져올 수 있다.

또 다른 문제는 라우터로 들어오는 패킷이 DAMQ에 저장 시 망의 경로가 결정되어진다는 것이다. 이러한 정적 망 경로 선택 결정은 라우팅 알고리즘이 제공하는 망 적응성을 감쇄시킴으로써 성능을 감소시킬 수 있다. 다시 말해, 정적인 망 라우터에는 적합할 수 있을지 모르나 고성능의 적응적 망 라우터에는 적합하지 않을 수 있다.

지금까지 알아본 것과 같이, FIFO, CQ, 와DAMQ 모두 다 적응적 망 라우터를 지원하기에는 한계를 가지고 있다. 그러므로 이러한 문제 또는 한계를 해결함으로써 적응적 망 라우터의 성능을 최대화할 수 있는 큐 구조의 개발이 필요하다.

3. 적응적 망 라우터를 위한 동적 다중 큐

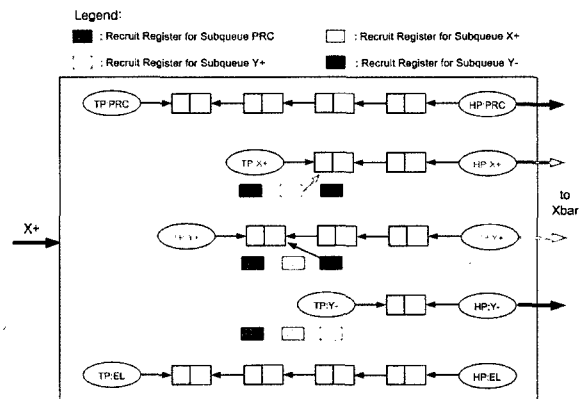
앞에서 열거된 기존 큐들의 문제점들을 해결하고 적응적 망 경로 선택 알고리즘을 최적으로 지원하는 리쿠르트 포인터를 갖는 동적 다중 큐(Dynamically Allocated Multi-queue with Recruit Register: DAMQWR)와 가상채널 동적 다중 큐(Virtual Channel Dynamically Allocated Multi-queue: VCDAMQ)라는 두 가지 새로운 큐 구조를 제안한다.

3.1 리쿠르트 포인터를 갖는 동적 다중 큐 (DAMQWR)

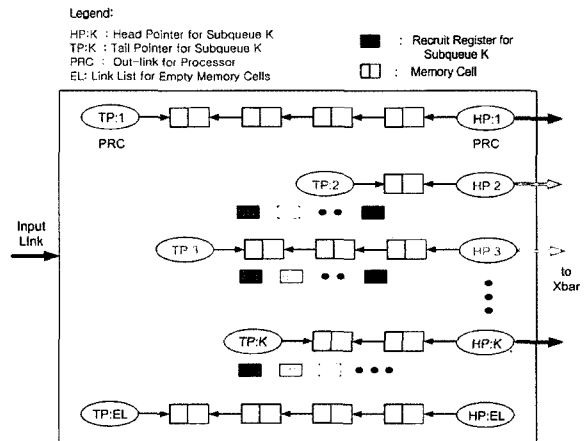
(그림 3)에서 보이는 것과 같이 DAMQWR는 K-개의 리쿠르트 포인터를 갖고 있는 종속큐들로 구성되어져 있다. 여기서 K는 라우터의 출력포트의 수이다. 리쿠르트 포인터는 프로세서로 향하는 출력과 현재 방향의 출력을 제외한 라우터 출력 포트와 연관되어져 있다. 이러한 리쿠르트 포인터들은 많은 교통량으로 인해 정체되어있는 패킷들을 관련 방향 종속 큐로부터 리쿠르트 하여 교통량이 적은 출력 방향으로 라우팅하여 준다. 예를 들어 (그림 3) (a)의 2차원의 망 라우터 경우를 가정하자. 라우터의 X+방향의 입력 포트와 관련 있는 DAMQWR은 총 4개의 종속큐들과 (X+,

Y+, Y-, PROC) 한 개의 비어있는 메모리 셀을 관리하는 링크리스트로 구성되어져 있다. 그리고 라우터의 출력포트와 관련되어져 있는 각 종속 큐들은 총 2개의 리쿠르트 포인터를 갖고 있으며 이들은 각각 현재 종속큐가 관련되어져 있는 라우터 출력 포트방향 및 다른 두 방향과 연관되어져 있다.

다시 말해, X+ 출력방향으로 망의 경로가 결정된 패킷을 저장할 종속 큐는 Y+와 Y-방향의 리쿠르트 포인터를 갖게 되며 이들은 종속큐에 저장되어있는 패킷들 중 Y+와 Y-로도 라우팅될 수 있는 패킷을 가리킨다. 이렇게 가리키고 있는 패킷들을 X+방향의 교통양이 많아 정체될 때 통신량이 적은 Y+ 또는 Y-방향으로 리쿠르트되어 보내지게 된다. 이러한 구조는 일정 방향의 망의 통신량이 편중되어 망 자원의 사용 효율성이 떨어지는 것을 막고 망의 상황에 따라 적응적 망 경로 선택 알고리즘들을 충분히 지원할 수 있게 하여주어 결국 망의 성능을 최대화하여 준다. 이러한 장점에도 불구하고 리쿠르트 포인터를 관리하고 조사하는 작업이 전체 망 경로 선택 시간을 지연시킬 수 있다. 그러므로 리쿠르트 포인터 관련 작업등을 기존의 라우팅 및 종속큐 관련 작업과 동시에 처리함으로써 전체적 망 경로 선택 시간을 줄일 수 있는 구현 방법이 필요하다. 다음 장에서 이를 해결할 수 있는 구현방법을 제시하였다.



(a) 2차원 토러스 망을 위한 DAMQWR



(b) K차원 망 라우터 입력 포트 i의 DAMQWR

(그림 3) 리쿠르트 포인터 동적 할당 다중 큐 (DAMQWR)

3.2 가상채널 동적 다중 큐 (VCDAMQ)

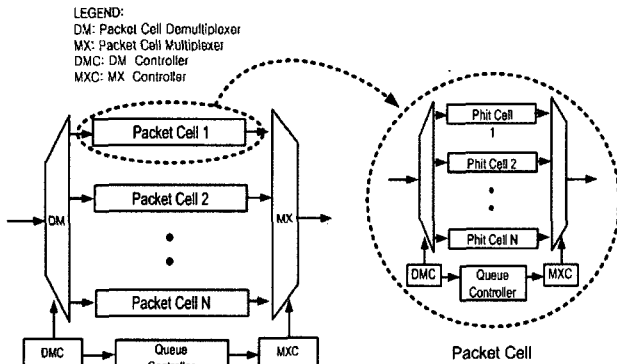
이 논문에서 제안된 또 다른 동적 다중 큐인 VCDAMQ는 DAMQ와 CQ의 장점을 모두 이용할 수 있도록 고안되었다. 다시 말해 동적인 큐 관리와 망 경로 선택자유도를 최대한 지원함으로써 라우터의 성능을 향상시킨다. VCDAMQ는 (그림 2)의 DAMQ와 구조적으로 일치하나 차이점은 DAMQ의 종속큐는 라우터의 출력 포트와 연관되어져 있고 VCDAMQ의 종속큐는 라우터의 가상 채널과 연관되어져 있다는 점이다. 그러므로 VCDAMQ는 망의 가상 채널상의 편중된 통신량에 동적으로 큐 메모리를 할당함으로써 망 성능을 향상시킨다. 즉, VCDAMQ는 일종의 가변 크기 FIFO들의 집합이라고 할 수 있다. 일반적인 가상채널과 같이 VCDAMQ의 종속큐는 라우터의 모든 출력 포트에 패킷을 보낼 수 있어 보다 적응적 망 경로 선택 알고리즘을 잘 지원할 수 있으나 일반적 가상채널 FIFO/CQ와 같이 선 출구 정제 문제를 갖고 있다.

4. 큐의 구현

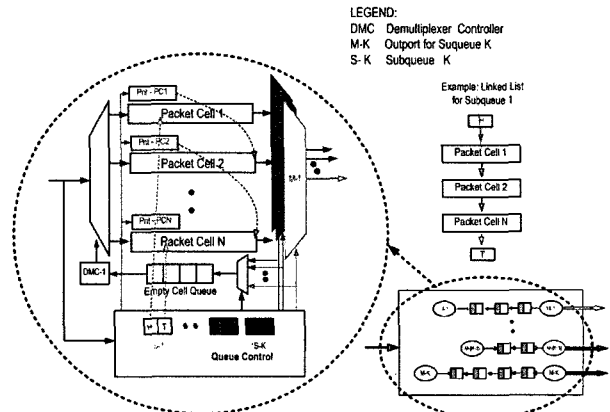
제안된 큐 디자인들의 상대적 구현 복잡성과 그와 관련된 성능을 제시하기 위하여, 이 장에서는 앞에서 언급한 4가지 큐들, 즉 CQ, DAMQ, DAMQWR, VCDAMQ의 구현 예를 들었다. 주어진 예들은 최근의 라우터 기술 경향을 바탕으로 가상 통과 스위칭 (Virtual Cut-thru Switching: VCT) [3]과 입력큐를 이용하고 있고, 각 큐는 8개의 패킷을 저장할 수 있다는 가정 하에 구현하였다.

(그림 4)에서 보는 것과 같이, CQ 큐 디자인은 패킷 셀 (Packet Cell), 다중화기 (Multiplexer), 역다중화기 (Demultiplexer)로 구성되어져 있다. 각각의 패킷 셀은 한 개의 패킷을 저장할 수 있으며, 다중화기와 역다중화기는 읽고 쓸 패킷 셀을 선택한다.

CQ 큐는 정의에 따라 패킷 셀을 항상 순차적으로 접근하기 때문에 다중화기 및 역다중화기 조정 입력을 순차적으로 바꿀 수 있는 두개의 log N-bit 카운터를 사용한다. 반면에 (그림 5)에서 예시한 것과 같이 DAMQ와 VCDAMQ는 큐의 패킷 셀 접근을 가능하게 하기 위하여 링크리스트를



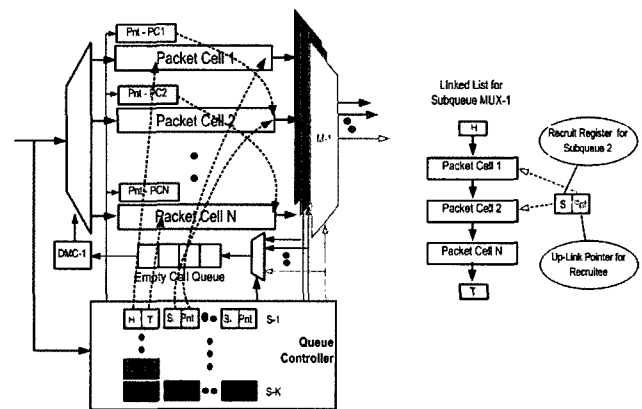
(그림 4) 원형 큐(CQ)의 구현 예



(그림 5) DAMQ와 VCDAMQ의 구현 예

사용한다. 이는 $(2K + N) (\log N)$ -bit 포인터 레지스터를 필요로 하게되며 여기서 K와 N은 각각 종속큐의 수와 패킷 셀의 수이다. N개의 패킷 셀은 N개의 패킷 셀 링크 포인터 (Pnt)를 갖고 있으며 이 포인터들은 링크리스트 안에서 다음 패킷 셀을 가리킨다. 또한 2K개의 포인터들은 K개의 종속큐들의 Head와 Tail을 가리킨다.

(그림 6)에서 보이는 DAMQWR은 DAMQ와 VCDAMQ가 갖고 있는 포인터들 외에도 DAMQWR은 추가적으로 $2 \times (K - 1) \times (K - 2) (\log N)$ -bit 리쿠르트 포인터들을 필요로 한다. 각각의 종속큐는 K-2개의 라우터 출력 포트방향과 관계된 K-2개의 리쿠르트 포인터를 갖는다. 또한 (그림 6)에서 보이는 것과 같이 각 리쿠르트 포인터는 하나의 링크리스트 포인터와 함께하며 이 포인터는 종속큐 안에서의 이전 리쿠르트 포인터를 가리킨다. 이 포인터는 한 패킷 셀이 리쿠르트 되었을 때 리쿠르트 포인터 링크리스트를 갱신하기위하여 필요하다. 이러한 추가적 포인터들은 큐의 구현 비용을 증가시키나 그 양은 전체 큐 구현 비용에 비해 미소하다. 예를 들어, 128 phit¹⁾ 크기의 큐, 다섯 개의 종속큐를 필요로 하는 2차원 망, 그리고 8 phit 크기의 패킷을 가정한 DAMQ와 DAMQWR 큐들은 총 256byte 크기의 메모리가 필요하다. 이때 phit의 크기는 2byte이라고 가정한다. 반면



(그림 6) DAMQWR의 구현 예

1) "phit"는 물리적 채널에서 한 cycle안에 보낼 수 있는 데이터양이다.

에, 포인터를 위해서는 DAMQ, DAMQWR는 각각 13byte, 28byte의 포인터만이 필요하다. 이는 단지 전체 큐 크기의 10%에 지나지 않는다. 즉, 큐의 구현비용보다는 큐 동작 속도가 더욱 중요하다는 것을 알 수 있다.

5. 큐의 구조들의 동작 속도 평가

큐들의 속도는 두 가지 중요 큐 동작으로 평가하였다: 읽기와 쓰기. 주어진 큐들의 계층적 접근구조로 인하여, 큐의 읽기와 쓰기 동작은 패킷 셀 내부동작과 패킷 셀 외부동작으로 나눌 수 있다. 패킷 셀 내부동작은 패킷 셀을 바꾸지 않고 하나의 패킷 셀 안의 phit 셀들을 순차적으로 읽거나 쓰는 동작이며 패킷 셀 외부동작은 패킷 셀을 바꾸어 phit 셀들을 읽거나 쓰는 동작이다. 이장에서 제시한 패킷 셀 구조는 모든 큐 구조에서 동일함으로 모든 큐의 패킷 셀 내부 동작 속도는 동일하다고 할 수 있다.

반면에 패킷 셀 외부동작은 큐 제어방법에 따라 다른 동작 속도를 갖는다. 이러한 동작 속도 차이를 비교하기 위하여 WARRP 라우터 구현기술을 바탕으로 큐들의 패킷 셀 내부 및 외부 동작 속도를 측정하였다. 측정 시 128 phit 크기의 큐, 8phit의 패킷 크기 그리고 2차원의 망 라우터를 가정하였다. 또한 CQ와 VCDAMQ의 경우 선 출구 정체를 최소화하기 위하여 4개의 가상채널을 가정하였다.

<표 1>에서 보이는 것과 같이 각 패킷 셀 내부동작 속도는 모두 동일하다. 패킷 셀 동작 중 쓰기가 읽기보다 많은 시간이 걸린 이유는 WARRP 라우터 구현기술에서 메모리 쓰기 동작이 읽기동작보다 많은 시간이 걸리기 때문이다. 패킷 셀 외부 동작 속도의 경우, DAMQWR, DAMQ, VCDAMQ가 CQ보다 각각 77%, 68%, 59% 더 느린 속도를 보였다. 이는 DAMQ계열의 동적 큐 제어 방법이 CQ 제어 방법에 비해 복잡함을 보여준다. 더불어, DAMQWR의 리쿠르팅 동작이 가장 복잡하고 결국 패킷 셀 외부동작 속도를 낮춤을 보여준다. 하지만 이 복잡성이 평균 큐 동작속도에

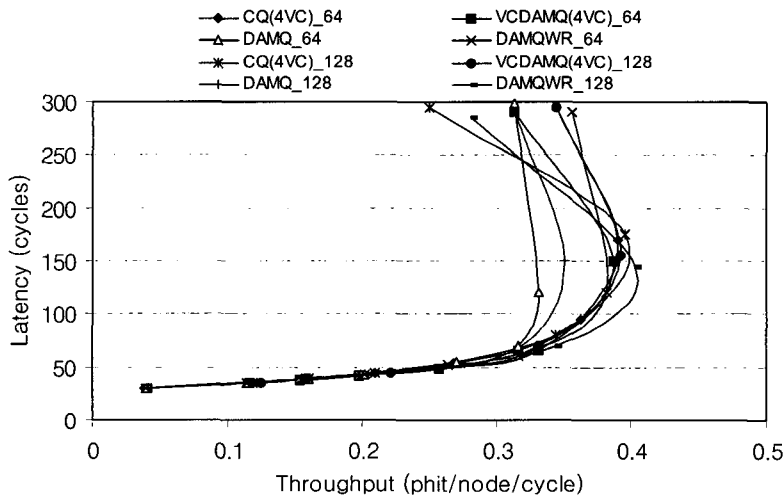
많은 영향을 주지는 않는다. 왜냐하면, VCT 스위칭에서는 패킷 셀 내부동작이 주 동작이고 외부동작은 드물게 이루어지기 때문이다. 예를 들어 VCT 스위칭 하에서 8phit 패킷을 큐에 쓸 때 첫 phit을 위한 한 번의 패킷 셀 외부동작과 나머지 phit들을 위한 7번의 내부동작을 하게 된다. 결론적으로 큐의 평균 동작속도는 패킷 셀 내부동작으로 결정됨을 알 수 있다. 그러므로 이 논문에서는 모든 큐가 동일한 동작속도를 갖고 있다고 가정한다.

<표 1> 다양한 큐 디자인의 동작 속도 비교

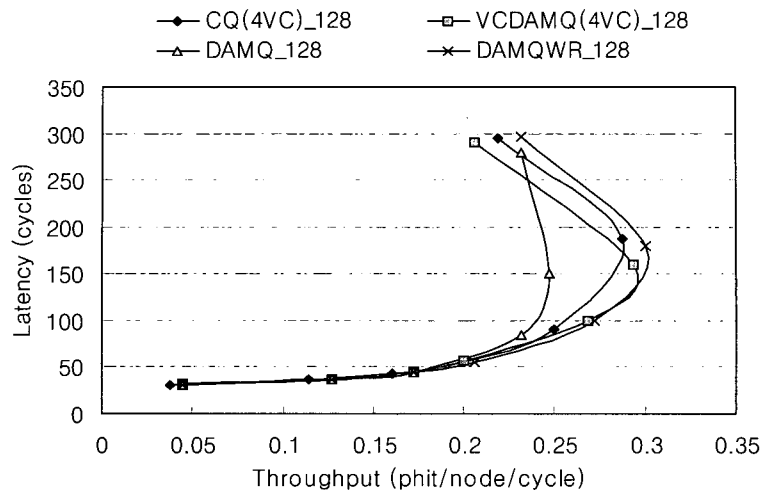
	CQ(4VC)	DAMQ	VCDAMQ	DAMQWR
Write(Intra-PC)	2.2ns	2.2ns	2.2ns	2.2ns
Write(Inter-PC)	2.2ns	3.7ns	3.5ns	3.9ns
Read(Intra-PC)	2.0ns	2.0ns	2.0ns	2.0ns
Read(Inter-PC)	2.0ns	3.3ns	3.3ns	3.3ns
Recruit-Read	N/A	N/A	N/A	6.2ns

6. 큐 구조들의 망 성능 평가

이 장에서는 앞에서 논의된 큐들의 성능을 FlexSim[20]의 상위 버전을 사용하여 망 레벨에서 평가 분석하였다. 이 평가를 위하여, WARRP 라우터구조와 앞에서 언급된 큐들의 조합을 시뮬레이터에 구현하고 망의 성능을 구하였다. 그 밖에 시뮬레이션 가정들은 다음과 같다: 완전 접속 크로스바, VCT 스위칭, 16x16 양방향 토러스 망 (토러스망은 Wrap-around 링크를 갖고 있는 2차원적 망 토폴로지이다), 8 phit 패킷, 큐 크기 경향에 따라 64 또는 128 phit 큐. 더불어 CQ와 VCDAMQ는 각 유형 채널당 4개의 가상 채널을 가정하였다. 망 경로 선택 알고리즘으로는 적응성이 가장 뛰어난 의존적 망 교차 복구 알고리즘(i.e., Disha_Sequential)을 사용하였다. 각 실험 결과는 50,000cycle동안 시뮬레이션을 하여 얻었다. 대략, 10,000cycle후부터 실험결과가 안정이 되어 처음 10,000 cycle 결과는 최종결과에 포함하지 않았다.



(그림 7) 균등한 통신 패턴 하에서의 큐 성능



(그림 8) 불균등한 통신 패턴 하에서의 큐 성능

각 큐 디자인이 포함된 라우터들의 성능은 합성 망 통신 패턴을 입력으로 주고 최대 망 처리량 (phit/node/cycle)과 평균 망 속도(Cycles)를 얻어 구하였다. 이 실험은 각 큐 구조가 얼마나 적응적 망 경로 선택 알고리즘을 잘 지원하는지 보여줌으로써 보다 효율적이고 고성능의 라우터구조를 가능하게 하기 위한 것이다.

6.1 균등한 통신 패턴 하에서의 (Uniform Traffic) 결과

큐 구조들의 망 성능을 구하기 위하여, 망 통신량을 균등하게 분포시키고 큐 크기를 64와 128 phit로 바꾸어 실험하였다. (그림 7)에서 보여주는 것과 같이, 작은 큐(64 phit)인 경우, CQ, VCDAMQ, DAMQWR이 DAMQ에 비해 15% 높은 최대 망 처리량을 보여주었다. 이는 DAMQ의 정적 망 경로 선택이 적응적인 라우팅 알고리즘에 적합하지 않음을 보여준다. 큰 큐(128 phit)의 경우, DAMQ와 DAMQWR은 최대 망 처리량이 7% 증가한 반면에 CQ와 VCDAMQ는 2% 증가하는데 그쳤다. 이는 DAMQ와 DAMQWR의 구조적 장점을 살리기 위하여 원활한 동적 메모리 관리를 할 수 있도록 큐의 크기를 키워야함을 보여준다. 큰 큐에서 DAMQ의 성능이 많이 증가하였으나, 여전히 DAMQWR에 비해 17%낮은 최대 망 처리량을 보여준다. 이것은 DAMQ 구조가 적응적 망 경로 선택 알고리즘을 잘 지원하지 못함을 보여준다.

또한 큐 크기에 관계없이 VCDAMQ는 CQ에 비해 낮은 성능을 보여주고 있다. 이결과로 VCDAMQ는 동적인 메모리 할당으로 인하여 가상채널간의 통신량의 균형을 해치는 것을 알 수 있다. 반면에 CQ는 정적인 메모리 할당으로 가상채널간의 통신량의 균형을 적당하게 유지하고 있어 VCDAMQ에 비해 높은 최대 망 처리량을 보여주고 있다. 마지막으로 DAMQWR은 다른 큐들에 비해 적으나 4%정도 높은 최대 망 처리량을 보여주었다. 이는 DAMQWR가 적응적 망 경로 선택 알고리즘을 가장 잘 지원하며 큐 메모리 사용을 효과적으로 하여 성능을 최대화시킴을 보여준다.

6.2 비균등 통신 패턴 하에서의 (Non-uniform Traffic) 결과

통신 정체 지역이나 망 통신량이 불균등하게 분포되어 있는 지역에서 큐들의 성능을 평가하기 위하여 bit-reversal이라는 통신 패턴을 합성하여 실험하였다. (그림 8)에서 보이는 것과 같이, DAMQWR과 VCDAMQ가 CQ보다 약 7% 높은 최대 망 처리량 얻어 가장 높은 성능을 보여 주었다. 이는 DAMQWR과 VCDAMQ가 동적으로 메모리를 할당하여 통신 정체지역에서 효과적으로 데이터를 처리할 수 있음을 보여주었다. 한편 DAMQ는 최대 통신 처리량이 20% 낮아 가장 낮은 성능을 보여줌으로써 통신량의 불균등 지역에서도 적응적 라우팅 알고리즘을 잘 지원하지 못함을 알 수 있다.

종합적으로 망 통신패턴에 관계없이 DAMQWR이 가장 잘 적응적 망 경로 선택 알고리즘의 능력을 이용하여 최대 성능을 발휘하고 그 결과 적응적 고성능 라우터의 가장 적합한 구조임을 알 수 있었다.

7. 결 론

이 논문에서는 적응적 고성능 라우터 구조를 최적화하기 위하여 큐 구조에 대한 연구를 하였고 논의된 각 큐들은 그들의 특성과 문제점 그리고 망 성능을 측정하여 평가하였다. 본 논문에서 제안된 DAMQWR과 VCDAMQ는 기존의 큐 구조의 한계 및 문제점을 극복하기 위하여 고안되었으며 실험결과에 의하여, 제안된 DAMQWR이 적응적 망 경로 선택 알고리즘을 가장 효과적으로 지원하고 기존의 DAMQ의 망 경로 선택 자유도의 제한성을 극복하여 망 라우터 성능을 최대화시킴을 알 수 있었다. 더불어, 실험결과에서 VCDAMQ가 큐 메모리를 동적으로 관리하여 통신 정체지역의 데이터를 효과적으로 처리할 수 있음을 보여 줌으로 두 번째로 적응적 망 경로 선택 알고리즘을 잘 지원하는 큐 구조임을 알 수 있었다. 반면에 CQ와 FIFO의 가상채널은 선 출구 정체를 줄일 수는 있으나 통신 정체지역의 망 데이터를 처리하

기에는 그들의 정적인 큐 메모리관리가 문제가 됨을 알 수 있었다. 마지막으로, DAMQ는 정적인 망 경로 선택으로 인하여 적응적 경로 선택 알고리즘의 자유도를 감소시켜 망 성능을 줄임을 알 수 있었다. 다시 말해, 정적인 경로 선택 알고리즘에 보다 적합한 큐 구조라 할 수 있다. 추후 연구 과제로써 본 논문의 큐 구조들을 병렬처리 시스템에 구현하고 상용 오퍼레이팅 시스템 하에서 그 성능을 측정 분석할 것이다.

참 고 문 헌

- [1] K.V. Anjan, M.P. Timothy, An efficient, fully adaptive deadlock recovery scheme: DISHA, Proceedings of the 22nd International Symposium on Computer Architecture, IEEE Computer Society, Silver Spring, MD, pp.201-210, June, 1995.
- [2] J. Kim, Z. Liu, A. Chien, Compressionless routing: a framework for adaptive and fault-tolerant routing, IEEE Trans. Parallel Distributed Syst. Vol.8, No.3, pp.229-244, March, 1997.
- [3] M.P. Timothy, Flexible and efficient routing based on progressive deadlock recovery, IEEE Trans. Comput. Vol.48, No.7, July, 1999.
- [4] J. Ding, L.N. Bhuyan, Performance evaluation of multistage interconnection networks with finite buffers, Proceedings of 1991 International Conference on Parallel Processing, Vol.1, pp.592-599, 1991.
- [5] P. Goli, V. Kumar, Performance of a crosspoint buffered ATM switch fabric, Proceedings of INFOCOM'92, pp.3D.1.1-3D.1.10, 1992.
- [6] N. Ni, M. Pirvu, L. Bhuyan, Circular buffered switch design with wormhole routing and virtual channels, Proceedings of the International Conference on Computer Design, pp.466-473, 1998.
- [7] J. Park, B.W. O'Krafka, S. Vassiliadis, J. Delgado-Frias, Design and evaluation of a DAMQ multiprocessor network with selfcompacting buffers, Proceedings of Supercomputing'94, pp.713-722, 1994.
- [8] F. Petrini, Wu chun Feng, Adolfy Hoisie, Salvador Coll, Eitan Frachtenberg, The quadrics network: high-performance clustering technology, IEEE Micro, Vol.22, No.1, pp.2-13, January, 2002.
- [9] R. Sivaram, C.B. Stunkel, D.K. Panda, A high-performance switch architecture using input queueing, Proceedings of the IPPS/SPDP, IEEE Computer Society Press, Silver Spring, MD, pp.134-143, March, 1998.
- [10] C.B. Stunkel et al., The SP2 high-performance switch, IBM Syst. J. Vol.34, No.2, pp.185-204, 1995.
- [11] Y. Tamir, L. Frazier, Dynamically-allocated multi-queue buffers for VLSI communication switches, IEEE Trans. Comput. Vol.41, No.6, pp.725-737, June, 1992.
- [12] M. Galles, Spider: a high speed network interconnect, IEEE Micro, pp.34-39, February, 1997.
- [13] Shubhendu S. Mukherjee, Peter Bannon, L. Steven, Aaron Spink, David Webb, The alpha 21364 network architecture, Symposium on High Performance Interconnects (HOT Interconnects 9), IEEE Computer Society Press, Silver Spring, MD, pp.113-117, August, 2001.
- [14] L.S. Steven, M.T. Gregory, Optimized routing in the cray T3D, Proceedings of the Workshop on Parallel Computer Routing and Communication, pp.281-294, May, 1994.
- [15] L.S. Steven, M.T. Gregory, The cray T3E network: adaptive routing in a high performance 3D torus, Proceedings of the Symposium on Hot Interconnects, IEEE Computer Society, Silver Spring, MD, pp.147-156, August, 1996.
- [16] W. Dally, Virtual channel flow control, IEEE Trans. Parallel Distributed Syst. Vol.3, No.2, pp.194-205, March, 1992.
- [17] W. Dally, H. Aoki, Deadlock-free adaptive routing in multicomputer networks using virtual channels, IEEE Trans. Parallel Distributed Syst. Vol.4, No.4, pp.466-475, April, 1993.
- [18] Andrew A. Chien, A cost and speed model for k-ary n-Cube wormhole routers, IEEE Trans. Parallel Distributed Syst. Vol.9, No.2, pp.150-162, February, 1998.
- [19] Li-Shiuan Peh, W. Dally, A delay model for router micro-architectures, IEEE Micro Vol.21, No.1, pp.26-34, Jan., 2001.
- [20] SMART Interconnects Group. Flexsim 1.2 Simulator, University of Southern California, 1997; www.usc.edu/dept/ceng/pinkston/SMART.html.
- [21] M.P. Timothy, Yungho Choi, Mongkol Raksapatcharawong. Architecture and optoelectronic implementation of the WARRP router, Proceedings of the 5th Symposium on Hot Interconnects, IEEE Computer Society, Silver Spring, MD, pp.181-189, August, 1997.

최 영 호



email : yunghoch@konkuk.ac.kr

1991년 연세대학교 전자공학과(공학사)

1995년 University of Southern California,
전기공학과(M.S.)

2001년 University of Southern California,
전기공학과(Ph.D.)

2001년~2004년 미국 Intel Corp. 선임연구원

2004년~현재 건국대학교 공과대학 전기공학과 조교수

관심분야: 마이크로프로세서, 병렬처리 구조, 네트워크, 영상압축처리 구조



박 능 수

email : neungsoo@konkuk.ac.kr

1991년 연세대학교 전기공학과(공학사)

1993년 연세대학교 대학원 전기공학과
(공학석사)

2002년 University of Southern California,
전기공학과(Ph.D.)

2002년~2003년 삼성전자 책임연구원

2003년~현재 건국대학교 정보통신대학 컴퓨터공학부 조교수

관심분야: 컴퓨터구조, 임베디드 시스템, 병렬시스템, 멀티미디어 컴퓨팅



송 용 호

email : yhsong@hanyang.ac.kr

1989년 서울대학교 컴퓨터공학과(공학사)

1991년 서울대학교 컴퓨터공학과(공학석사)

2002년 University of Southern California
컴퓨터공학과(Ph.D.)

2003년~현재 한양대학교 정보통신대학
미디어통신공학

관심분야: 임베디드 시스템, 멀티미디어 네트워크, 아키텍처 및 병렬처리