

논문 2005-42TC-8-3

# Error Feedback을 이용한 Blind 알고리즘의 고속 DFE Equalizer의 설계

(Design of a high-speed DFE Equalizer of  
blind algorithm using Error Feedback)

홍 주 형\*, 박 원 흠\*, 선우명훈\*\*, 오 성 근\*\*

(Ju H. Hong, Weon H. Park, Myung H. Sunwoo, and Seong K. Oh)

## 요 약

본 논문에서는 Blind 채널 등화를 위한 error feedback 필터를 갖는 Decision Feedback Equalizer(DFE) 구조의 등화기를 설계하였다. 제안하는 등화기는 Least Mean Square(LMS) 알고리즘과 Multi-Modulus Algorithm(MMA)을 이용하였으며 64/256 QAM을 위해 설계되었다. 기존의 MMA 등화기는 두개의 transversal 필터를 이용하거나 feedforward와 feedback 필터를 이용하는 반면에 제안하는 등화기는 feedforward와 feedback 그리고 error feedback 필터를 사용하여 채널 적응 성능을 향상시켰으며 탭 수를 감소시켰다. 제안하는 구조는 SPW<sup>TM</sup> 툴을 이용 시뮬레이션을 수행하여 성능을 개선시킬 수 있었다. 그리고 VHDL을 이용해 시뮬레이션을 수행하였으며 논리 합성은 0.25 $\mu$ m 셀 라이브러리를 이용하였다. 설계한 등화기는 약 19만 게이트 수와 15MHz의 동작속도를 보였다. 또한 FPGA 칩을 내장한 이플레이션 보드를 사용하여 성능 검증을 수행하였다.

## Abstract

This paper proposes a Decision Feedback Equalizer (DFE) with an error feedback filter for blind channel equalization. The proposed equalizer uses Least Mean Square(LMS) Algorithm and Multi-Modulus Algorithm (MMA), and has been designed for 64/256 QAM constellations. The existing MMA equalizer uses either two transversal filters or feedforward and feedback filters, while the proposed equalizer uses feedforward, feedback and error feedback filters to improve the channel adaptive performance and to reduce the number of taps. The proposed equalizer has been simulated using the SPW<sup>TM</sup> tool and it shows performance improvement. It has been modeled by VHDL and logic synthesis has been performed using the 0.25  $\mu$ m Faraday CMOS standard cell library. The total number of gates is about 190,000 gates. The proposed equalizer operates at 15 MHz. In addition, FPGA verification has been performed using FPGA emulation board.

**Keywords :** 등화기, blind 알고리즘, error feedback, DFE

## I. 서 론

고속으로 데이터를 전송할 때나 무선 통신의 경우 전송된 신호는 송신기와 수신기 사이에 존재하는 다양한 장애물들에 의한 다중 경로 페이딩이나 채널의 전달 특성 또는 송수신 단에서 사용하는 파형 성형 필터(Pulse

Shaping Filter) 등에 의해 신호 상호간의 간섭(ISI : Inter Symbol Interference)을 받게 된다. 광대역을 사용하는 고속 전송의 경우 다중 경로가 존재하는 무선채널의 최대 지연 확산(maximum delay spread)이 신호의 전송 주기  $T_s$  보다 길어( $\tau_{max} > T_s$ ) 연속된 신호 사이에 간섭이 발생하여 수신된 신호는 신호 상호간의 간섭을 받게 된다. 이러한 현상을 극복하기 위하여 왜곡된 채널을 통과하여 진폭과 위상 왜곡이 발생된 수신 신호를 처리할 때 채널의 특성을 보상함으로써 수신측에서 비트 검출 시 오류가 감소할 수 있도록 하는 것이 등화기의 역할이다. 등화기는 수신단에서 수신되는 신호의

\* 정회원, 삼성전자  
(SAMSUNG Electronics)

\*\* 정회원, 아주대학교  
(School of Electrical and Computer Eng., Ajou Univ.)

접수일자: 2004년5월12일, 수정완료일: 2005년8월13일

크기와 지연 특성을 보상하거나 송신되는 신호의 크기와 지연 특성을 보상함으로써 송신되는 신호의 전력을 증가시키고 채널 대역폭을 늘리지 않고도 통신로의 품질을 높일 수 있다.<sup>[1]-[3]</sup>

등화기는 채널을 통해 수신되는 신호를 입력으로 받아 ISI 성분이 최소화 되도록 필터의 탭 계수를 조정한다. 일반적으로 채널 특성은 고정되어 있지 않고 시간에 따라 계속 변하므로 등화기의 탭 계수 또한 채널의 변화하는 특성에 따라 계속 갱신되어야 한다. 따라서 적응 알고리즘(adaptive algorithm)을 사용하여 탭 계수가 채널의 변화에 따라 능동적으로 갱신하도록 하는 적응 등화기를 사용하는 것이 효과적이다.<sup>[4]</sup>

등화기의 성능은 등화기의 구조와 사용된 알고리즘에 의해 결정된다. 등화기의 구조는 transversal, lattice, DFE 등이 있다. 이 중 구조의 복잡성에 비하여 채널 적응 속도가 빠른 구조는 DFE 구조이다. DFE 구조의 feedforward 필터는 판정되기 이전 신호에 의한 현재 심볼의 ISI를 제거하기 위하여 사용되며 feedback 필터는 이전에 판정된 신호에 의해 현재 심볼의 ISI를 제거하기 위하여 사용된다. DFE 구조에 LMS(Least Mean Square) 알고리즘을 적용할 경우 같은 탭수의 transversal 구조보다 채널 적응 속도가 빠르며 ISI가 심한 환경에서도 좋은 성능을 나타내는 장점이 있다. 또한 DFE 구조에 잔존 에러의 상관성을 줄여주는 error feedback 필터를 사용하면 DFE에서 제거하지 못한 잔여 에러를 줄일 수 있다.<sup>[5]-[10]</sup>

Error feedback 기법은 양자화에서 발생하는 에러를 줄이기 위해서 사용하는 기법<sup>[11]</sup>으로 음성 예측 부호화(predictive speech coding)<sup>[10]</sup>, 영상 예측 부호화(predictive image coding)<sup>[12]</sup>, 시그마-델타 A/D 변환(sigma-delta analog to digital conversion)<sup>[13]</sup>, xDSL<sup>[14]</sup>과 같이 여러 분야에서 사용된다. 제안한 등화기는 에러 궤환을 통하여 잔존 에러의 상관도를 줄여 MSE(mean square error)를 감소시킬 수 있으며, DFE 구조 등화기의 초기 오류전파도 감소시킬 수 있다.

적응 알고리즘은 훈련 순열이나 파일럿 채널을 받아 탭 계수를 초기 설정한 후에 채널 적응을 시작하는 알고리즘과 사전 정보 없이 채널을 적응하는 블라인드 알고리즘으로 구분된다. 등화기의 적응 알고리즘에는 대표적으로 LMS 알고리즘, RLS(Recursive Least Square) 알고리즘이 있다. LMS 알고리즘은 수신된 신호와 판정된 신호간의 오차의 MSE(Mean Square Error)를 최소화하는 기법으로 수식이 간단하고 하드웨

어가 적게 사용되거나 채널 적응 속도가 느리다. RLS 알고리즘은 가중 오차 신호의 제곱의 합을 최소화시키는 알고리즘으로 순환적인 방법을 사용하여 필터 계수를 갱신하여 LMS보다 효과적으로 채널을 등화할 수 있으나, 하드웨어가 복잡해지는 단점이 있다.<sup>[3],[4]</sup>

Blind 알고리즘은 성좌도를 축소하여 채널적용 후에 다시 본래의 성좌도로 돌아가는 RCA(Reduced Constellation Algorithm), 원점을 중심으로 동심원상의 거리에 의해 에러 함수를 계산하는 CMA(Constant Modulus Algorithm), CMA와 비슷하나 허수부와 실수부로 나누어 기준 점과의 거리를 줄이는 방향으로 탭 계수를 적응시키는 MMA 등이 있다. RCA, CMA 알고리즘은 고차의 QAM(Quadrature Amplitude Modulation)에서와 같이 성좌도가 조밀해지면 성능이 떨어지는 단점이 있다. 256QAM 방식과 같은 고차의 QAM이나 직교 변조 방식인 CAP(Carrierless AM/PM) 방식의 모뎀에는 적합하게 제안된 MMA가 사용된다.<sup>[15]-[19]</sup>

본 논문에서는 고속 멀티미디어 데이터 통신 환경에서 발생하는 신호 상호간 간섭을 효과적으로 제거할 수 있고 고속으로 동작하는 아키텍처를 제안한다. 등화기에 적용된 알고리즘은 채널 추적에는 고차 변조 방식에 적합한 블라인드 알고리즘인 MMA 알고리즘을 사용하며 직접 판단 모드에 사용되는 알고리즘으로는 LMS 알고리즘을 사용한다. 기존의 구조와는 달리 제안된 등화기의 구조는 error feedback 필터를 사용한 DFE 구조와 훈련순열 없이 채널 적응이 가능한 MMA 알고리즘을 사용한 등화기를 제안하였다.

본 논문의 제 II절에서는 기존의 다른 MMA 등화기에 대하여 소개한다. 제 III절에서는 제안한 MMA 알고리즘과 구조에 대해 서술한다. 제 IV절에서는 기존 등화기와 제안한 등화기를 비교 분석하였으며 마지막으로 V절에서는 결론에 대해 논한다.

## II. 기존의 MMA 알고리즘과 등화기의 구조

등화기의 탭 계수  $W_n$ 은 채널에 등화기가 적용할 수 있도록 하는 값들로서 채널의 특성에 따라 그 값들이 변하게 된다. 이 값들을 조정해주는 방법으로 여러 가지 알고리즘이 사용되며 각각 그 장단점이 있다. 구현된 등화기에는 MMA 알고리즘을 사용하였다. MMA 알고리즘은 1997년에 발표되었으며, 그 동작원리 및 특징은 다음과 같다. MMA의 에러 함수를 수식으로 나타

내면 식 (1) 과 같다.<sup>[16]-[18]</sup>

$$\begin{aligned} \epsilon_{n,r} &= (y_{n,r}^L - R_{M,r}^L) \cdot y_{n,r} \\ \epsilon_{n,i} &= (y_{n,i}^L - R_{M,i}^L) \cdot y_{n,i} \end{aligned} \quad (1)$$

$y_{n,r}$ 은 등화기 출력의 실수 부분,  $y_{n,i}$ 는 등화기 출력의 허수 부분을 나타낸다. 식 (1)에서 나타내듯이 MMA 알고리즘의 에러 함수는 등화기의 출력  $y_n$  값과 고정된 상수인  $R_M$  값에 의하여 결정된다.  $R_M$ 은 MMA 등화기를 채널에 적응시키기 위한 적응상수이며, 송신되는 신호의 통계적인 정보를 가지고 있어서 전송 신호의 사전 정보 없이 채널에 적응 가능하도록 한다.  $R_M$ 은 식 (2)로 생성된다.  $L$  값은 대부분의 적용에서 정수 2를 사용한다.

$$R_M^L = \frac{E[s(t)^{4L}]}{E[s(t)^{2L}]^2} \quad (2)$$

식 (2)에 나타난  $s(t)$ 는 송신되는 신호를 나타낸다. MMA에 사용되는 상수  $R_M$ 은 변조방식이 정하여지면 특정한 값을 가지게 되며, 64 QAM에서는  $R_M \cong 6.01$ 이며, 128 QAM일 때는  $R_M \cong 10.25$ 이고, 256 QAM에서는  $R_M \cong 14.17$ 이다.<sup>[15]</sup>

식 (3)은 MMA의 탭 계수 갱신 수식을 나타낸다. 기존의 MMA는 실수(In-phase) 계수와 허수(Quadrature-phase) 계수가 독립적으로 갱신된다. 식 (3)에서 나타내듯이 MMA를 사용한 등화기는 다른 두 개의 등화기를 함께 구동하는 것처럼 동작하게 된다.  $x_n^*$ 은 등화기의 입력 신호의 켈레 복소수를 나타낸다.

$$\begin{aligned} C_{n+1,r} &= C_{n,r} - \mu_r (y_{n,r}^2 - R_{M,r}^2) \cdot y_{n,r} \cdot x_n^* \\ D_{n+1,i} &= D_{n,i} - \mu_i (y_{n,i}^2 - R_{M,i}^2) \cdot y_{n,i} \cdot x_n^* \end{aligned} \quad (3)$$

그림 1은 기존의 MMA 알고리즘을 사용한 등화기의

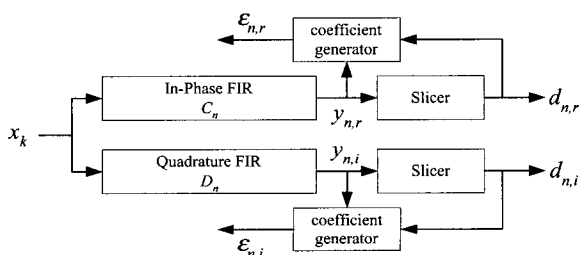


그림 1. 기존의 MMA 알고리즘을 사용한 등화기  
Fig. 1. The existing equalizer using the MMA algorithm.

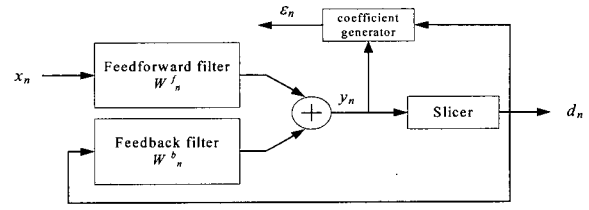


그림 2. MMA 알고리즘을 DFE 구조에 적용한 등화기의 구조  
Fig. 2. The DFE equalizer structure using the MMA algorithm.

구조를 나타낸다. 두 개의 필터가 병렬로 연결되어 있으며, 각각 허수축과 실수축이 독립적으로 동작한다. 두 개의 필터 출력( $y_{n,r}$ ,  $y_{n,i}$ )은 식 (2)의 연산을 수행하는 에러 함수 생성 블록으로 공급되며, 생성된 에러 함수는 두 개의 탭 계수 갱신을 위해 필터로 공급된다.

그림 2는 MMA 알고리즘을 DFE 구조에 적용시킨 등화기의 구조이다. Transversal 구조를 사용한 구조와 같은 탭 수가 사용되나 feedback 필터는 판정된 값을 입력으로 사용하여 transversal 구조보다 더 효과적으로 채널을 등화할 수 있다. MMA를 사용한 탭 계수 갱신은 채널 추적 알고리즘인 LMS 알고리즘의 탭 계수 갱신 수식과 상이하여 두 가지 알고리즘을 함께 사용하기 위해서는 알고리즘마다 전용의 탭 계수 갱신 하드웨어가 필요하고 알고리즘 전환 시 사용되는 제어 블록이 필요하다.

그림 3은 기존의 MMA 알고리즘을 사용한 등화기 필터 구조이며 실수부와 허수부의 독립적 연산을 위하여 필터 두 개를 병렬로 사용하는 등화기를 나타낸다. 필터는 등화기의 입력인  $x_n$ 을 지연시키기 위한 지연 소자,  $x_n$ 과 에러 함수 생성 블록에서 생성된 에러 함수( $\epsilon_{n,r}$ ,  $\epsilon_{n,i}$ )를 곱하여 탭 계수를 생성하기 위한 블록으로 구성되어 있다. 두 개의 필터 출력( $y_{n,r}$ ,  $y_{n,i}$ )은 실수 신호

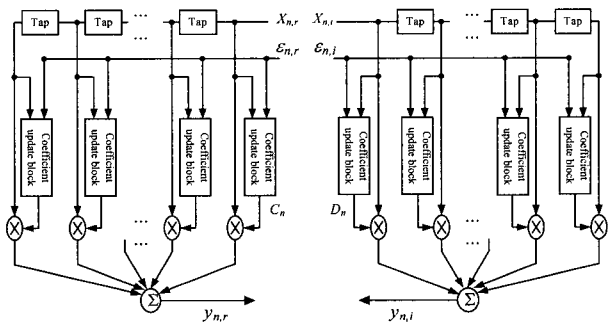


그림 3. 기존 등화기 필터 구조  
Fig. 3. The existing equalizer filter structure.

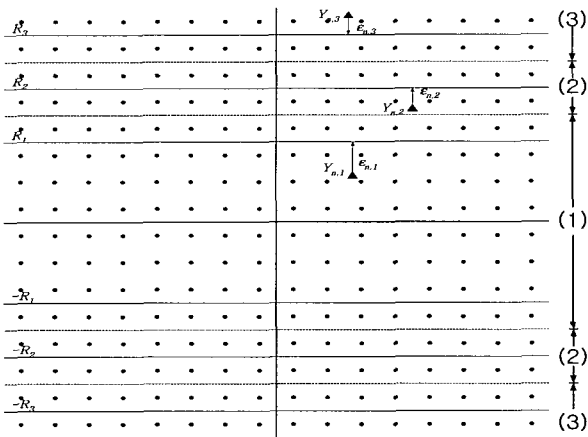


그림 4. 256 QAM에 적용한 MMA(허수축만)  
Fig. 4. GMMA with 256 QAM(only imaginary side).

이다.

GMMA(Generalized MMA)는 MMA를 좀 더 일반화시킨 형태이다. MMA를 256 이상의 고차 QAM이나 CAP 변조 방식에 적용하면 생성되는 에러 함수가 매우 큰 값을 갖게 된다. 에러 함수가 매우 큰 경우 등화기는 발산하거나 진동하게 되는 확률이 높아진다. 이런 경우를 방지하기 위하여 제안된 알고리즘이 GMMA이다<sup>[3], [16]</sup>. GMMA는 등화기의 출력의 크기를 기준으로 적용되는 상수  $R_M$ 의 값을 변화하여 생성되는 에러 함수의 값을 적정 범위 안으로 제한해 주는 알고리즘이다. 등화기 출력의 절대값에 따라 식 (4)와 같이 적용되는  $R_M$ 의 값을 변화시켜 에러 함수의 크기를 줄임으로서 등화기의 동작을 안정시키게 된다. 그림 4의 (1)의 범위에서는 64 QAM 변조방식을 사용한  $R_{M1}$ 과 동일한  $R_{M1}$ 이 사용된다. 등화기의 출력이 (2)의 범위에 위치하면  $R_{M2}$ 가 사용되며, (3)의 범위에서는  $R_{M3}$ 가 적용되어 에러 함수의 크기를 줄여 등화기의 동작을 안정시키게 된다.

$$\begin{aligned} \text{If } 0 \leq |y_n| < 8 \quad &\text{then } R_{M1} \cong 6.01 \\ \text{If } 8 \leq |y_n| < 12 \quad &\text{then } R_{M2} \cong 10.25 \\ \text{If } |y_n| \geq 12 \quad &\text{then } R_{M3} \cong 14.17 \end{aligned} \quad (4)$$

### III. 제안한 MMA 알고리즘과 등화기의 구조

제안한 MMA 알고리즘은 기존의 MMA 알고리즘이 두 개의 허수부와 실수부로 나누어진 두 개의 필터를 통하여 채널 등화를 하는 것에 비하여 하나의 필터를 통하여 탭 계수 갱신만으로 채널 적응이 가능하도록 하였다. 에러 함수 생성 블록은 MMA, GMMA, LMS 알

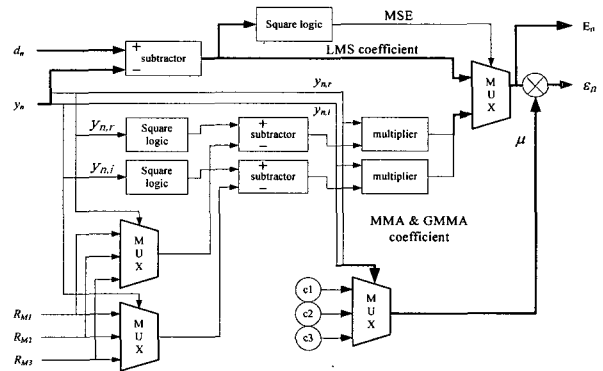


그림 5. MMA와 LMS 알고리즘을 사용한 에러 함수 생성 블록  
Fig. 5. The error function generator for MMA and LMS algorithms.

고리즘을 연동하여 모뎀이 초기에 동작하는 시기에 혼란 순열 없이 MMA와 GMMA 알고리즘을 사용하여 채널에 등화할 수 있게 하였고 채널에 적응하여 MSE 값이 기준치 이하로 떨어지면 LMS 알고리즘으로 전환하여 계속적으로 변화하는 채널에 적응할 수 있도록 하였다. 제안한 MMA 알고리즘의 에러 함수 수식은 다음 식 (5)와 같다.

$$\epsilon_n = (y_{n,r}^2 - R_M^2) \cdot y_{n,r} + j(y_{n,i}^2 - R_M^2) \cdot y_{n,i} \quad (5)$$

에러 함수 생성 블록은 MSE 값을 기준으로 이미 생성된 LMS 에러 함수와 MMA 에러 함수 중 적당한 값을 선택한다.

그림 5는 에러 함수 생성 블록으로서  $y_n$ 은 등화기의 출력이며,  $d_n$ 은 판정기의 출력이다. 이 두 값을 입력으로 받아 변복조 방식 및  $y_n$ 에 의하여 변하는  $R_M$  값을 선택하여 MMA 및 GMMA 에러 함수를 생성한다. 이와 동시에  $y_n$ 과  $d_n$ 의 차로 LMS 에러 함수를 구하여 MSE 값에 따라서 표 1과 같이 두 에러 함수 중 선택하여 출력 에러 함수와 error feedback 필터의 입력 값으

표 1. MSE 값에 따라 선택되는 알고리즘  
Table 1. The selected algorithm according to the MSE value.

MSE 값의 범위	사용되는 알고리즘	예
$MSE \geq 1.5$	블라인드 알고리즘	only use MMA
$0.5 \leq MSE < 1.5$	직전에 사용된 알고리즘	Last used algorithm MMA/LMS
$0 \leq MSE < 0.5$	LMS 알고리즘	only use LMS

로 사용한다. 그림 5에 나타난 굵은 실선은 복소수 신호를 나타내며, 실선은 실수 신호를 나타낸다.

식 (6)은 탭 계수 갱신 수식을 나타낸 것으로 에리 함수는 MSE 값에 따라 선택되어진다. 식 (7)은 error feedback을 사용한 DFE구조에 적용된 탭 계수 갱신 수식으로 에리 함수를 케환시켜 feedforward 필터와 feedback 필터를 거친 신호의 잔존 에러를 감소시키게 된다.

$$\begin{aligned}
 W_{n+1} &= W_n - [a_r \cdot (y_{n,r}^2 - R_M^2) \cdot y_{n,r} \\
 &\quad + ja_i \cdot (y_{n,i}^2 - R_M^2) \cdot y_{n,i}] \cdot x_n^* \quad (6) \\
 &= W_n - [a_r \cdot \varepsilon_{n,r} + ja_i \cdot \varepsilon_{n,i}] \cdot x_n^*
 \end{aligned}$$

$$\begin{aligned}
 W_{n+1}^f &= W_n^f - [a_r \cdot \varepsilon_{n,r} + ja_i \cdot \varepsilon_{n,i}] \cdot x_n^* \\
 W_{n+1}^b &= W_n^b - [a_r \cdot \varepsilon_{n,r} + ja_i \cdot \varepsilon_{n,i}] \cdot d_{n+1}^* \quad (7) \\
 W_{n+1}^e &= W_n^e - [a_r \cdot \varepsilon_{n,r} + ja_i \cdot \varepsilon_{n,i}] \cdot \varepsilon_{n+1}^*
 \end{aligned}$$

$W_n^f$ 와  $W_n^b$ 는 각각 feedforward 와 feedback 필터의 탭 계수를 나타내며  $W_n^e$ 는 error feedback 필터의 탭 계수를 나타낸다. 기존의 MMA 알고리즘과 비교하여 갱신되는 탭의 수는 같지만  $W_n^b$  탭 계수는 DFE 구조에 맞게 추가된 탭 계수이며  $W_n^e$ 는 error feedback에 적용하기 위하여 추가된 탭 계수이다.

식 (5)에서 나타난 에리 함수를 구할 때까지는 실수부와 허수부로 나뉘어 독립적으로 동작하지만, error feedback DFE 필터 내부에서는 그림 6과 같이 하나의 복소 신호로 탭 계수를 생성하게 된다. 그림 6에 제안

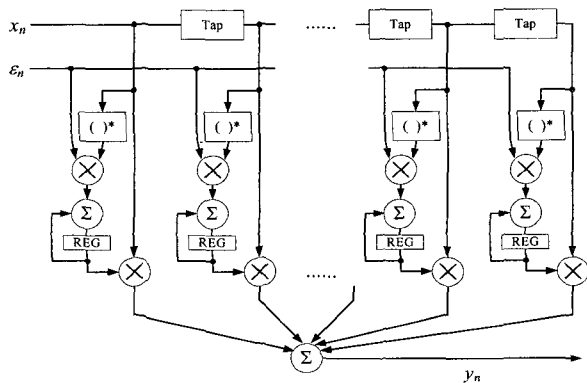


그림 6. 제안한 등화기의 필터 구조  
Fig. 6. The proposed equalizer filter.

한 등화기의 필터 구조를 나타내었다. 그림 2의 필터 구조와 비슷하나 기존의 필터는 두 개의 필터로 나뉘어 계산되어 출력이 실수 신호 형태로 출력되나 제안된 필터는 출력이 하나의 필터로 채널 적응이 가능하며 필터의 출력이 복소 신호인 점이 다르다.

그림 7은 제안한 MMA 알고리즘을 사용한 등화기의 전체 구조를 도시하였다. 기존의 MMA를 사용한 등화기 구조인 그림 2와 3과 같은 수의 탭 수가 사용되었으나 DFE 구조에 error feedback 필터를 추가하여 다른 등화기 보다 더욱 효과적인 채널 등화를 할 수 있다. 그림 2 및 그림 3의 기존 등화기는 허수부와 실수부로 나뉘어진 두 개의 transversal 필터와 DFE 구조를 적용하여 ISI의 전조 부분을 제거하였으나, 후조 부분의 잔존 에러는 남게 된다. 제안한 등화기는 error feedback 필터를 사용하여 DFE 구조에서 제거하지 못한 ISI의 후조 부분 및 잔여 에러를 효과적으로 제거하였다. 그림 7에서 보는 바와 같이 세 개의 필터로 구성된다. error feedback 필터를 DFE 구조에 적용한 형태로 등화기의 입력 신호가 입력되는 필터와 판정된 신호가 입력되는 필터, 에리 함수를 입력으로 사용하는 필터를 사용한다.

등화기의 출력식  $y_n$ 은 식 (8)과 같다.

$$\begin{aligned}
 y_n &= \sum_{i=0}^{M-1} x_{n-i} \cdot W_{n-i}^{f^r} + \sum_{j=0}^{N-1} d_{n-j-1} \cdot W_{n-j}^{b^r} \\
 &\quad + \sum_{k=0}^{N-1} e_{n-k-1} \cdot W_{n-k}^{e^r} \quad (8)
 \end{aligned}$$

feedforward 필터, feedback 필터와 error feedback 필터를 더하여,  $y_n$ 이 생성되며 판정기를 거쳐  $d_n$  값이 만들어진다.  $y_n$ 과  $d_n$ 를 이용하여 에리 함수 생성 블록에

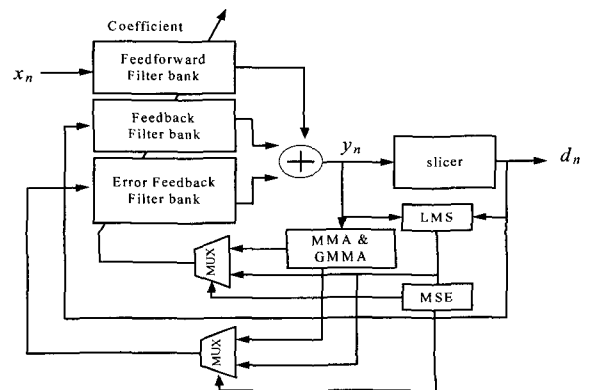


그림 7. 제안한 등화기의 전체 구조  
Fig. 7. The proposed equalizer overall architecture.

서는 MSE 값을 구하여 LMS, MMA 알고리즘을 사용하여 구한 에리 함수 중 선택하여 계수 입력으로 들어가게 된다.

기존의 MMA 알고리즘을 사용한 등화기는 두 개의 transversal 필터를 통하여 채널을 적응하므로 채널 적응 속도 및 등화 능력이 떨어진다. DFE 구조를 사용하면 채널 적응력이 좋아지나 초기 오류전파와 함께 많은 부분의 잔여 에리 성분을 제거하지 못하고 판정 값에 영향을 주게 된다. 제안한 MMA 알고리즘을 사용한 등화기는 LMS와 연동하기 용이하게 구성하였으며 추가적인 탭 수의 증가 없이 error feedback 필터를 추가하여 DFE 구조의 등화기에서 제거할 수 없었던 ISI의 잔여 에리 성분을 효과적으로 제거할 수 있다.

제안한 등화기는 실수축과 허수축을 나누어서 채널 등화를 수행하는 기존의 등화기 보다 feedback 필터의 입력으로 사용되는  $d_n$  신호는 비트 폭이 작아지므로 적은 하드웨어를 사용하여 구현할 수 있다. DFE 구조의 등화기에서 제거하지 못한 후조 부분의 에리를 error feedback 필터를 적용함으로써 감소시킬 수 있다. fixed point 시뮬레이션을 통하여 최적의 비트 수와 탭 수를 결정하여  $y_n$ 은 18비트, weight는 29비트, coefficient는 10비트,  $d_n$ 은 5비트를 할당하였고 feedforward 필터, feedback 필터, error feedback 필터에 각각 5탭, 4탭, 2탭을 할당하였다.

#### IV. 시뮬레이션 및 논리 합성 결과

제안한 등화기의 채널 적응 성능을 파악하기 위하여 SPW<sup>TM</sup> CAD 툴을 사용하여 시뮬레이션을 수행하였으며 그 결과는 등화기가 없는 구조, transversal 구조, DFE 구조와 제안한 구조를 비교하여 그림 8에 나타내었다.

시뮬레이션 채널 환경은 AWGN 잡음과 다중 경로 잡음이 존재하는 채널 환경으로 설정하여 시뮬레이션을 수행하였으며 혼란 순열 없이 채널 환경에 적응하며 기존 등화기의 성능에 비하여 개선된 채널 적응 성능을 볼 수 있다. 기존의 등화기보다 BER이  $10^{-5}$  인 점을 기준으로 하였을 때 transeversal 구조의 등화기 보다 SNR이 약 0.5dB, DFE 구조의 등화기 보다는 약 0.3dB 정도 향상된 것을 볼 수 있다. 또한 채널 환경이 좋지 않은 SNR이 12db 이하인 채널에서도 기존 구조와 비교하여 효과적으로 채널에 적응하는 것을 확인 할 수 있다.

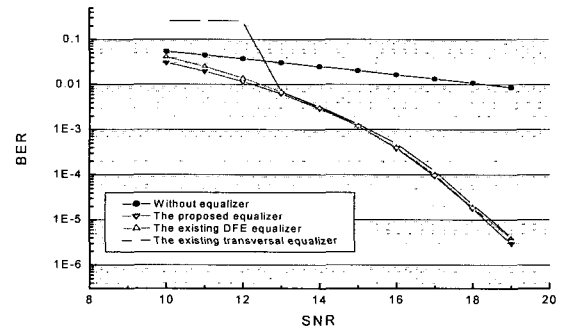
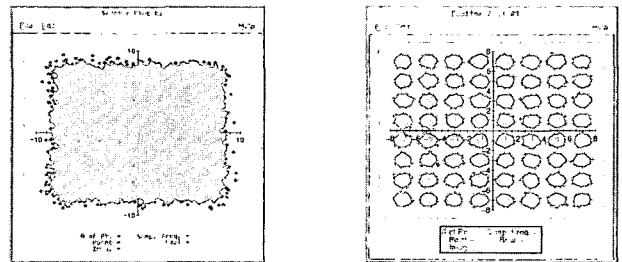


그림 8. 기존의 등화기와 제안한 등화기의 BER/SNR 성능 비교

Fig. 8. The BER/SNR performance comparisons between the proposed equalizer and the existing equalizers.



(a) 등화 전의 성좌도

(b) 등화 후의 성좌도

그림 9. 64 QAM에서 등화기 입출력 데이터의 성좌도  
Fig. 9. Equalizer input/output constellations in 64 QAM.

그림 9는 등화기의 입력과 출력 데이터의 성좌도이다. 그림 9 (a)는 등화되기 전의 값이고 그림 9 (b)는 등화된 후의 성좌도이며 등화기가 효과적으로 동작함을 성좌도로 알 수 있다.

등화기의 설계에는 동작 속도를 향상시키기 위하여 곱셈기 블록에 Booth 알고리즘과 CSA(Carry Save Adder) 구조를 사용하였으며 하드웨어를 줄이기 위하여 제품이 필요한 블록에는 곱셈기 대신 제곱기를 사용하였다. 그림 10은 논리 합성한 결과를 보인 것이다. 제안한 MMA 등화기는 VHDL 언어를 사용하여 구현하였으며 SYNOPSIS<sup>®</sup>를 이용하여 논리 합성을 수행하였다. 논리 합성에는 UMC의 0.25 $\mu$ m 표준 셀 (standard cell) 라이브러리를 이용하였다.

Mentor<sup>®</sup>의 Modelsim<sup>TM</sup>을 이용하여 타이밍 시뮬레이션을 수행하였다. 논리 합성 결과 약 21만 게이트 수와 15MHz의 속도로 동작함을 확인하였다.

설계한 등화기는 XILINX<sup>®</sup> XCV2000E Virtex-E FPGA 칩을 내장한 CELOXICA<sup>®</sup>의 RC1000 FPGA development 보드를 사용하여 성능 검증을 수행하였다.

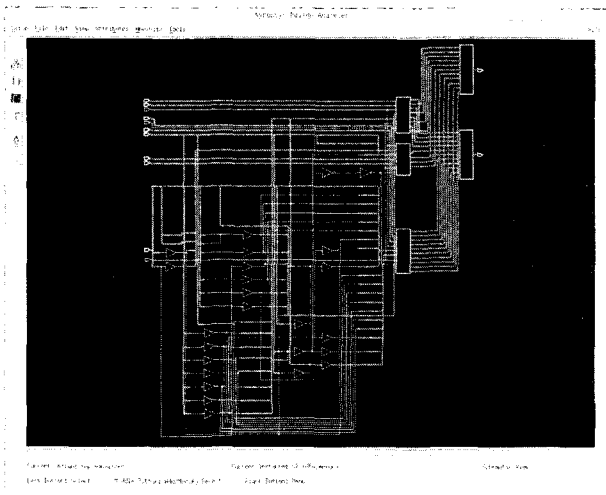


그림 10. 구현한 등화기의 논리합성 결과  
 Fig. 10. The synthesis result of the proposed equalizer.

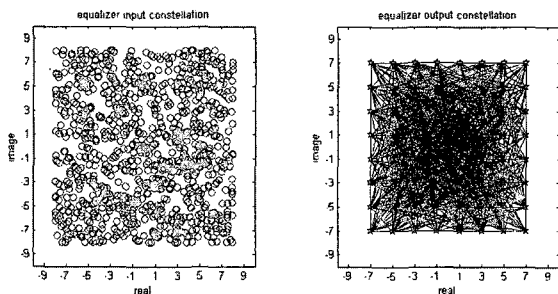


그림 11. FPGA 보드를 사용한 시뮬레이션 결과  
 Fig. 11. Simulation results using FPGA board.

보드를 이용한 성능 검증 결과를 그림 11에 나타내었다. 그림 11은 FPGA에 설계한 등화기를 구성한 후 FPGA 입출력을 MATLAB을 이용하여 디스플레이 한 결과이다.

### V. 결 론

본 논문에서는 LMS, MMA 알고리즘을 사용하고 error feedback을 이용한 DFE 구조의 등화기를 설계하였다. 기존의 두 개의 transversal 필터를 사용하는 MMA 등화기와 단순 DFE구조의 MMA 등화기에 비하여 DFE 구조에서 제거하지 못한 잔여 에러 성분을 error feedback 필터의 적용을 통하여 추가적인 탭 수의 증가 없이 더욱 효과적으로 채널을 등화할 수 있도록 구현하였다. 등화기의 최적화된 탭 수 및 각 블록별 비트 수를 결정하기 위하여 SPW<sup>TM</sup>로 floating point 시뮬레이션 및 fixed point 시뮬레이션을 수행하였으며 시뮬레이션 결과에 따라 feedforward 필터에 5탭, feedback 필터에 4탭, error feedback 필터에 2탭을 사용하였다.

시뮬레이션 채널 환경을 AWGN 잡음과 다중 경로 잡음이 존재하는 채널 환경으로 설정하여 시뮬레이션을 수행하였을 때 훈련 순열 없이 채널 환경에 적응하며 기존 등화기의 성능에 비하여 개선된 채널 적응 성능을 볼 수 있다. SYNOPSIS<sup>®</sup>를 사용하여 논리 합성한 결과 약 21만 게이트 수와 15MHz의 동작 속도를 보였으며 FPGA 칩을 내장한 이물레이션 보드를 사용하여 성능 검증을 하였다. 설계된 MMA 등화기는 256QAM과 같은 고차의 QAM 변조 방식을 필요로 하는 유무선 케이블 모델 및 xDSL 등에 핵심 블록으로 유용하게 사용될 수 있다.

### 참 고 문 헌

- [1] 김 재석, 조 용수, 조 중휘, 이동 통신용 모델의 VLSI 설계, 서울시 서대문구: 대영사, 2001년.
- [2] B. Sklar, *Digital Communication Fundamental and Application-second edition*, Prentice-Hall, 2000.
- [3] D. K. Shin, S. J. Hwang, and M. H. Sunwoo, "Design of a DFE equalizer ASIC chip for 64/256 QAM modulation," in Proc. Asia-Pacific Conf. on Commun., Vol. 2, pp. 1002-1006, Nov. 2000.
- [4] S. Haykin, *Adaptive Filter Theory-third edition*, Prentice-Hall, 1996.
- [5] J. Labat, O. Macchi, and C. Laot, "Adaptive Decision Feedback Equalization : Can You Skip the Training Period," IEEE Trans. Commun., Vol. 46, No. 7, pp. 921-930, July 1998.
- [6] W. H. Park, J. H. Hong, M. H. Sunwoo, K.H. Kim, S. K. Oh, "Implementation of high-speed blind channel equalizer for QAM modems," in Proc. IEEE Int. conf. on Systems on Chip (SoC), pp. 263-264, Sept. 2003.
- [7] Jung H. Lee, Weon H. Park, Ju H. Hong, Myung H. Sunwoo, Kyung H. Kim, "A high-speed blind DFE equalizer using an error feedback filter for QAM modems," in proc. International Symposium on Circuits and Systems, Vol. 4, pp. 464-467, May 2003.
- [8] T. Wang, and C. L. Wang, "A New Block Adaptive Filtering Algorithm for Decision-Feedback Equalization of Multipath Fading Channels," IEEE Trans. Circuits Syst.-II, Vol. 44, No. 10, Oct. 1997.
- [9] 김 동욱, 한 성현, 은 명수, 최 중수, "에러 제환을 이용한 적응 결정 패환 등화기," 한국통신학회 논문지, 제21권, 7호, 1706-1715쪽, 1996년 7월

- [10] T. I. Laakso, and I. O. Hartimo, "Noise Reduction in Recursive Digital Filters Using High-Order Error Feedback," IEEE Trans. Sig. Proc., Vol. 40, No. 5, May. 1992.
- [11] P. Monsen, "Theoretical and measured performance of DFE modem on fading multipath channel," IEEE Trans. Commun., Vol. COM-25, No. 10, pp. 1144-1153, Oct. 1977.
- [12] N. S. Jayant, P. Noll, *Digital Coding of Waveforms: Principle and Application to Speech and Video*, Prentice-Hall Inc., 1984.
- [13] B. Girod, H. Almer, L. Bengtsson, B. Christensson, P. Weiss, "A subjective evaluation of noise-shaping quantization for adaptive intra-/interframe DPCM coding of color television signals," IEEE Trans. Commun., Vol. COM-36, No. 3, pp. 332-346, Mar. 1988.
- [14] Gi-Hong Im, Kyu-Min Kang, "Performance of a hybrid decision feedback equalizer structure for CAP-based DSL systems," IEEE Trans. Sig. Proc., Vol. 49, pp. 1768-1785, Agu. 2001.
- [15] R. A. Axford Jr., L. B. Milstein, J. R. Zeidler, "The Transversal and Lattice Multiple Modulus Algorithms for Blind Equalization of Qam Signals," in Proc. IEEE MILCOM., Vol. 2, pp. 586-591, 1995.
- [16] L. M. Garth, "A Dynamic Convergence Analysis of Blind Equalization Algorithms," IEEE Trans. Commun., Vol. 49, No. 4, Apr. 2001.
- [17] A. P. des Rosiers, and P. H. Siegel, "Effect of Varying Source Kurtosis on the Multimodulus Algorithm," in Proc. IEEE Int. conf. on Commun., vol. 2, pp. 1300-1304, 1999.
- [18] D. K. Shin, S. J. Hwang, M. H. Sunwoo, "Design of a DFE equalizer ASIC chip using the MMA algorithm," in Proc. IEEE Workshop on Signal Processing Systems (SiPS), pp. 200-209, Oct. 2000.
- [19] J. Yang, J. J. Werner, G. A. Dumont, "The Multimodulus Blind Equalization Algorithm," in Proc. IEEE Int. conf. on DSP, Vol. 1, pp. 127-130, 1977.

---

 저 자 소 개
 

---



홍 주 형(정회원)  
 2002년 2월 아주대학교  
 전자공학과 졸업(학사)  
 2004년 2월 아주대학교  
 전자공학 석사  
 2004년~현재 삼성전자

<주관심분야 : Communication Systems, SOC design, DSP>



박 원 흠(정회원)  
 2001년 2월 강원대학교  
 전자공학과 졸업(학사)  
 2003년 2월 아주대학교  
 전자공학과 석사  
 2003년~현재 삼성전자

<주관심분야 : 통신용 ASIC 설계>



선우명훈(정회원)  
 1980년 2월 서강대학교  
 전자공학과 졸업(학사)  
 1982년 2월 한국과학기술원  
 전기 및 전자공학 석사  
 1982년~1985년 한국전자통신  
 연구소(ETRI) 연구원

1985년~1990년 Univ. of Texas at Austin  
 전기 및 컴퓨터 공학과 박사  
 1990년~1992년 미국 Motorola, DSP Chip  
 Operations  
 1992년~현재 아주대학교 전자공학부 교수  
 2001년~현재 IEEE Senior Member  
 2004년~현재 IEEE CAS Society Seoul Chapter  
 Chair

<주관심분야 : VLSI 및 SoC Architecture, 멀티  
 미디어 통신용 DSP 칩 및 ASIC 설계>



오 성 근(정회원)  
 1983년 2월 경북대학교  
 전자공학과 졸업(학사)  
 1985년 2월 한국과학기술원  
 전기 및 전자공학 석사  
 1990년 8월 국과학기술원 전기 및  
 전자공학 박사

1993년 12월~1993년 8월 삼성전자(주)  
 1993년 8월~현재 아주대학교 전자공학과 교수  
 <주관심분야 : 이동통신 시스템용 적용 배열 안  
 테나 신호처리 시스템, 이동통신 시스템용 적응등  
 화기, DS-CDMA 수신 시스템, Acoustic Echo  
 Canceller>