

논문 2005-42SD-8-5

고속 저전력 VLSI를 위한 가변 샘플링 윈도우 플립-플롭의 설계

(Variable Sampling Window Flip-Flops for High-Speed Low-Power VLSI)

신상대*, 공배선**

(Sang-Dae Shin and Bai-Sun Kong)

요약

본 논문에서는 전력소모 감소 및 강건성 (robustness) 향상을 위한 새로운 구조의 플립-플롭을 제안한다. 가변 샘플링 윈도우 플립-플롭(Variable sampling window flip-flop, VSWFF)은 입력 데이터에 따라 샘플링 윈도우의 폭을 변화시켜 강인한 데이터-래치 동작을 제공할 뿐 아니라 더욱 짧은 hold time을 갖는다. 또한, 이 플립-플롭은 입력 스위칭 행위(input switching activity)가 큰 경우에 기존의 저전력 플립-플롭보다 내부 전력소모를 감소시킬 수 있다. 클럭 진폭 감쇄형 가변 샘플링 윈도우 플립-플롭(Clock swing-reduced variable sampling window flip-flop, CSR-VSWFF)은 작은 스윙 폭의 클럭을 사용함으로써 클럭분배망(clock distribution network)의 전력소모를 감소시킬 수 있다. 기존의 클럭 진폭 감쇄형 플립-플롭(Reduced clock swing flip-flop, RCSFF)과 달리, 제안된 플립-플롭은 공급전압만으로 동작하므로 고전압의 발생 및 분배로 인한 설계 상의 비용증가를 제거한다. 시뮬레이션 결과, 기존의 플립-플롭과 비교하여 더욱 좁은 샘플링 윈도우에서도 불변의 지연값(latency)을 유지하고 전력-지연 곱(power-delay product, PDP)이 개선됨을 확인하였다. 제안된 플립-플롭의 성능을 평가하기 위하여 0.35 μ m CMOS 공정기술을 이용하여 테스트 칩을 설계하였으며, 실험 결과, VSWFF는 입력 스위칭 행위가 최대일 때 전력소모가 감소하며 CSR-VSWFF를 이용하여 설계된 동기 카운터는 부가 고전압의 사용 없이 전력소모가 감소됨을 확인하였다.

Abstract

This paper describes novel flip-flops with improved robustness and reduced power consumption. Variable sampling window flip-flop (VSWFF) adjusts the width of the sampling window according to input data, providing robust data latching as well as shorter hold time. The flip-flop also reduces power consumption for higher input switching activities as compared to the conventional low-power flip-flop. Clock swing-reduced variable sampling window flip-flop (CSR-VSWFF) reduces clock power consumption by allowing the use of a small swing clock. Unlike conventional reduced clock swing flip-flops, it requires no additional voltage higher than the supply voltage, eliminating design overhead related to the generation and distribution of this voltage. Simulation results indicate that the proposed flip-flops provide uniform latency for narrower sampling window and improved power-delay product as compared to conventional flip-flops. To evaluate the performance of the proposed flip-flops, test structures were designed and implemented in a 0.35 μ m CMOS process technology. Experimental result indicates that VSWFF yields power reduction for the maximum input switching activity, and a synchronous counter designed with CSR-VSWFF improves performance in terms of power consumption with no use of extra voltage higher than the supply voltage.

Keywords : 플립-플롭, 강건성, 가변 샘플링 윈도우

* 학생회원, 한국항공대학교 항공전자공학과
(Department of Avionics Engineering, Hankuk Aviation University)

** 정회원, 성균관대학교 정보통신공학부
(School of Information and Communication Engineering, Sungkyunkwan University)

※ 본 연구는 2004년 한국항공대학교 특별연구과제 연구비에 의하여 수행되었으며, 설계를 위한 CAD Tool은 IDEC으로부터 지원 받았음.

접수일자 : 2004년8월11일, 수정완료일 : 2005년7월21일

I. 서론

플립-플롭(flip-flop) 및 래치(latch)와 같은 동기회로들은 고성능 동기형 디지털 시스템(synchronous digital system)의 동작에 있어서 매우 중요한 역할을 수행한다^[1]. 먼저, 시스템의 동작주파수가 높아지면서 적은 지연값(latency)을 갖는 동기회로에 대한 요구가 절실해지고 있다. 또한, 휴대용 디지털 시스템은 대부분 배터리에 의해서 동작을 하므로 동작시간을 증가시키기 위해서 저전력 동기회로에 대한 필요성도 점차 증가하고 있다^{[2][3]}. 최근에 위의 요구를 충족시킬수 있는 접근방법으로 여러 가지 플립-플롭에 대한 연구가 다양하게 진행되어 왔다^{[4]~[8]}. 먼저, Sense amplifier-based flip-flop(SAFF)^[4]은 작은 data-to-output 지연값으로 인하여 고속 디지털 시스템을 구현하는데 주로 사용된다. 그러나, 이 플립-플롭은 내부 단자들의 반복되는 충방전으로 인하여 입력 데이터에 상관없이 상대적으로 많은 양의 전력을 소모하는 단점이 있다. 위의 문제점을 해결하기 위하여 제안된 Conditional-capture flip-flop(CCFF)^[5]은 입력 스위칭 행위가 작은 경우에 불필요한 전이를 제거하여 전력소모를 획기적으로 감소시켰다. 그러나, 이 플립-플롭은 공정과 동작조건의 변화로 발생하는 샘플링 윈도우(sampling window) 폭의 불확실성으로 인하여 강인한 래치 동작을 제공할 수 없다는 단점이 있다. 또한, 입력 스위칭 행위가 큰 경우에 SAFF보다 전체 전력소모가 더 커질 수 있어, 입력 스위칭 행위가 빈번히 발생하는 경우에 활용이 용이하지 못하다는 단점도 지적되고 있다. 한편, 대부분의 디지털 시스템에서 클럭 분배망의 전력소모는 전체 전력의 약 20~45%를 차지하는 것으로 알려져 있다. 이에 따른 클럭 분배망의 과도한 전력소모를 줄이기 위하여 작은 스윙 폭의 클럭을 사용한 reduced clock swing flip-flop(RCSFF)^[6]이 제안되었다. 기존의 플립-플롭에 스윙 폭이 적은 클럭을 직접 사용하면 클럭이 high인 구간에서 단락-회로 전류(short-circuit current)가 흐르기 때문에, RCSFF에서는 공급전압보다 높은 부가전압을 사용하여 p-형 precharge 트랜지스터(transistor)의 몸체전압(body-potential)을 변화시켜 문턱전압(threshold voltage)을 조정함으로써 이 전류를 제거하였다. 이에 따라, RCSFF는 추가의 고전압을 생성하고 이를 전체 칩을 통하여 모든 플립-플롭으로 분배해야

하는 설계 상의 비용증가를 야기하는 단점이 있다.

본 논문에서는 위에서 기술된 기존의 플립-플롭의 단점을 극복하기 위한 새로운 플립-플롭을 소개한다^[10]. 첫 번째로 제안된 플립-플롭은 완전한 스윙 폭의 클럭으로 동작되며, 공정과 동작조건의 변화로 발생하는 샘플링 윈도우 폭의 변화에도 강인한 래치 동작을 가능하게 하고 입력 스위칭 행위가 큰 경우에 전력소모를 감소시킨다. 두 번째로 제안된 플립-플롭은 작은 스윙 폭의 클럭으로 동작되며, 부가 고전압의 사용 없이 전력소모를 감소시킨다. 제 II 장은 제안된 플립-플롭의 회로구조와 동작을 서술하고, 제 III 장에서는 제안된 플립-플롭의 성능을 평가하기 위하여 시뮬레이션 결과와 이를 적용하여 제작한 칩의 측정결과를 제시한다. 마지막으로 제 IV 장에서는 본 논문의 결론을 서술하였다.

II. 구조 및 동작

1. 가변 샘플링 윈도우 플립-플롭

그림 1은 제안된 플립-플롭의 회로도도를 나타내며 가변 샘플링 윈도우 플립-플롭(Variable sampling window flip-flop, VSWFF)이라고 불리워진다. 이는 고속 set-reset 래치(SR latch)를 갖는 차동 회로로 구성된다. 첫 번째 단은 고속 동작을 위하여 precharged 차동회로로 구성되며 CCFF의 NOR 게이트 대신에 M10에서 M15까지의 트랜지스터가 사용된다. M16에서 M19까지의 트랜지스터는 누설전류를 보상하여 정적 동작을 보장하기 위하여 사용되며, 트랜지스터 M18 및 M19의 소스 단자는 트랜지스터 M7의 드레인에 연결되어 있다. 두 번째 단의 M24에서 M27까지의 트랜지스터와 인버터는 고속으로 동작되는 대칭 구조의 set-reset 래치로 구성된다.

제안된 플립-플롭의 동작은 다음과 같다. 클럭이 low 일 때 precharge 단자 RB 및 SB는 V_{DD} 로 precharge 된다. CKB는 high이고 CKD는 low이기 때문에 M12에서 M15까지의 트랜지스터는 on 이고 트랜지스터 M10 및 M11은 off 이므로, 내부 단자 NS와 NR은 각각 출력 QB와 Q에 의해 구동된다. 여기서 Q를 low로 가정하고 QB를 high로 가정하면, NS는 high가 되어 M3이 on 되고 NR은 low가 되어 M4가 off 된다. 이제, 클럭의 상승에지(rising-edge) 후의 플립-플롭 동작은 입력

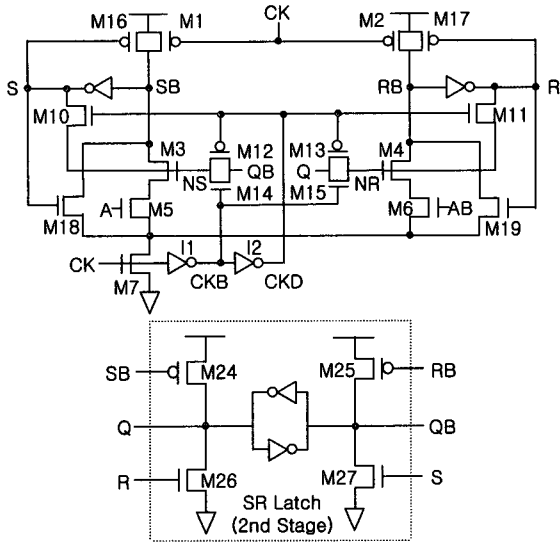


그림 1. 가변 샘플링 윈도우 플립-플롭
Fig. 1. Variable sampling window flip-flop.

되는 데이터에 의해 결정된다. 만약, 입력 A가 low 라면 클럭의 상승에지에서 M5가 off 되어 있기 때문에 SB는 방전될 수 없다. 그러므로 Q와 QB의 상태는 변화되지 않고 이전 값을 유지하게 된다. 인버터 I1과 I2의 지연시간 후 CKD가 high로 천이되면, NS 및 NR은 각각 S 및 R에 의해 구동된다. 이 때, S가 low이기 때문에 NS의 전압은 하강하게 되어 M3이 off 됨으로써 방전 통로를 차단시킨다. 한편, NR은 R의 값이 계속 low이기 때문에 zero 값을 유지한다. 클럭의 하강에지(falling-edge) 후에 NS의 전압은 QB에 의해 구동되어 다시 상승하게 된다. 이번에는 클럭의 상승에지에서 입력 A가 high일 때의 동작을 살펴보자. 이때는 트랜지스터 M3 및 M5가 동시에 on 되어 SB는 방전을 시작하며, 결국 출력 Q와 QB는 각각 high와 low 값으로 천이하게 된다. 인버터 I1과 I2의 지연시간 후 CKD가 high로 천이되면 트랜지스터 M10이 on 되기 때문에 NS는 S에 의해 구동된다. 이 때, S가 high로 천이되었기 때문에 NS는 zero 값이 아닌 $V_{DD}-V_{TH}$ 의 값을 유지한다. 그러므로, 트랜지스터 M3는 계속 on 상태로 유지되어 SB가 완전히 방전할 수 있게 된다. 이전 경우와 마찬가지로 NR은 이 시간의 전체 주기 동안 계속 zero 값을 유지한다. 클럭의 하강에지 후에 SB는 M1에 의해 다시 V_{DD} 로 충전된다. 이 때, 클럭이 low인 주기 동안 M7은 완전히 off 되며, M18의 소스 단자가 M7의 드레인에 접속되기 때문에 M1과 M18사이에 신호 파이팅(signal

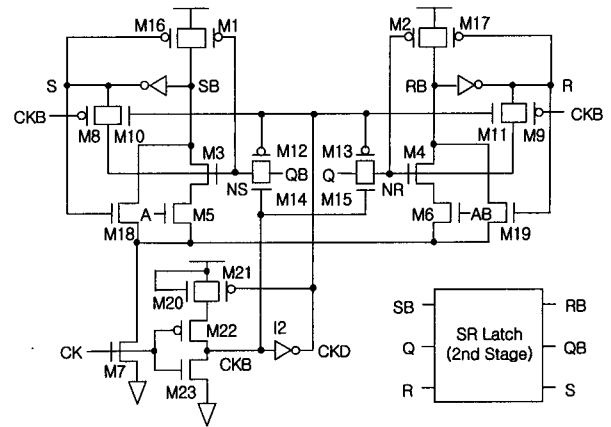


그림 2. 클럭 진폭 감쇄형 가변 샘플링 윈도우 플립-플롭
Fig. 2. Clock swing-reduced variable sampling window flip-flop.

fighting)을 유발하지 않는다. CKD가 low가 되면 NS와 NR은 각각 출력 QB와 Q에 의해 구동된다. 출력 값이 변화하였기 때문에, NS는 low가 되고 NR은 high로 되어 다음 클럭의 상승에지에서 RB는 입력 데이터에 따라 방전될 수 있다.

2. 클럭 진폭 감쇄형 가변 샘플링 윈도우 플립-플롭

앞에서 서술한 바와 같이, 작은 스윙 폭의 클럭을 이용한 플립-플롭은 클럭 분배망의 전력소모를 절감할 수 있다. 하지만, 고속 플립-플롭은 일반적으로 precharge 동작을 위하여 외부 클럭에 의해 구동되는 p-형 트랜지스터를 사용하므로, 작은 스윙 폭을 갖는 외부 클럭을 직접 사용한다면 클럭의 high 구간에서 많은 양의 단락-회로 전류가 흐를 수 있게 된다. 앞에서 소개한 RCSFF에서는 precharge 트랜지스터의 몸체 전압의 변화를 통하여 문턱 전압을 증가시켜 이 단점을 해결하였다. 그러나, 이 방법은 부가적인 고전압을 요구하기 때문에 이 전압의 생성 및 분배로 인한 설계 상의 비용증가를 야기한다는 단점이 지적되었다. 이 절에서는 이러한 단점을 극복하기 위하여 작은 클럭 스윙 폭을 갖는 새로운 구조의 플립-플롭을 제안한다. 그림 2는 제안된 플립-플롭의 회로도를 나타내며, 클럭 진폭 감쇄형 가변 샘플링 윈도우 플립-플롭 (Clock swing-reduced variable sampling window flip-flop, CSR-VSWFF)이라고 불리워진다.

플립-플롭의 전체적인 구조는 VSWFF와 유사하며, 차이점을 아래에 서술하였다. 먼저, precharge 트랜지스터 M1과 M2는 외부 클럭 대신에 내부 신호 NS와 NR에 의해 구동되며, p-형 트랜지스터 M8과 M9가 추가되었다. 또한, VSWFF의 클럭 인버터인 I1과 I2는 클럭 스윙 복원회로(clock swing recovery circuit)로 교체되었다^[9]. 이 회로는 M20에서 M23까지의 트랜지스터와 I2의 인버터로 구성되며, 작은 스윙 폭을 갖는 외부 클럭을 완전한 스윙 폭의 내부 클럭으로 변환한다. 다이오드(diode) 형태로 접속된 트랜지스터 M20은 클럭이 high 일 때 트랜지스터 M22의 소스전압을 공급전압에서 문턱전압 만큼 하강시켜 트랜지스터 M22가 완전히 off 되도록 한다. 한편, 트랜지스터 M21은 클럭이 low 인 구간에서 완전한 V_{DD} 값이 CKB에 전달되도록 하는 역할을 수행한다.

일반적인 플립-플롭과 달리 제안된 플립-플롭은 precharge 동작을 위한 p-형 트랜지스터를 외부 클럭이 아닌 내부 신호를 이용하여 구동하고 있으나, 클럭이 low인 power-up reset 구간 동안 precharge 단자가 항상 precharge level인 V_{DD} 의 값을 가지도록 보장한다. 즉, reset 구간에서 CK는 zero의 값을 갖게 되고 NS 및 NR은 각각 QB 및 Q에 의해 구동된다. 먼저, SB의 초기값이 우연히 low라고 가정하면, S는 high의 값을 갖는다. 이때, 출력 QB의 전압은 두 번째 단계에 의해 low로 하강하게 되어 NS의 전압도 하강하게 된다. 이렇게 되면 precharge 트랜지스터 M1이 on 되어 SB의 전압은 상승하게 되므로 V_{DD} 의 값을 보장한다. 이번에는 반대로 RB의 초기값이 low라고 가정하면, R은 high가 되어 Q와 NR은 low의 상태로 된다. 그로 인해 precharge 트랜지스터 M2가 on 되어 RB의 전압은 상승하게 되므로 역시 V_{DD} 의 값을 보장한다. CSR-VSWFF의 동작은 회로의 변경으로 인한 부분을 제외하면 VSWFF와 거의 유사하다. 클럭이 low일 때, NS와 NR 단자는 각각 QB와 Q에 의해 구동되므로 NS 및 NR 중 하나의 단자는 high가 되고 다른 하나의 단자는 low가 된다. Precharge 트랜지스터들은 이들 신호에 의하여 구동되기 때문에 하나의 트랜지스터가 off 되면 다른 트랜지스터는 on 된다. Precharge 트랜지스터가 off 되었을 때 precharge 단자는 M16 또는 M17의 궤환 트랜지스터에 의해 V_{DD} 의 값을 유지하게 된다. 이제, 클럭의 상승에서 입력 데이터에 따라 precharge 단자는 VSWFF

에서처럼 방전 될 수도 있고 그렇지 않을 수도 있다. 먼저, precharge 단자가 방전되지 않는 경우에는, CKD 단자가 high로 천이되면 내부 단자인 NS 또는 NR의 값이 low로 변하게 되어 precharge 트랜지스터가 on 될 수 있다. 그렇지만, precharge 단자가 이미 high로 유지되고 있기 때문에 전체 동작에 영향을 미치지 않는다. 한편, precharge 단자가 방전되는 경우에는, CKD가 high로 천이되면 내부 단자인 NS 또는 NR은 VSWFF와 마찬가지로 high의 값을 유지한다. 그렇지만, 내부 단자인 NS 또는 NR은 PMOS 트랜지스터 M8 또는 M9 때문에 VSWFF와 달리 V_{DD} 의 값을 갖게 되어 precharge 트랜지스터는 완전하게 off 되므로 SB 단자가 완전히 방전된다. 클럭 신호가 low로 변하게 되면 NS 또는 NR이 low로 천이되어 precharge 동작이 수행된다.

III. 실험결과 및 고찰

제안된 플립-플롭은 기존의 플립-플롭보다 향상된 성능을 제공한다. 앞서 언급된 것처럼, CCFF는 샘플링 윈도우 폭의 불확실성으로 인하여 강인한 래치 동작을 보장할 수 없었다. 이에 반하여, 제안된 플립-플롭은 입력 데이터에 따라 샘플링 윈도우의 폭을 가변시켜 향상된 강건성(robustness) 동작을 수행한다. 즉, precharge 단자가 방전될 때는 샘플링 윈도우의 폭을 넓게 하여 어떠한 공정조건에서도 완전한 방전을 보장하므로, 예러 없는 동작을 가능하게 한다. 반대로, precharge 단자가 방전하지 않을 때는 샘플링 윈도우의 폭을 기존의 플립-플롭과 마찬가지로 짧게 유지한다. 또한, 위와 같은 가변 샘플링 윈도우 동작은 플립-플롭의 hold time을 더욱 짧게 하여, 정교한 hold time analysis를 행해야 하는 부담을 경감시킨다. 게다가 트랜지스터 수를 줄였을 뿐 아니라 precharge 주기 동안에 신호의 파이팅을 제거하였기 때문에 입력 스위칭 행위가 큰 경우에 CCFF보다 내부 전력소모를 감소시킬 수 있다. II장에서 설명된 것처럼, 트랜지스터 M18과 M19는 클럭이 low 인 구간에서 항상 off 되는 M7을 통하여 접지와 연결되어 있기 때문에, precharge 주기 동안 신호의 파이팅을 막아줄 수 있다. Precharge 단자가 방전될 때 M16 또는 M17로 인해 약간의 파이팅이 존재할 수 있지만, 이 경우는 방전이 매우 빨리 진행되어 파이팅 구

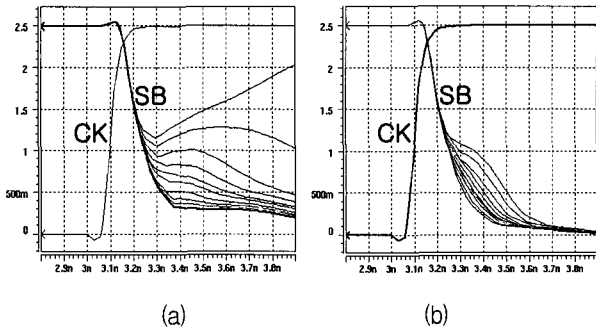
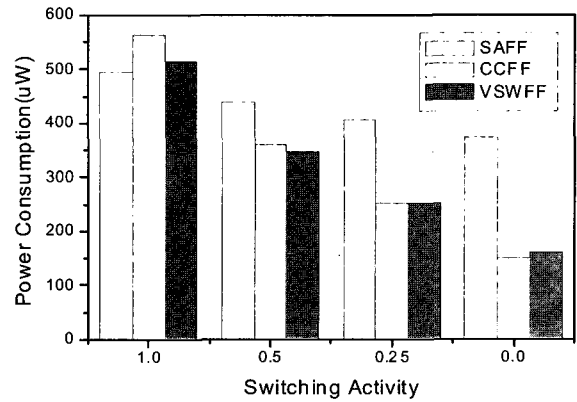


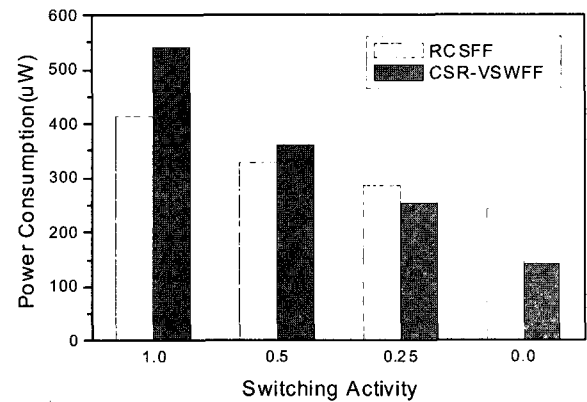
그림 3. 샘플링 윈도우 폭에 대한 민감도의 비교: (a) CCFF; (b) VSWFF
 Fig. 3. Comparison of sensitivity to sampling window width: (a) CCFF; (b) VSWFF.

간이 매우 작기 때문에 이로 인한 추가 전력소모의 양은 매우 작게 된다. 한편, RCSFF는 작은 스윙 폭을 갖는 외부 클럭에 의해 precharge 트랜지스터를 구동하기 때문에 클럭이 high 일 때 precharge 트랜지스터의 몸체전압의 변화를 통하여 문턱전압을 증가시켜 단락-회로 전류를 제거하였으나, 이러한 방법은 부가 고전압을 생성하고 분배해야 하는 설계 상의 비용증가를 야기하였다. 이에 반하여, CSR-VSWFF는 작은 스윙 폭을 갖는 외부 클럭 대신에 완전한 스윙 폭을 갖는 내부 클럭에 의하여 precharge 트랜지스터를 구동하기 때문에 부가 고전압의 사용 없이도 단락-회로 전류를 제거할 수 있다. 따라서, 부가 고전압의 생성과 분배로 인한 설계 상의 비용증가를 야기하지 않는 장점이 있다.

제안된 플립-플롭의 성능을 평가하기 위하여, 0.35 μ m CMOS 공정기술을 이용하여 테스트 회로를 설계하여 시뮬레이션 하였다. 전원공급전압은 3.3V이며, p-형과 n-형 트랜지스터들의 문턱전압은 각각 0.8V와 0.6V이다. 시뮬레이션은 레이아웃으로부터 추출된 기생저항과 기생 캐패시터를 포함하여 HSPICE 시뮬레이터를 이용하여 수행하였다. 입력 데이터를 받아들일 때의 강건성을 평가하기 위하여, CCFF 및 VSWFF의 샘플링 윈도우 폭을 10ps 간격으로 270ps에서 180ps까지 변화시키며 동작을 시뮬레이션 하였으며, 이때 precharge 단자 SB의 파형을 그림 3에 나타내었다. 그림에서 보는 바와 같이, VSWFF는 CCFF보다 더욱 짧은 샘플링 윈도우 폭에서도 SB 단자는 완전히 방전되어 강인한 래치 특성을 보이고 있다. 그림 4는 입력 스위칭 행위의 변화에 따른 전력소모를 나타내고 있다. 완전한 스윙 폭을 갖는 플립-플롭에서는 입력 스위칭 행위가 최대인 경우



(a)



(b)

그림 4. 입력 스위칭 행위에 따른 전력소모: (a) 완전한 스윙의 클럭을 갖는 플립-플롭; (b) 적은 스윙의 클럭을 갖는 플립-플롭

Fig. 4. Power consumption of flip-flops in terms of switching activity: (a) flip-flop with full-swing clock; (b) flip-flop with small-swing clock.

에 VSWFF는 CCFF보다 약 9% 전력을 감소시켰으며, 작은 스윙 폭을 갖는 플립-플롭에서는 입력 스위칭 행위가 최소인 경우에 CSR-VSWFF는 RCSFF보다 약 41%의 전력을 감소시켰다. 표 1은 트랜지스터 수, 지연값(latency), 전력소모량 및 전력-지연 곱(power-delay product, PDP)을 포함한 중요한 플립-플롭의 특성을 나타내고 있다. 위 데이터 중 지연값은 입력 데이터 변화로부터 출력값의 변화까지의 총시간 지연값을 측정하였으며, 전력소모량은 클럭 주파수가 100MHz 일 때 입력 스위칭 행위 30%의 환경에서 평균 전력소모량을 측정하였다. 표에 나타난 바와 같이, VSWFF는 CCFF보다 전력-지연 곱을 5%만큼 향상시켰으며, CSR-VSWFF는 RCSFF와 비교하여 51%만큼의 전력-지연 곱을 향

표 1. 플립-플롭 특성: (a) 완전한 스윙의 클럭을 갖는 플립-플롭; (b) 적은 스윙의 클럭을 갖는 플립-플롭

Table 1. Flip-flop characteristics: (a) flip-flop with full-swing clock; (b) flip-flop with small-swing clock.

(a)

Flip-flop Type	Device Count	Latency (ps)	Power (μ W)	PDP (fj)	Ratio
SAFF	26	361	411	148.4	-
CCFF	35	373	274.2	102.3	31
VSWFF	33	357	265.8	94.9	36

(b)

Flip-flop Type	Device Count	Latency (ps)	Power (μ W)	PDP (fj)	Ratio
RCSFF	18	634	293.6	186.1	-
CSR-VSWFF	37	345	262.1	90.4	51

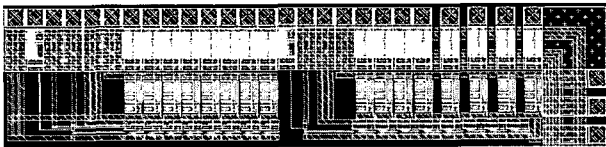


그림 5. 측정 테스트 구조의 레이아웃 그림
Fig. 5. Layout picture of test structure.

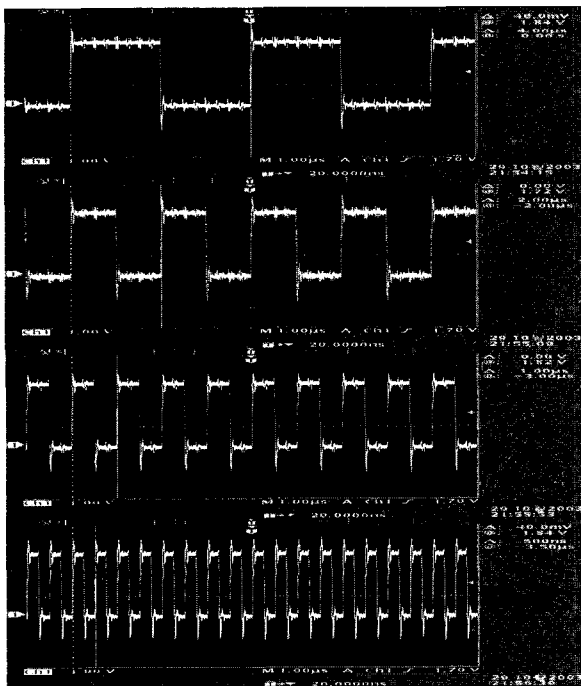


그림 6. 카운터 출력 파형
Fig. 6. Measured waveforms of 8-bit synchronous counter.

상시켰다.

제안된 플립-플롭의 성능을 실제적으로 검증하기 위하여 테스트 회로를 설계하여 제작하였다. 첫 번째 테스트 회로는 CCFF와 VSWFF의 최대 전력 소모량을 측정할 수 있도록 설계하였으며, 두 번째 테스트 회로는 RCSFF 및 CSR-VSWFF를 이용하여 8-비트 동기 카운터를 제작하여 평균 전력 소모량을 측정할 수 있도록 설계하였다. 제작된 테스트 회로의 레이아웃은 그림 5에 나타나 있다. 전원전압이 3.3V 일 때 줄어든 클럭 스윙 폭은 2.2V로 하였으며, RCSFF의 경우에는 PMOS precharge 트랜지스터들의 문턱전압을 조정하기 위하여 5V의 부가전압을 외부에서 공급하였다. 제작된 동기 카운터의 출력파형은 그림 6에 나타나 있으며, 이들 테스트 회로에 대한 전력소모 측정결과를 정리하면 다음과 같다. 즉, 매 클럭 cycle 마다 변화된 데이터를 받아들일 경우의 최대 전력 소모량은 CCFF 및 VSWFF가 각각 258 μ W 및 235 μ W로 나타나, 제안된 플립-플롭이 기존의 플립-플롭과 비교하여 8.3% 만큼의 최대 전력 소모량의 감소를 가져왔다. 또한, 동기 카운터의 평균 전력 소모는 RCSFF 및 CSR-VSWFF의 경우 각각 113 μ W 및 106 μ W로 측정되어, 제안된 CSR-VSWFF를 이용한 카운터는 부가 고전압의 사용 없이 기존의 RCSFF를 이용한 카운터보다 전체 전력 소모량을 6.2% 만큼 감소시켰다.

IV. 결 론

본 논문은 강건성과 전력소모 측면에서 향상된 성능을 갖는 새로운 플립-플롭을 제안하였다. 이들 플립-플롭은 샘플링 윈도우의 불확실성에 대한 민감도를 최소화함으로써 강건성을 향상시켰으며, 입력 스위칭 행위가 큰 경우에 전력소모를 감소시켰다. 제안된 플립-플롭의 클럭 스윙을 줄인 버전은 부가 고전압을 요구하지 않으므로 이 전압의 생성과 분배로 인한 설계 상의 비용증가를 제거하였다. 실험 결과, 제안된 플립-플롭이 기존의 플립-플롭보다 향상된 성능을 나타냄을 확인하였다.

참 고 문 헌

[1] N. Weste, and K. Eshragian, *Principles of CMOS VLSI design: A systems perspective.*

- Reading, MA: Addison-Wesley, pp. 145-149, 1986.
- [2] J. M. Labaey, et al., *Low power design methodologies*, Norwell, MA: Kluwer Academic, 1996.
- [3] V. Stojanovic, et al., "Comparative analysis of master-slave latches and flip-flops for high-performance and low-power systems," *IEEE J. Solid-State Circuits*, vol. 34, no. 4, pp. 536-548, April 1999.
- [4] B. Nikolic, et al., "Improved sense amplifier-based flip-flop: design and measurements," *IEEE J. Solid-State Circuits*, vol. 35, no. 6, pp. 876-884, June 2000.
- [5] B.-S. Kong, et al., "Conditional-capture flip-flop for statistical power reduction," *IEEE J. Solid-State Circuits*, vol. 36, no. 8, pp. 1263-1271, August 2001.
- [6] H. Kawaguchi, et al., "A reduced clock-swing flip-flop (RCSFF) for 63% power reduction," *IEEE J. Solid-State Circuits*, vol. 33, no. 5, pp. 807-811, May 1998.
- [7] S. M. Mishra, et al., "A high performance double edge-triggered flip-flop using a merged feedback technique," *IEE Proceedings-Circuits, Devices and Systems*, vol. 147, no. 6, pp. 363-368, Dec. 2000.
- [8] S. M. Mishra, et al., "A methodology to design high performance double edge-triggered flip-flops," *IEE Proceedings-Circuits, Devices and Systems*, vol. 147, no. 5, pp. 283-290, Oct. 2000.
- [9] M. Hashimoto and D.-K. Jeong, "Small to full swing conversion circuit", *U.S. Patent 5,332,934*, July 1994.
- [10] S.-D. Shin, et al., "Variable sampling window flip-flop for low-power application," *IEEE Int. Symp. on Circuits and Systems, Dig. of Tech. Papers*, pp. 257-260, May 2003.

저 자 소 개



신 상 대(학생회원)
 2002년 한국항공대학교
 항공전자공학과 공학사.
 2004년 한국항공대학교
 항공전자공학과 공학석사.
 2005년~현재 한국항공대학교
 항공전자공학과 박사과정.

<주관심분야 : 디지털 및 혼성모드 집적회로설계,
 저전력 메모리 설계>



공 배 선(정회원)
 1990년 연세대학교
 전자공학과 공학사.
 1992년 한국과학기술원(KAIST)
 전기 및 전자공학과
 공학석사.
 1996년 한국과학기술원(KAIST)
 전기 및 전자공학과
 공학박사

1996년~1999년 LG 반도체 중앙연구소
 2000년~2005년 한국항공대학교 항공전자공학과
 부교수.

2005년~현재 성균관대학교 정보통신공학부
 부교수

<주관심분야 : 디지털 및 혼성모드 집적회로설계,
 저전력 메모리 설계>