

논문 2005-42SD-9-5

Tracking analog-to-digital 변환기를 이용한 digital phase-locked loop

(Digitally controlled phase-locked loop
with tracking analog-to-digital converter)

차 수 호*, 유 창 식**

(Sooho Cha and Changsik Yoo)

요 약

본 논문에서는 1.6Gb/s에서 동작하는 digitally controlled phase-locked loop (DCPLL)를 제안한다. DCPLL은 일반적인 아날로그 PLL과 tracking analog-to-digital 변환기를 결합한 구조이다. 제안한 DCPLL에서는 tracking ADC의 출력이 voltage controlled oscillator (VCO)의 제어 전압을 생성한다. 일반적으로 사용되는 digital PLL (DPLL)은 digitally controlled oscillator (DCO)와 time-to-digit converter (TDC)로 구성된다. DCO와 TDC를 사용한 DPLL은 시간 스텝이 작을 수록 jitter 특성이 향상되지만 전력소모는 커진다. 이 논문에서 제안한 DCPLL은 DPLL의 핵심요소인 DCO와 TDC를 사용하지 않았기 때문에 jitter, 면적, 전력소모 측면에서 유리하다. DCPLL은 0.18 μ m 4-metal CMOS공정을 이용하여 제작하였고 면적은 1mm \times 0.35mm를 차지한다. 1.8V 단일 전원전압으로 정상동작에서는 59mW, power-down 모드에서는 984 μ W 전력을 소모하고 16.8ps rms jitter를 갖는다.

Abstract

A digitally controlled phase-locked loop (DCPLL) is described. The DCPLL has basically the same structure as a conventional analog PLL except for a tracking analog-to-digital converter (ADC). The tracking ADC generates the control signal for voltage controlled oscillator. Since the DCPLL employs neither digitally controlled oscillator nor time-to-digital converter—the key building blocks of digital PLL (DPLL), there is no need for the trade-off between jitter, power consumption and silicon area. The DCPLL was implemented in a 0.18 μ m CMOS process and the active area is 1mm \times 0.35 mm. The DCPLL consumes 59mW during the normal operation and 984 μ W during the power-down mode from a 1.8V supply. The DCPLL shows 16.8ps rms jitter.

Keywords : Phase-locked loop, Tracking ADC, DAC

I. 서 론

PLL은 디지털, 아날로그 그리고 혼성 시스템 등 폭 넓은 분야에서 주파수 체배, 클록 동기화, zero-delay 버퍼링 등 다양한 목적으로 사용되는 중요한 I/O circuit이다. 일반적으로 PLL은 locking 정보가 아날로

그 신호로 저장되는 아날로그 회로이다. PLL의 locking 정보가 아날로그 신호이기 때문에 power-down (sleep) 모드에서 정보가 손실될 우려가 있어 아날로그 PLL을 turn-off시키는 것은 어렵다. 이 점에서 power-down 모드에서의 전력소비는 중요한 문제가 된다. 그럼 1과 같이 DCO, TDC 그리고 디지털 컨트롤 로직 등 디지털 회로를 이용하여 PLL을 구성하면 power-down 모드동안 PLL을 off시킬 수 있다^[1]. Digital PLL의 다른 장점은 여러 공정에서도 재설계 없이 사용할 수 있는 이식성이다. 그러나 DPLL의 jitter와 locking의 정확성은 TDC와 DCO의 time 스텝에 의해 결정된다. Jitter 특성

* 학생회원 ** 정회원, 한양대학교 전자통신컴퓨터공학부
(Department of Electronics and Computer
Engineering, Hanyang University)

※ 본 논문은 한양대학교의 연구비 지원으로 작성되었
습니다.

접수일자: 2005년7월29일, 수정완료일: 2005년9월10일

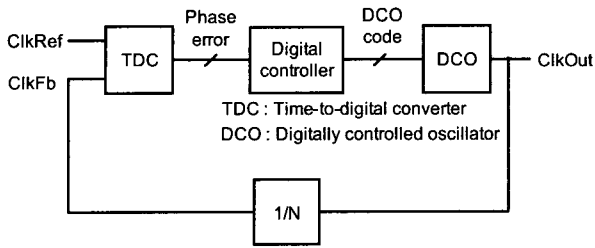


그림 1. DCO, TDC로 구성된 일반적인 digital PLL
Fig. 1. Conventional DPLL with DCO and TDC.

을 향상시키기 위해 time 스텝을 증가하면 더 많은 전력소비와 실리콘 면적을 차지하게 된다.

이 논문에서 제안하는 PLL의 주안점은 시스템의 스탠바이 상태에서의 power-down 기능이다. 이를 만족하기 위해서는 PLL이 아날로그 회로 블록으로 구성되어 있더라도 locking 정보가 손실되지 않도록 디지털 코드로 저장하고 있어야 한다. 논문에서는 DPLL에서 사용되는 TDC, DCO를 사용하지 않고 디지털 코드로 제어되는 아날로그 PLL을 구현한다. 일반적인 아날로그 PLL과 같이 VCO를 사용하고 VCO 제어 신호는 digital-to-analog converter (DAC)에서 발생한 전압을 이용한다. Locking 정보는 DAC의 디지털 입력으로 디지털 코드로 저장되므로 시스템의 스탠바이 모드에서 PLL을 power-down할 수 있게 된다. Tracking ADC는 locking 정보의 정확성과 jitter 특성을 향상하기 위해 10-비트 해상도를 갖는 DAC를 사용하였다. 제안된 DCPLL은 측정을 통해 1.8V 단일 전원전압에서 PLL 정상동작시 59mW, power-down 모드시 984μW 전력을 소모하고 16.8ps rms jitter 특성을 가짐을 확인하였다.

다음 장에서는 제안된 DCPLL의 구조와 동작원리를 설명하고 측정결과를 요약한다.

II. Tracking ADC로 구성된 digitally controlled PLL

그림 2에서 보인 DCPLL은 일반적인 아날로그 PLL^[2-3]과 같이 VCO, 주파수 체배기, 위상/주파수 검출기 (PFD), charge pump (CP), 루프 필터로 구성된다. 일반적인 아날로그 PLL과 달리 본 논문에서 제안한 DCPLL은 tracking ADC를 이용하여 VCO를 제어한다. Tracking ADC는 루프필터의 아날로그 VCO 제어 신호를 디지털 코드로 변환한다.

DCPLL은 두 개의 피드백 루프를 가진다. 하나는 DCPLL의 locking을 위한 피드백 루프 (global loop)로

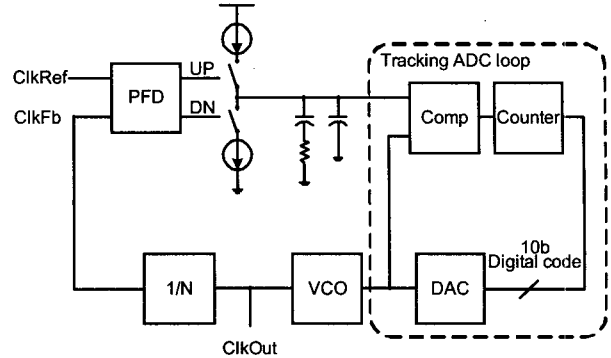


그림 2. Tracking ADC로 구성된 제안한 DCPLL
Fig. 2. Proposed DCPLL with tracking ADC.

기존의 아날로그 PLL과 같은 루프이고 다른 하나는 루프필터의 출력을 디지털 코드로 변환하는 tracking ADC 루프 (local loop)이다. 피드백 루프가 두 개이므로 PLL의 안정성과 jitter 특성을 확인하기 위해 MATLAB을 이용하여 검증하였다. Tracking ADC 루프 대역폭이 global 루프 대역폭보다 크면 DCPLL의 안정성에 영향을 주지 않음을 확인하였다. DCPLL의 locking 시간은 tracking ADC 루프 대역폭으로 결정됨을 확인하였다.

1. Tracking ADC

그림 3은 전압 비교기, 10-비트 카운터, 10-비트 DAC로 구성되는 tracking ADC를 나타낸다. Locking 정보의 정확성과 jitter 특성 향상을 위해 10-비트 DAC를 사용하였다. 로우 패스 필터링 된 charge pump 출력은 DAC의 출력과 비교되고 10-비트 카운터는 루프 필터 출력과 DAC출력의 차이가 1-LSB 이하가 될 때까지 토글 된다.

DCPLL의 power-down 모드에서 PFD와 CP는 오프되어 루프 필터의 출력노드는 floating된다. 따라서 아

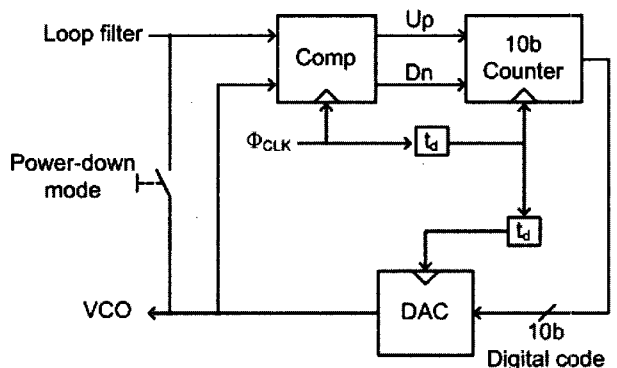


그림 3. Tracking analog-to-digital 변환기
Fig. 3. Tracking analog-to-digital converter.

날로그 전압으로 저장되는 루프 필터의 출력은 정상 모드에서의 결과와 다르게 된다. DCPLL이 power-down 모드에서 회복하여 정상모드에서 동작할 때 DAC 출력과 루프 필터 출력에 차이가 있기 때문에 tracking ADC가 동작하여 디지털 코드를 변화시킨다. 시스템이 정상모드에서 동작하기 전에 PLL을 다시 locking 되어야 하는 문제가 발생한다. Power-down 모드에서도 루프 필터 전압은 일정하게 유지 되어야 한다. Power-down 모드 동안 루프 필터의 출력이 floating되어 전압이 변화하는 현상을 방지하기 위해 그림 3과 같이 DAC 출력과 루프 필터 출력 사이에 스위치를 추가하였다. 이 스위치는 power-down 모드동안 닫혀 루프 필터 출력과 DAC 출력을 같게 해 준다.

2. Digital-to-analog converter in tracking ADC

Tracking ADC에서 DAC의 글리치는 DCPLL의 jitter 특성을 결정하는 중요한 역할을 한다. 글리치를

줄이기 위해 thermometer coded 10-비트 DAC를 사용하였다. 전류 셀의 수를 줄이기 위해 9-비트 유닛 전류 셀과 1-비트 바이너리 전류 셀로 구성하였다^[4]. 9비트 전류 셀의 배열은 면적을 고려하여 4-비트 열 × 5-비트 행 매트릭스 형태를 이용하였다.

그림 4-(a)^[5]에 나타난 것과 같이 전류 셀을 추가하게 될 때 행과 열 제어 신호사이에 시간적 차이가 존재하면 thermometer coded DAC도 2진 가중치 DAC와 마찬가지로 큰 글리치를 발생하게 된다. 만약 행(열) 제어 경로가 더 빠르면 원하는 셀을 켜기 위해 열의 나머지 셀이 꺼졌다가 켜지는 과정을 거치게 된다. 이 문제를 해결하기 위해서 그림 4-(b)와 같은 디코딩 구조를 사용하였다. 이 구조에서 홀수 열과 짝수 열의 컨트롤 로직을 다르게 하여 글리치가 2-LSB이하가 되도록 한다.

3. Comparator

PLL이 동작할 때 비교기의 입력 오프셋 전압이 존재하더라도 루프 필터 전압과 DAC 출력 사이에 전압 차이는 발생하겠지만 DCPLL은 locking되어 정상 동작한다. 그러나 비교기의 오프셋을 보상하기 위한 회로가 필요하다. 루프 필터 출력이 floating되는 것을 방지하고 power-down 모드에서 빨리 회복할 수 있도록 power-down 모드동안 DAC 출력 전압을 루프 필터에 인가한다. 비교기의 오프셋 전압 때문에 locking된 루프 필터 전압과 DAC 출력전압이 다르므로 시스템이 sleep 모드에서 정상모드로 회복될 때 다시 locking 되어야 한다.

그림 5는 비교기와 오프셋 보상 타이밍도이다. 비교기는 pre-amplifier와 sense-amplifier 타입 래치로 구성된다^[6]. 루프 필터 전압은 넓은 전압범위를 갖기 때문에 그림 5-(b)와 같이 rail-to-rail 입력 전압 범위를 갖는 증폭기를 이용하였다. 증폭기의 입력 오프셋 전압 보상은 두 과정으로 나누어져 있으므로 Φ_1 , Φ_2 의 non-overlapped 클럭을 이용하였다. Φ_1 이 'High'일 때 pre-amplifier의 입력과 출력 노드에 기준전압을 인가하면 출력 노드의 커패시터에 입력 오프셋 전압이 저장된다. Φ_2 가 'High'일 때 차동입력이 인가되면 커패시터에 저장된 전압과 입력 오프셋 전압은 상쇄되어 차동입력 전압만 증폭된다. Φ_{Latch} 가 'LOW'일 때 래치의 출력노드는 VDD로 충전된다. Φ_{Latch} 가 'HIGH'일 때 래치는 pre-amplifier에서 증폭된 신호를 감지하여 디지털 신호로 변환한다.

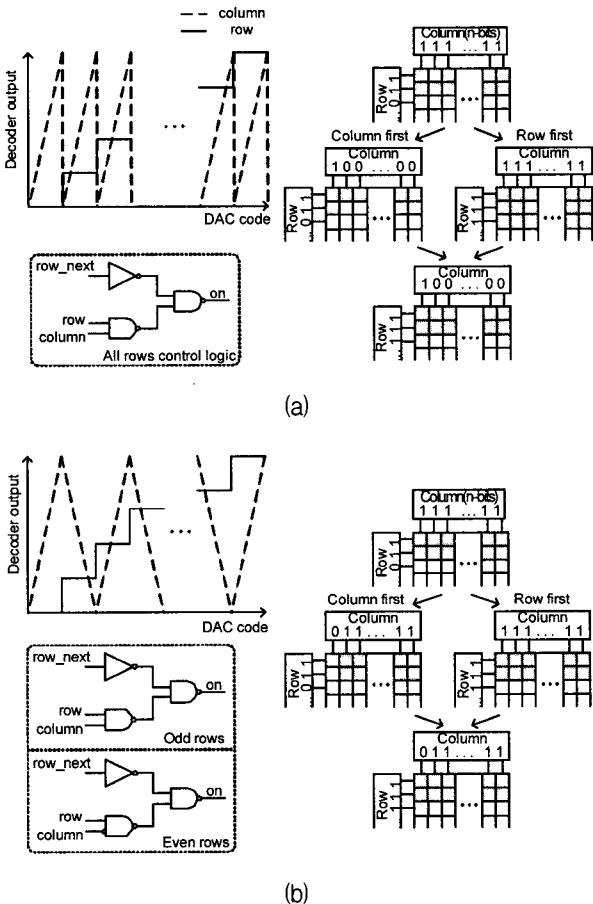


그림 4. (a) 일반적인 디코딩 scheme과 (b) 글리치를 줄이기 위한 디코딩 scheme^[5]
 Fig. 4. (a) Conventional decoding scheme and (b) the decoding scheme with negligible glitch^[5].

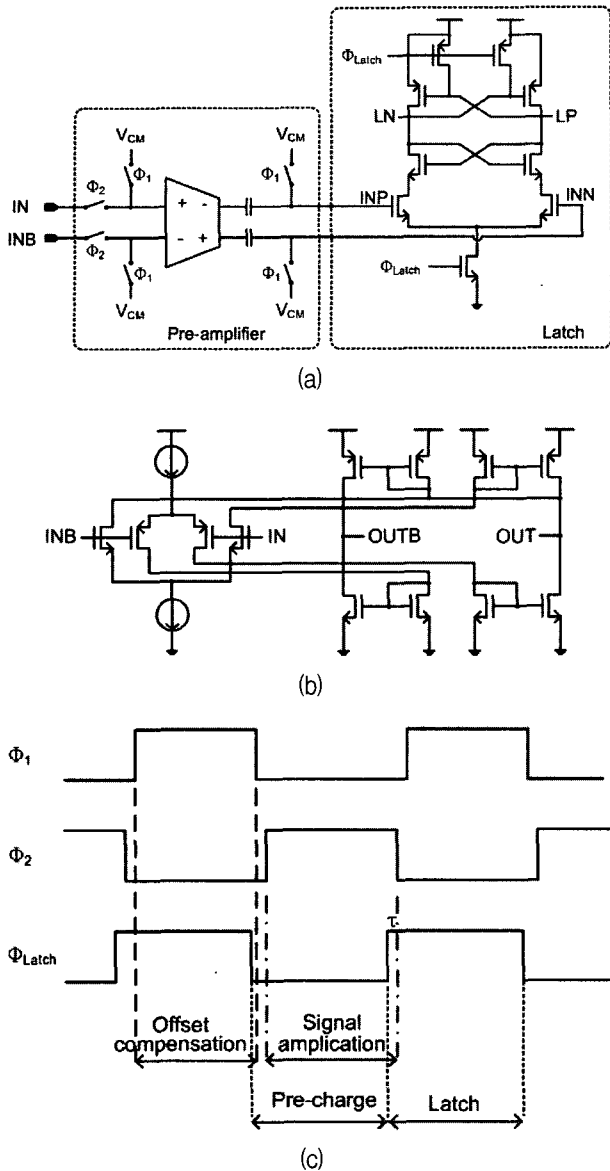


그림 5. (a) 오프셋 보상 회로가 있는 비교기 (b) rail-to-rail 입력 공통모드범위를 갖는 pre-amplifier (c) 오프셋 보상 타이밍도
 Fig. 5. (a) Comparator with offset-compensation circuit, (b) pre-amplifier with rail-to-rail input common-mode range and (c) its offset-compensation timing diagram.

4. Voltage controlled oscillator

모드 노이즈의 영향을 줄이기 위해 그림 6과 같이 완전 차동 형태의 링 오실레이터로 구현하였다. 발진 주파수는 그림 6-(b)과 같이 350MHz에서 1.3GHz 범위를 갖는다. 이 때 VCO 제어 전압 범위는 0.6V에서 1.1V이다. VCO에서 사용된 replica bias는 VCO의 출력 스윙을 기준전압 (V_{ref})으로 일정하게 하는 역할을 한다^[7].

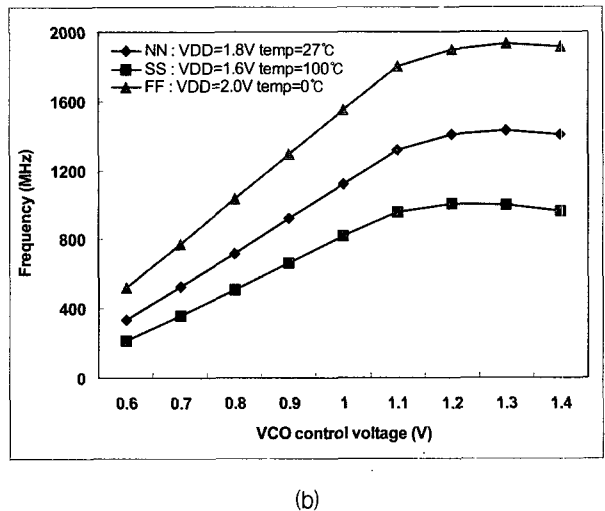
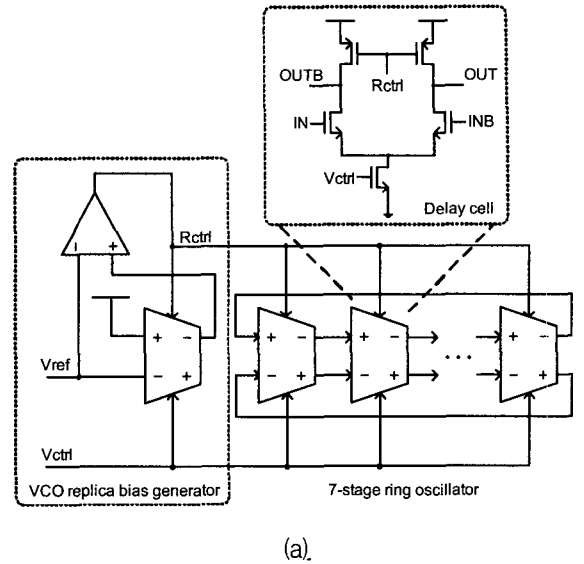


그림 6. (a) 완전 차동 형태 링 오실레이터 (b) 전압-주파수 특성
 Fig. 6. (a) Fully differential ring oscillator type VCO and (b) its voltage-to-frequency characteristic.

III. 시뮬레이션 및 측정 결과

아날로그 PLL과 tracking ADC로 구성된 DCPLL을 0.18 μ m CMOS 공정을 이용하여 구현하였다. 그림 7은 구현한 PLL의 microphotograph이고 실리콘 면적은 1.0mm \times 0.35mm 이다.

그림 8은 SPICE를 이용하여 시뮬레이션 한 locking 파형을 나타낸다. Locking된 구간에서 DAC 출력전압이 루프 필터 전압을 2-LSB이내에서 안정적으로 움직이는 것을 시뮬레이션을 통해 확인할 수 있다. 그림 9는 120MHz 기준클럭을 인가했을 때 위상/주파수 검출기에서 사용하기 위해 피드백 되는 120MHz 클럭과 VCO의 출력인 10배 체배된 1.2GHz 출력파형을 나타

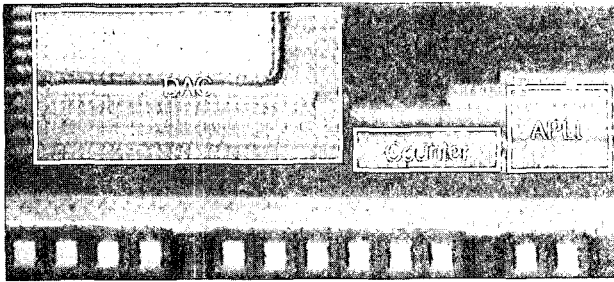


그림 7. DCPLL의 microphotograph
Fig. 7. Microphotograph of the DCPLL.

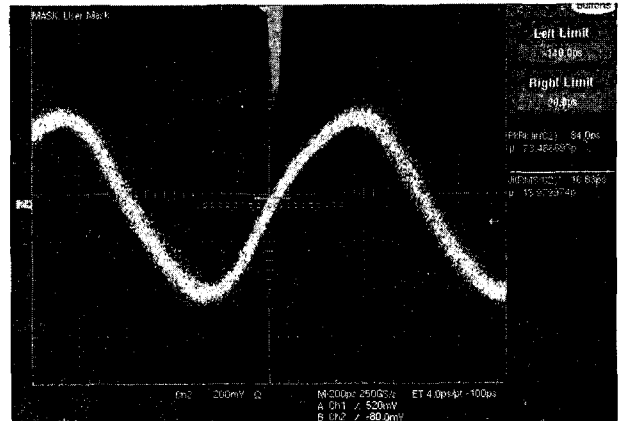


그림 10. 측정된 jitter 결과
Fig. 10. Jitter measurement results.

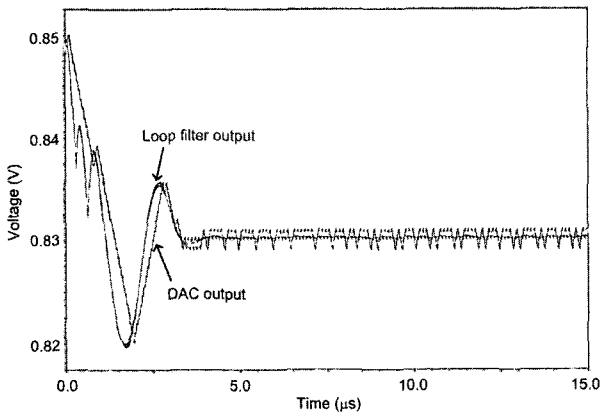


그림 8. DCPLL의 locking 파형
Fig. 8. Simulated locking behavior of the DCPLL.

표 1. DCPLL 특성 요약
Table 1. Performance summary of DCPLL.

Technology	0.18μm 4-metal CMOS
Die area	1.0mm × 0.35mm
Supply voltage	1.8V
Power Dissipation	59mW : 정상동작 984μW : power-down state
Jitter	Peak-to-peak : 84ps rms : 16.8ps
Locking range	250MHz ~ 1.2GHz

표 2. 제안한 DCPLL과 다른 논문 비교
Table 2. Comparison of proposed DCPLL and others.

변수 \ 구조	Proposed	ADPLL ^[9]	Semi DPLL ^[10]
Area	1	1.04	0.2
Power	1	4	5.3
Jitter	1	1.4	1.36
FOM	1	16.3	4.5

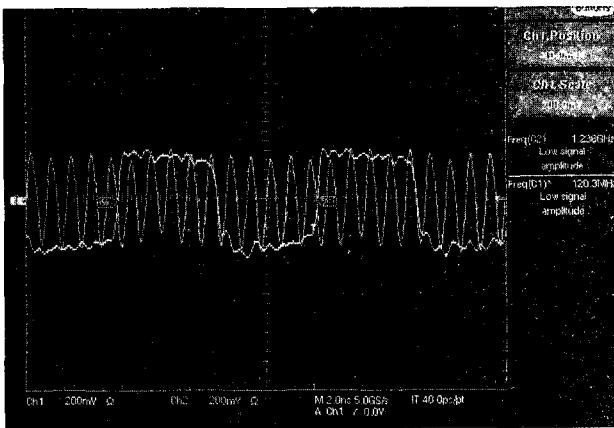


그림 9. 측정된 120MHz 기준 클럭과 1.2GHz 출력 클럭
Fig. 9. Measured 120MHz reference and 1.2GHz output clocks.

낸다. 그림 10에서 볼 수 있듯이 rms jitter는 16.8ps로 측정되었다. 측정된 DCPLL 특성을 표 1에 요약하였다.

표 2에서는 제안한 DCPLL과 all digital PLL, 개선한 DPLL을 비교한다. 공정과 주파수가 다르기 때문에 정규화 시켜 비교하였다. 비교를 위해 사용된 figure of merit(FOM)^[8]은 다음과 같다. PLL에서 jitter는 중요한 파라미터이므로 비교할 파라미터마다 가중치를 달리하여 jitter는 제곱, power는 1.5승을 적용하였다.

$$FOM = \left(\frac{\text{area} (\text{mm}^2)}{(\text{tech}/0.18)^2} \right) \left(\frac{\text{mW}}{\text{MHz}} \right)^{1.5} (\text{jitter} (\text{ps}) \sqrt{\text{mW}})^2 \quad (1)$$

표 2에서 보듯이 ADPLL보다 면적과 전력소모에서 FOM이 좋은 것을 알 수 있다.

IV. 결 론

본 논문에서는 tracking ADC로 구성된 digitally controlled phase-locked loop (DCPLL)을 제안하고 0.18μm CMOS 공정을 이용하여 구현하여 검증하였다. DCPLL는 일반적인 아날로그 PLL과 locking 정보를 디

지털 코드로 변환하는 tracking ADC 결합한 구조이다. 일반적인 APLL과 달리 DCPLL은 tracking ADC의 출력전압이 VCO제어 전압으로 사용된다. 제한한 PLL은 digital PLL의 핵심 블록인 DCO, TDC를 사용하지 않았기 때문에 jitter, 전력소모, 실리콘 면적 면에서 이점을 가지며 VCO제어 전압을 디지털 코드로 저장하기 때문에 power-down 모드에서 locking정보가 손실되지 않는다. 0.18 μ m 4-metal CMOS 공정으로 구현하였고 실리콘 면적은 1.0mm \times 0.35mm이다. 측정결과 1.8V 단일 전원전압에서 정상동작시 59mW, power-down 상태에서 984 μ W 전력을 소모하였다. DCPLL의 rms jitter는 16.8ps로 측정되었다.

참 고 문 헌

- [1] T. Olsson et al., "A digitally controlled PLL for digital SOCs," IEEE J. Solid-State Circuits, Vol. 39, No. 5, pp. 751-760, May. 2004.
- [2] F. Gardner, "Charge-Pump Phase-Lock Loops," IEEE Trans. Communications, Vol. COM-28, pp. 1849-1858, Nov. 1980.
- [3] J. Maneatis, "Low-Jitter Process-Independent DLL and PLL Based on Self-Biased Techniques," IEEE J. Solid-State Circuits, Vol. 31, no. 11, pp. 1723-1732, Nov. 1996.
- [4] C. Lin et al., "A 10 bit, 500Msample/s CMOS DAC in 0.6mm²," IEEE J. Solid-State Circuits, Vol. 33, No. 12, pp. 1948-1958, Dec. 1998.
- [5] J. Linet et al., "A PVT Tolerant 0.18MHz to 600MHz Self-Calibrated Digital PLL in 90nm CMOS Process," in IEEE Int. Solid-State Circuits Conf. Dig. Tech. Papers, pp. 488-489, Feb. 2004.
- [6] B. Razavi et al., "Design techniques for high-speed, high-resolution comparators," IEEE J. Solid-State Circuits, Vol. 27, No. 12, pp. 1916-1926, Dec. 1992.
- [7] S. Kim et al., "A 960-Mb/s/pin interface for skew-tolerant bus using low jitter PLL," IEEE J. Solid-State Circuits, Vol. 32, No. 5, pp. 691-700, May. 1997.
- [8] A. Fahim et al., "A Fast Lock Digital Phase-Locked loop Architecture for Wireless Application," IEEE J. Solid-State Circuits, Vol. 50, No. 2, pp. 347-351, Feb. 2003.
- [9] C. Chung et al., "An All-Digital Phase-Locked Loop for High-Speed Clock Generation," IEEE J. Solid-State Circuits, Vol. 38, No. 2, pp. 347-351, Feb. 2003.
- [10] I. Hwang et al., "A digitally controlled phase locked loop with fast locking scheme for clock synthesis application," in IEEE Int. Solid-State Circuits Conf. Dig. Tech. Papers, pp. 168 - 169, Feb. 2000.

저 자 소 개



차 수 호(학생회원)
2004년 한양대학교 전자컴퓨터공학부
학사 졸업.
2004년~현재 한양대학교
전자통신전파공학과
석사과정

<주관심분야 : High speed interface 회로 설계>



유 창 식(정회원)
1992년 서울대학교 전자공학과
학사 졸업.
1994년 서울대학교 전자공학과
석사 졸업.
1998년 서울대학교 전자공학과
박사 졸업.

2002년~현재 한양대학교 전자통신컴퓨터공학부 교수
<주관심분야 : 유무선 통신용 혼성 신호 회로 설계>